

# Simulation und vergleichende elektrische Bewertung von planaren und 3D-MOS-Strukturen mit high- $\kappa$ Gate Dielektrika

Vom Fachbereich Elektrotechnik und Informationstechnik  
der Technischen Universität Darmstadt  
zur Erlangung des akademischen Grades eines Doktor-Ingenieurs (Dr.-Ing.)  
genehmigte Dissertation  
von Dipl.-Ing. Florian Zaubert  
geboren am 05.04.1977 in Darmstadt



TECHNISCHE  
UNIVERSITÄT  
DARMSTADT

Referent:	Prof. Dr. Udo Schwalke
Korreferent:	Prof. Dr.-Ing. Wolfgang Mathis
Tag der Einreichung:	16. Juli 2009
Tag der mündlichen Prüfung:	23. November 2009



---

## Erklärung laut §9 PromO

---

### Erklärung der Selbstständigkeit

Ich versichere hiermit, dass ich die vorliegende Dissertation allein und nur unter Verwendung der angegebenen Literatur verfasst habe. Die Arbeit hat bisher noch nicht zu Prüfungszwecken gedient.

Darmstadt, den 23. November 2009

Florian Zaunert



---

# Danksagung

---

Die vorliegende Arbeit entstand während meiner Tätigkeit als wissenschaftlicher Mitarbeiter am Institut für Halbleitertechnik und Nanoelektronik der technischen Universität Darmstadt. Nach 5-jährigem intensivem Studium der Modellierung und Simulation von MOS-Strukturen mit alternativen Dielektrika und Gatematerialien schließe ich diesen Lebensabschnitt ab.

Mein besonderer Dank gilt meinem Doktorvater Herrn Prof. Dr. Udo Schwalke, der mich in vielen fruchtbaren Gesprächen ermutigt und gefördert hat, um diese Arbeit zu einem erfolgreichen Abschluss zu bringen. Auch schaffte er es immer, ein angenehmes Arbeitsklima am Institut zu erhalten und in schwierigen Situationen mit Rat zur Seite zu stehen.

Herrn Prof. Dr.-Ing. Wolfgang Mathis danke ich für das Interesse an meiner Arbeit und die Übernahme des Korreferats.

Für die Erstellung der Computermodelle wurden Halbleiterbauelemente verwendet, die in Projekten am Institut technologisch realisiert wurden. Diesbezüglich bedanke ich mich bei Herrn Dipl.-Ing. Ralf Endres, sowie Herrn M.Sc. Yordan Stefanov für den Einblick in Ihre Arbeiten über high-k MOSFETs mit Metallgates. Weiterhin ist Herrn Dipl.-Ing. Frank Wessely zu danken, der mir Daten aus seiner Arbeit über MOSFETs mit Schottky-Source-/Drain-Gebieten bereitgestellt hat.

Weiterhin danke ich den Studenten, die ich in Studien- und Diplomarbeiten betreut habe und deren Fragen und Anregungen mich mehr gelehrt haben, als sie vielleicht denken.

Dank geht auch an Herrn Dipl.-Ing. Christopher Siol, der mir bei meiner Tätigkeit als Netzwerkadministrator bei allen Computerproblemen zur Seite stand.

Allen Kolleginnen und Kollegen des Instituts für Halbleitertechnik und Nanoelektronik möchte ich für die vielfältige Unterstützung und die vielen hilfreichen Gespräche danken.

Ein ganz spezielles und wichtiges Dankeschön geht an meine Eltern, die mir Schule und Studium ermöglicht haben und damit die notwendigen Startvoraussetzungen für die Promotion geschaffen haben. Dank geht auch an meine Freundin Alina und meinen Bruder Sebastian, mit deren Unterstützung mir vieles leichter fiel.

Florian Zaubert

Darmstadt, November 2009



---

## Liste der verwendeten Formelzeichen und Abkürzungen

---

Abkürzung	Beschreibung
Ag	Silber
Al	Aluminium
Al <sub>2</sub> O <sub>3</sub>	Aluminiumoxid
ASCII	American Standard Code for Information Interchange
Au	Gold
Ca	Kalzium
CMOS	Complementary Metal Oxide Semiconductor
CMP	Chemisch-Mechanisches Polieren
CP	Charge Pumping (Ladungspumpen-Messverfahren)
CV	Capacitance-Voltage (Kapazitäts-Spannungscharakteristik)
CVD	Chemical Vapour Deposition (Chemische Dampfphasenabscheidung)
Cu	Kupfer
DIBL	Drain Induced Barrier Lowering (Drain-Induzierte Erniedrigung der Potentialbarriere zwischen Source und Drain)
DT	Direktes Tunneln
EOT	Equivalent Oxide Thickness (Äquivalente Oxiddicke)
FINFET	Feldeffekt-Transistor in Form einer Finne
FN	Fowler-Nordheim Tunneln
Gd <sub>2</sub> O <sub>3</sub>	Gadoliniumoxid
GIDL	Gate Induced Drain Leakage (Gate-Induzierter Drain-leckstrom)
HfO <sub>2</sub>	Hafniumoxid
HF	Hochfrequenz
IC	Integrated Circuit (Integrierter Schaltkreis)
ICCG	Incomplete Cholesky Conjugate Gradients
Ir	Iridium

---

## Abkürzung Beschreibung

i-Si	intrinsische Silizium
IV	Strom-Spannungscharakteristik
$I_D-V_D$	Drainstrom - Drainspannungscharakteristik
$I_D-V_G$	Drainstrom - Gatespannungscharakteristik
$La_2O_3$	Lanthanoxid
LDD	Lightly Doped Drain (Schwach-Dotiertes Draingebiet)
LOCOS	Local Oxidation Of Silicon (Lokale Oxidation von Silizium)
LPCVD	Low Pressure Chemical Vapour Deposition (Niederdruck Chemische Dampfphasenabscheidung)
MBE	Molecular Beam Epitaxy (Molekularstrahlepitaxie)
Mg	Magnesium
MHz	Megahertz ( $10^6/s$ )
MOS	Metal Oxide Semiconductor
MOS-C	MOS-Capacitance
MOSFET	Metal Oxide Semiconductor Field Effect Transistor
$Nd_2O_3$	Neodymoxid
NF	Niederfrequenz
nMOS-C	MOS-Kapazität mit n-Substrat
n-MOSFET	MOSFET mit n-Kanal
Ni	Nickel
Pd	Palladium
PECVD	Plasma Enhanced Chemical Vapour Deposition (Plasmaunterstützte Chemische Dampfphasenabscheidung)
pMOS-C	MOS-Kapazität mit p-Substrat
p-MOSFET	MOSFET mit p-Kanal
$Pr_2O_3$	Praseodymoxid
Pt	Platin
RIE	Reactive Ion Etch (Reaktives Ionenätzen)
RLZ	Raumladungszone
RTA	Rapid Thermal Annealing (Schnelle Thermische Ausheilung)
RTO	Rapid Thermal Oxidation (Schnelle Thermische Oxidation)
S	Unterswellensteilheit
$Si_3N_4$	Siliziumnitrid
$SiNO_x$	Siliziumoxinitrid
$SiO_2$	Siliziumdioxid



---

## Abkürzung Beschreibung

SOI	Silicon On Insulator (Silizium auf Isolator)
STI	Shallow Trench Isolation (Flache Grabenisolation)
SMU	Source Measure Unit (Quellen-Mess-Einheit)
SRH	Shockley-Read-Hall
Ta	Tantal
Ta <sub>2</sub> O <sub>5</sub>	Tantaloxid
Ti	Titan
TIF	Technology Interchange Format
TiN	Titannitrid
TiSi <sub>2</sub>	Titansilizid
VLSI	Very Large Scale Integration
W	Wolfram
Y <sub>2</sub> O <sub>3</sub>	Yttriumoxid
ZrO <sub>2</sub>	Zirkoniumoxid



---

## Liste der verwendeten Symbole

---

Symbol	Einheit	Beschreibung
$A$	$cm^2$	Fläche
$A_{Chip}$	$cm^2$	Chipfläche
$A_j$	$cm^2$	Fläche des Übergangs
$A^*$	$A/(cm^2 K^2)$	Richardson-Konstante
$\alpha$		erweiterter Skalierungsfaktor
$\alpha$		Fitting-Parameter für Beweglichkeitsmodell
$\alpha$	$cm/K$	thermischer Ausdehnungskoeffizient
$\alpha_{ref}$	$cm/K$	thermischer Referenzausdehnungskoeffizient
$\alpha_{rate}$	$cm/K^2$	temperaturabhängiger Anteil des thermischen Ausdehnungskoeffizienten
$\beta$		Fitting-Parameter für Beweglichkeitsmodell
$C$	$A/V^2$	materialspezifische Konstante bei FN-Tunneleffekt
$C_{acc}$	$F/cm^2$	Gatekapazität in Akkumulation pro Fläche
$C_{depl}$	$F/cm^2$	Gatekapazität in Verarmung pro Fläche
$C_D$	$F/cm^2$	Kapazität der Verarmungszone pro Fläche
$C_{fb}$	$F/cm^2$	Gatekapazität im Flachbandfall pro Fläche
$c_G$	$F/cm^2$	Kleinsignal-Gatekapazität pro Fläche
$C_G$	$F/cm^2$	Gatekapazität pro Fläche
$C_{G,DD}$	$F/cm^2$	Gatekapazität in tiefer Verarmung pro Fläche
$C_{G,HF}$	$F/cm^2$	Gatekapazität bei hohen Frequenzen pro Fläche
$C_{G,NF}$	$F/cm^2$	Gatekapazität bei niedrigen Frequenzen pro Fläche
$C_{inv}$	$F/cm^2$	Gatekapazität in Inversion pro Fläche
$C_{ox}$	$F/cm^2$	Oxidkapazität pro Fläche
$C_{si}$	$F/cm^2$	Substratkapazität pro Fläche
$\chi_{ox}$	$V$	Elektronenaffinität von Oxid
$\chi_s$	$V$	Elektronenaffinität von Silizium
$D$	$cm^2/s$	Diffusionskonstante
$D_0$	$1/cm^2$	Defektdichte

---

Symbol	Einheit	Beschreibung
$D_{it}$	$1/(cm^2 eV)$	Mittlere Grenzflächenzustandsdichte pro Einheitsfläche und Energie
$\Delta V_{FB}$	V	Verschiebung der Flachbandspannung
$\Delta V_T$	V	Verschiebung der Einsatzspannung
$E$	eV	Energie
$E$	V/cm	elektrische Feldstärke
$E_0$	V/cm	materialspezifische Konstante bei FN-Tunneleffekt
$E_0$	eV	Vakuumenergieniveau
$E_A$	eV	Austrittsarbeit
$E_c$	eV	Energieniveau der Unterkante des Leitungsbandes
$E_{CB0}$	eV	Unterschied zwischen den Leitungsbandunterkanten von Isolator und Siliziumsubstrat
$E_{db}$	V/cm	elektrische Durchbruchfeldstärke
$E_{eff,\perp}$	V/cm	vertikaler elektrischer Feldanteil
$E_{eff,\parallel}$	V/cm	lateraler elektrischer Feldanteil
$E_f$	eV	Fermienergieniveau
$E_G$	eV	Energie der Bandlücke
$E_i$	eV	Fermienergieniveau von intrinsischem Silizium
$E_v$	eV	Energieniveau der Oberkante des Valenzbandes
$E_{ox}$	V/cm	Elektrisches Feld im Oxid
$E_{ref}$	V/cm	Referenzfeldstärke
$E_{sat}$	V/cm	Elektrisches Feld bei dem Geschwindigkeitssättigung eintritt
$E_{si}$	V/cm	Elektrisches Feld im Siliziumsubstrat
$E_x$	V/cm	laterales elektrisches Feld
$EX$		Fitting-Parameter für Beweglichkeitsmodell
$EX_0$		Fitting-Parameter für Beweglichkeitsmodell
$\varepsilon_0$	F/m	Dielektrizitätskonstante des Vakuums
$f$	1/s	Frequenz
$g_d$	A/V	Kanalleitwert
$g_m$	A/V	Transkonduktanz des Kanals
$G_{surf}$		Faktor für Beweglichkeitsmodell
$\gamma_m$		Verteilungsfunktion der beweglichen Oxidladungen
$h$	Js	Plancksches Wirkungsquantum
$\hbar$	Js	reduziertes Plancksches Wirkungsquantum
$I_B$	A	Substratstrom
$i_G$	A	Kleinsignalanteil des Gatestroms
$I_G$	A	Gatestrom
$I_D$	A	Drainstrom

Symbol	Einheit	Beschreibung
$I_{DSAT}$	$A$	Drainstrom in Sättigung
$I_S$	$A$	Diodensperrstrom
$J$	$A/cm^2$	Stromdichte
$J_{DT}$	$A/cm^2$	Stromdichte bei direktem Tunneln
$J_{FN}$	$A/cm^2$	Stromdichte beim Fowler-Nordheim-Tunneln
$J_e$	$A/cm^2$	Elektronenstromdichte
$J_h$	$A/cm^2$	Löcherstromdichte
$J_{n,diff}$	$A/cm^2$	Elektronendiffusionsstromdichte
$J_{n,drift}$	$A/cm^2$	Elektronendriftstromdichte
$J_{p,diff}$	$A/cm^2$	Löcherdiffusionsstromdichte
$J_{p,drift}$	$A/cm^2$	Löcherdriftstromdichte
$k$	$J/K$	Boltzmannkonstante
$K$	$A/V^2$	Übertragungsleitwert des MOSFETs
$\kappa$		Skalierungsfaktor
$\kappa$		Dielektrizitätszahl
$\kappa_{Gd_2O_3}$		Dielektrizitätszahl von $Gd_2O_3$
$\kappa_{ox}$		Dielektrizitätszahl des Gateoxids
$\kappa_{Pr_2O_3}$		Dielektrizitätszahl von $Pr_2O_3$
$\kappa_{Si}$		Dielektrizitätszahl von Silizium
$\kappa_{SiO_2}$		Dielektrizitätszahl von $SiO_2$
$\kappa_{ins}$		Dielektrizitätszahl des Gateisolators
$\xi$		Fitting-Parameter für Beweglichkeitsmodell
$L$	$cm$	Gatelänge eines MOSFET
$L_G$	$cm$	Gatelänge eines MOSFET
$L_D$	$cm$	Debyelänge
$L_{sp}$	$cm$	Spacerlänge
$\lambda$	$1/V$	Kanallängenmodulationsparameter
$m^*$	$kg$	Effektive Elektronenmasse
$m_c$		Vorfaktor bei direktem Tunneleffekt
$m_e$	$kg$	Elektronenmasse
$\mu_{eff}$	$cm^2/Vs$	effektive Ladungsträgerbeweglichkeit
$\mu_{max}$	$cm^2/Vs$	maximale Ladungsträgerbeweglichkeit
$\mu_{min}$	$cm^2/Vs$	minimale Ladungsträgerbeweglichkeit
$\mu_s$	$cm^2/Vs$	Oberflächenbeweglichkeit
$\mu_{s,\perp}$	$cm^2/Vs$	Oberflächenbeweglichkeit mit vertikalem elektrischem Feld
$\mu_{s,\parallel}$	$cm^2/Vs$	Oberflächenbeweglichkeit mit lateralem elektrischem Feld
$n$		Anzahl der Chipebenen

Symbol	Einheit	Beschreibung
$N_a$	$cm^{-3}$	Akzeptordichte pro Volumen
$N_d$	$cm^{-3}$	Donatordichte pro Volumen
$N_{eff}$	$cm^{-3}$	effektive Ladungsdichte
$n_i$	$cm^{-3}$	intrinsische Ladungsträgerdichte
$N_{it}$	$cm^{-2}$	Grenzflächenzustandsdichte pro Fläche
$N(x, y)$	$cm^{-3}$	lokale Dotierstoffkonzentration
$N_{ref}$	$cm^{-3}$	Referenz-Dotierstoffkonzentration
$\nu$		Fitting-Parameter für Beweglichkeitsmodell
$\phi(x)$	$V$	Kanalpotential an der Stelle x
$\Phi_b$	$eV$	Barrierenhöhe
$\phi_f$	$V$	Ferminiveau im Siliziumsubstrat
$\phi_m$	$V$	Austrittsarbeit von Metall
$\phi_{ms}$	$V$	Unterschied zwischen Austrittsarbeit von Metall und Silizium
$\phi_s$	$V$	Austrittsarbeit von Silizium
$\phi_{sf}$	$V$	Oberflächenpotential an der Grenzfläche Oxid und Siliziumsubstrat
$Q_{eff}$	$As$	effektive Ladung
$Q_f$	$As/cm^2$	ortsfeste Oxidladungen pro Fläche
$Q_K$	$As/cm^2$	Kanalladung pro Fläche
$Q_m$	$As/cm^2$	bewegliche Oxidladungen pro Fläche
$Q_{it}$	$As/cm^2$	geladene Zustände pro Fläche
$Q_{ox}$	$As/cm^2$	Oxidladung pro Fläche
$Q_S$	$As/cm^2$	Substratladung pro Fläche
$q$	$As$	Elektronenladung
$\sigma$	$1/(\Omega cm)$	spezifische Leitfähigkeit
$S$	$mV/dec$	Unterswellensteilheit
$T$	$K$	Temperatur
$T_{ref}$	$K$	Referenztemperatur
$t_d$	$cm$	Gatterlaufzeit
$t_{SOI}$	$cm$	Dicke der Silicon-On-Insulator-Schicht
$t_{Gd_2O_3}$	$cm$	Dicke des Gadoliniumoxids
$t_{ins}$	$cm$	Dicke des Isolators
$t_{Pr_2O_3}$	$cm$	Dicke des Praseodymoxids
$t_{ox}$	$cm$	Oxiddicke
$t_{SiO_2}$	$cm$	Dicke des Siliziumdioxids
$t_{fin}$	$cm$	Dicke des Siliziumstegs eines FinFETs
$\Theta$	$K$	Schmelzpunkt
$U_{S0}$	$V$	Oberflächenpotential an Source

Symbol	Einheit	Beschreibung
$U_{SL}$	V	Oberflächenpotential an Drain
$V_B$	V	Substratspannung
$V_{BS}$	V	Substrat-/Sourcespannung
$V_{bi}$	V	Spannungsabfall im Silizium der Schottky-Diode
$V_D$	V	Drainspannung
$V_{DD}$	V	Versorgungsspannung
$V_{DS}$	V	Drain-/Sourcespannung
$V_{DSAT}$	V	Sättigungsspannung
$V_{fb}$	V	Flachbandspannung
$V_{fb,ideal}$	V	Flachbandspannung ohne Berücksichtigung von Oxidladungen
$V_{fb,real}$	V	Flachbandspannung unter Berücksichtigung von Oxidladungen
$V_G$	V	Gatespannung
$V_{GB}$	V	Gate-/Substratspannung
$V_{GD}$	V	Gate-/Drainspannung
$v_{GS}$	V	Kleinsignalanteil der Gate-/Sourcespannung
$V_{GS}$	V	Gate-/Sourcespannung
$V_{GS,eff}$	V	effektive Gate-/Sourcespannung
$V_{GS,lin}$	V	Gate-/Sourcespannung im linearen Bereich
$V_{GS,sat}$	V	Gate-/Sourcespannung im Sättigungsbereich
$V_{ox}$	V	Spannungsabfall im Oxid
$V_S$	V	Sourcespannung
$V_{SB}$	V	Source-/Substratspannung
$V_{S0}$	V	Oberflächenpotential an Source
$V_{SL}$	V	Oberflächenpotential an Drain
$V_{si}$	V	Spannungsabfall im Silizium
$V_T$	V	Schwellspannung
$V_{tgm}$	V	Schwellspannung mit $g_m$ -Methode berechnet
$V_{th}$	V	Thermospannung
$V_W$	V	Hilfsgröße beim Substrat-Ladung-Modell
$v_{max}$	m/s	Sättigungsgeschwindigkeit
$W$	cm	Kanalweite des MOSFET
$W_G$	cm	Kanalweite des MOSFET
$W_T$	cm	Tiefe der Raumladungszone
$W_{fin}$	cm	Breite des Siliziumstegs eines FinFETs
$x$	cm	Horizontaler Maßstab von Source nach Drain
$x_j$	cm	Tiefe des Übergangs
$y$	cm	Vertikaler Maßstab von Gate nach Substrat

---

Symbol	Einheit	Beschreibung
--------	---------	--------------

$Y_{Chip}$		Ausbeute
------------	--	----------

$Y$		Transmissionskoeffizient einer trapezförmigen Potentialbarriere
-----	--	---



---

# Abbildungsverzeichnis

---

2.1	pMOS-Kapazität in Verarmung . . . . .	3
2.2	Banddiagramme einer pMOS-Kapazität . . . . .	4
2.3	pMOS-Kapazität . . . . .	5
2.4	Betriebsbereiche des MOSFETs . . . . .	6
2.5	Energiebänder eines Schottky-Kontakts mit n-Substrat . . . . .	8
2.6	Tunneleffekt . . . . .	12
2.7	Störstellen-unterstützter Tunneleffekt . . . . .	13
2.8	Geometrische Effekte . . . . .	14
2.9	DIBL-Effekt . . . . .	15
2.10	Gate-Induzierter Drain-Leckstrom . . . . .	16
2.11	MOSFETs mit begrenzten Raumladungszonen . . . . .	18
2.12	MOSFET mit Doppelgate . . . . .	19
2.13	FinFET . . . . .	20
2.14	Transistoren mit Schottky-Barrieren . . . . .	21
2.15	Gatestacks mit high- $\kappa$ Dielektrika . . . . .	22
2.16	Verarmungszone einer Polysilizium-Gateelektrode . . . . .	24
2.17	Probleme einer verarmten Polysilizium-Gateelektrode . . . . .	25
2.18	Standard CMOS-Herstellungsprozess . . . . .	27
2.19	CMP-basierter Metall-Gate Herstellungsprozess . . . . .	29
3.1	Rucker und Kolls semi-automatischer Waferprober RK680A . . . . .	32
3.2	Chip auf Thermochuck mit 4 Probernadeln kontaktiert . . . . .	32
3.3	MOSFET-Arrays auf Chip T45 . . . . .	33
3.4	Messgeräteschrank im Messlabor des IHT, TU Darmstadt . . . . .	34
3.5	Kanalleitwert eines MOSFETs mit SiO <sub>2</sub> -Dielektrikum und Wolfram-Gateelektrode . . . . .	35
3.6	Kennlinien zur Bestimmung des DIBL-Effekts . . . . .	37
3.7	Unterschwelkenennlinien eines MOSFETs mit SiO <sub>2</sub> -Dielektrikum und Wolfram-Gateelektrode . . . . .	39
3.8	Ausgangskennlinienschar von Langkanal-MOSFETs . . . . .	40
3.9	Ausgangskennlinienschar von Kurzkanal-MOSFETs . . . . .	41
3.10	Bestimmung der MOS-Kapazität . . . . .	42

3.11	Messaufbau für Charge Pumping . . . . .	44
4.1	Tsuprem4: Simulationsgitter eines MOSFET . . . . .	46
4.2	3D-Modell eines FinFETs mit 40nm Finbreite, 50nm Gatelänge und $\text{Gd}_2\text{O}_3$ -Dielektrikum . . . . .	49
4.3	Medici: Simulationsdaten . . . . .	56
4.4	Sentaurus Device: Simulationsdaten . . . . .	61
4.5	Technisches Visualisierungsprogramm Taurus Visual: aktive Phosphorkonzentration in einem MOSFET . . . . .	66
4.6	Technisches Visualisierungsprogramm Taurus Visual: Verlauf der Phosphorkonzentration von Source nach Drain . . . . .	67
4.7	Technisches Visualisierungsprogramm Tecplot . . . . .	68
4.8	Analyseprogramm Inspect . . . . .	70
4.9	Sentaurus Workbench . . . . .	74
5.1	Kanalleitwert eines n-MOSFETs mit $\text{Pr}_2\text{O}_3$ -Dielektrikum und Polysilizium-Gateelektrode, Gatelänge $L_G = 4\mu\text{m}$ . . . . .	76
5.2	Vergleich der Unterschwellencharakteristiken . . . . .	77
5.3	Ausgangskennlinie (gemessen) . . . . .	78
5.4	Ausgangskennlinie (simuliert) . . . . .	78
5.5	Gatekapazität von nMOSFETs mit 13.5nm $\text{Gd}_2\text{O}_3$ -Dielektrikum und 5nm $\text{SiO}_2$ -Dielektrikum, $W_{\text{Gate}} = 100\mu\text{m}$ . . . . .	79
5.6	Abhängigkeit der Gatekapazität von der Gatelänge . . . . .	80
5.7	n-MOSFET mit $\text{SiO}_2$ -Dielektrikum und Gateelektrode aus Wolfram . . . . .	81
5.8	n-MOSFET mit $\text{Gd}_2\text{O}_3$ -Dielektrikum und Gateelektrode aus Wolfram . . . . .	82
5.9	Kanalleitwerte von MOSFETs mit $\text{SiO}_2$ -, $\text{Pr}_2\text{O}_3$ und $\text{Gd}_2\text{O}_3$ -Dielektrikum . . . . .	83
5.10	Vergleich der Unterschwellencharakteristiken . . . . .	84
5.11	Kanalleitwert und Beweglichkeiten von n-MOSFETs mit $\text{Gd}_2\text{O}_3$ -Dielektrikum und Wolfram-Gateelektrode mit idealer Grenzfläche, Grenzflächen-Akzeptorzustandsdichte und zusätzlicher Aufräuhung der Grenzfläche . . . . .	85
5.12	Vergleich des Kanalleitwerts von $\text{SiO}_2$ - und $\text{Gd}_2\text{O}_3$ -MOSFETs . . . . .	86
5.13	Ausgangskennlinien nach Anpassung der Simulationsmodelle an die elektrisch gemessenen Eingangs- und Unterschwellen-Kennlinien ( $\text{SiO}_2$ -Dielektrikum, $t_{\text{ox}} = 5.0\text{nm}$ ) . . . . .	87
5.14	Ausgangskennlinien von $\text{Gd}_2\text{O}_3$ -MOSFETs, $t_{\text{ox}} = 13.5\text{nm}$ ( $\text{EOT} = 5.3\text{nm}$ ) . . . . .	88
5.15	Vergleich der Ausgangskennlinien von Referenz- und high- $\kappa$ -MOSFETs von $V_{\text{GS}} - V_{\text{T}} = 0.0\text{V}$ bis 1.5V . . . . .	88
5.16	Gate-Kapazitäten von n-MOSFETs mit 5nm- $\text{SiO}_2$ -Dielektrikum . . . . .	89
5.17	Gate-Kapazitäten von n-MOSFETs mit 13.5nm- $\text{Gd}_2\text{O}_3$ -Dielektrikum ( $\text{EOT} = 5.3\text{nm}$ ) . . . . .	90
5.18	Vergleich der quasistatischen CV-Kennlinien . . . . .	90
5.19	Gate-Leckströme von Referenz-nMOSFETs mit $\text{SiO}_2$ -Dielektrikum . . . . .	91
5.20	Gate-Leckströme von Referenz-pMOSFETs mit $\text{SiO}_2$ -Dielektrikum . . . . .	92
5.21	Gateleckströme für verschiedene Gatespannungen der $4\mu\text{m}$ $\text{Gd}_2\text{O}_3$ -nMOSFETs . . . . .	93

5.22 Gateleckströme für verschiedene Gatespannungen der $4\mu\text{m}$ $\text{SiO}_2$ - und $\text{Gd}_2\text{O}_3$ -nMOSFETs	93
5.23 Mechanischer Stress durch thermische Fehlanpassung bei der Schichtabscheidung: Abscheiden einer Nitridschicht bei Temperatur $T_1$	94
5.24 Mechanischer Stress durch thermische Fehlanpassung bei der Schichtabscheidung: Zugspannung bei Temperatur $T_2 > T_1$	95
5.25 Mechanischer Stress durch thermische Fehlanpassung bei der Schichtabscheidung: Druckspannung bei Temperatur $T_0 < T_1$	95
5.26 Mechanischer Stress durch thermische Fehlanpassung bei der Schichtabscheidung: maximaler Stress nach Abscheiden der Nitridschichten	96
5.27 Simulierter mechanischer Stress in Kanalrichtung während Gate-Last-Prozess nach Formierung des Dummy-Gates	98
5.28 Simulierter mechanischer Stress in Kanalrichtung während Gate-Last-Prozess nach Entfernen des Dummy-Gates und Abscheidung des eigentlichen Gate-Stacks	98
5.29 Stress Unterschwellenbereich RE02	99
5.30 Stress Unterschwellenbereich RE05	100
5.31 Stress Output RE05	100
5.32 Stress Output RE02	101
5.33 Vergleich der Kanalleitwerte von high- $\kappa$ n-MOSFETs mit Gatelängen von $4\mu\text{m}$ und $200\text{nm}$	102
5.34 Vergleich der Unterschwellencharakteristiken von high- $\kappa$ n-MOSFETs mit Gatelängen von $4\mu\text{m}$ und $200\text{nm}$	102
5.35 Ausgangskennlinien von high- $\kappa$ n-MOSFETs mit $4\mu\text{m}$ Gatelänge	103
5.36 Ausgangskennlinien von high- $\kappa$ n-MOSFETs mit $200\text{nm}$ Gatelänge	103
5.37 Unterschwellencharakteristik von Kurzkanal-nMOSFETs mit $2\text{nm-SiO}_2$ -Dielektrikum	104
5.38 Ausgangskennlinien von Kurzkanal-nMOSFETs mit $2\text{nm-SiO}_2$ -Dielektrikum	105
5.39 Vergleich der Unterschwellenkennlinien von Referenz- und high- $\kappa$ Kurzkanal-MOSFETs mit $200\text{nm}$ Gatelänge	106
5.40 Vergleich der Unterschwellenkennlinien von Referenz- und high- $\kappa$ Kurzkanal-MOSFETs mit $50\text{nm}$ Gatelänge	106
5.41 Vergleich der Gatekapazitäten von Referenz- und high- $\kappa$ Kurzkanal-MOSFETs mit $200\text{nm}$ Gatelänge	107
5.42 Vergleich der Ausgangskennlinien von Referenz- und high- $\kappa$ Kurzkanal-MOSFETs mit $200\text{nm}$ Gatelänge	107
6.1 2D- und 3D-Modelle	112
6.2 Abhängigkeit der Unterschwellenkennlinie von der Finbreite, hohe Substratdotierung: $10^{18}\text{cm}^{-3}$	113
6.3 Abhängigkeit der Unterschwellenkennlinie von der Finbreite, keine Substratdotierung: $10^{10}\text{cm}^{-3}$	113
6.4 Ausgangskennlinien von FinFETs mit verschiedenen Finbreiten und hoher Substratdotierung: $10^{18}\text{cm}^{-3}$	114

6.5	Ausgangskennlinien von FinFETs mit verschiedenen Finbreiten ohne Substratdotierung: $10^{10}\text{cm}^{-3}$ . . . . .	115
6.6	Ausgangskennlinien von FinFETs ( $L_{\text{gate}} = 50\text{nm}$ , Finbreite $W_{\text{fin}} = 30\text{nm}$ , $N = 10^{10}\text{cm}^{-3}$ ) . . . . .	115
6.7	CV-Kennlinien für FinFETs mit $L_{\text{gate}} = 50\text{nm}$ und Finbreite $W_{\text{fin}} = 30\text{nm}$ $N = 10^{10}\text{cm}^{-3}$ . . . . .	116
6.8	3D-Simulation: Abhängigkeit der Unterschwellenkennlinie von der Finbreite, hohe Substratdotierung: $10^{18}\text{cm}^{-3}$ . . . . .	117
6.9	3D-Simulation: Abhängigkeit der Unterschwellenkennlinie von der Finbreite, keine Substratdotierung: $10^{10}\text{cm}^{-3}$ . . . . .	117
6.10	Vergleich der Unterschwellencharakteristiken von 2D- und 3D-Simulationen des FinFETs . . . . .	118
6.11	Vergleich der Ausgangskennlinien von 2D- und 3D-Simulationen des FinFETs . . . . .	118
6.12	Vergleich der Unterschwellenkennlinien von $\text{SiO}_2$ - und $\text{Gd}_2\text{O}_3$ -FinFETs (3D-Simulation) . . . . .	119
6.13	Unterschwellenkennlinien von $\text{Gd}_2\text{O}_3$ -FinFETs für Finbreiten von $W_{\text{fin}} = 50\text{nm}$ bis $10\text{nm}$ (3D-Simulation) . . . . .	120
6.14	Vergleich der Ausgangskennlinien von $\text{SiO}_2$ - und $\text{Gd}_2\text{O}_3$ -FinFETs (3D-Simulation) . . . . .	121
6.15	Ausgangskennlinien von $\text{Gd}_2\text{O}_3$ -FinFETs mit $30\text{nm}$ Finbreite und $2\text{nm}$ Dielektrikum (3D-Simulation) . . . . .	121
6.16	Kapazitätsverläufe von FinFETs mit $\text{SiO}_2$ -Dielektrikum, $t_{\text{ox}} = 2\text{nm}$ (3D-Simulation) . . . . .	122
6.17	Kapazitätsverläufe von FinFETs mit $\text{Gd}_2\text{O}_3$ -Dielektrikum, $\text{EOT} = 0.8\text{nm}$ (3D-Simulation) . . . . .	122
6.18	FinFETs mit extrem kurzen Gatelängen von $50\text{nm}$ bis $10\text{nm}$ , $t_{\text{ox}} = 2\text{nm}$ , Unterschwellenkennlinien, Finbreite $50\text{nm}$ . . . . .	123
6.19	FinFETs mit extrem kurzen Gatelängen von $50\text{nm}$ bis $10\text{nm}$ , $t_{\text{ox}} = 2\text{nm}$ , Unterschwellenkennlinien, Finbreite $30\text{nm}$ . . . . .	124
6.20	Unterschwellenkennlinien von FinFETs mit extrem kurzen Gatelängen von $50\text{nm}$ bis $10\text{nm}$ , Finbreite $10\text{nm}$ . . . . .	125
6.21	Ausgangskennlinien von FinFETs mit extrem kurzen Gatelängen von $50\text{nm}$ bis $10\text{nm}$ , Finbreite $30\text{nm}$ . . . . .	126
A.1	Gemessene Ausgangskennlinien von Schottky-FinFETs, Gatelänge $L_G = 5\mu\text{m}$ , Finbreite $L_G = 100\text{nm}$ . . . . .	134
A.2	Simulierte Ausgangskennlinien von Schottky-FinFETs, Gatelänge $L_G = 5\mu\text{m}$ , Finbreite $L_G = 100\text{nm}$ . . . . .	134
A.3	Bänderdiagramme von Schottky-FinFETs mit Gatelektroden unterschiedlicher Austrittsarbeiten von $3.7\text{eV}$ (Magnesium) bis $5.3\text{eV}$ (Platin) . . . . .	135
A.4	Steuerung des Schottky-FinFETs über Frontgate: $L_G = 0.5\mu\text{m}$ , $L_{SD} = 2.0\mu\text{m}$ , $V_{BS} = V_{DS} = 0\text{V}$ , $V_{GS} = -5\text{V}$ . . . . .	136
A.5	Steuerung des Schottky-FinFETs über Frontgate: $L_G = 0.5\mu\text{m}$ , $L_{SD} = 2.0\mu\text{m}$ , $V_{BS} = V_{DS} = 0\text{V}$ , $V_{GS} = 0\text{V}$ . . . . .	136
A.6	Steuerung des Schottky-FinFETs über Frontgate: $L_G = 0.5\mu\text{m}$ , $L_{SD} = 2.0\mu\text{m}$ , $V_{BS} = V_{DS} = 0\text{V}$ , $V_{GS} = 5\text{V}$ . . . . .	137
A.7	Steuerung des Schottky-FinFETs über Frontgate: $L_G = 0.5\mu\text{m}$ , $L_{SD} = 2.0\mu\text{m}$ , $V_{BS} = V_{GS} = 0$ , $V_{DS} = 5\text{V}$ . . . . .	137

---

A.8	Steuerung des Schottky-FinFETs über Backgate: $L_G = 0.5\mu\text{m}$ , $L_{SD} = 2.0\mu\text{m}$ , $V_{GS} = V_{DS} = 0\text{V}$ , $V_{BS} = -5\text{V}$ . . . . .	138
A.9	Steuerung des Schottky-FinFETs über Backgate: $L_G = 0.5\mu\text{m}$ , $L_{SD} = 2.0\mu\text{m}$ , $V_{GS} = V_{DS} = 0\text{V}$ , $V_{BS} = 5\text{V}$ . . . . .	139
A.10	Steuerung des Schottky-FinFETs über Backgate: $L_G = 0.5\mu\text{m}$ , $L_{SD} = 2.0\mu\text{m}$ , $V_{BS} = V_{GS} = 0$ , $V_{DS} = 5\text{V}$ . . . . .	139
A.11	Ausgangskennlinien des Schottky-FinFETs über Backgate, Source zu Drain: $L_G = 0.5\mu\text{m}$ , $L_{SD} = 2.0\mu\text{m}$ , $\text{WF} = 4.2\text{-}4.3\text{eV}$ , $V_{BS} = V_{GS} = 0\text{V}$ . . . . .	140
A.12	Ausgangskennlinien des Schottky-FinFETs über Backgate, Source zu Drain: $L_G = 0.5\mu\text{m}$ , $L_{SD} = 2.0\mu\text{m}$ , $\text{WF} = 4.9\text{-}5.3\text{eV}$ , $V_{BS} = V_{GS} = 0\text{V}$ . . . . .	141
A.13	Ausgangskennlinien des Schottky-FinFETs über Backgate, Source zu Drain: $L_G = 0.5\mu\text{m}$ , $L_{SD} = 2.0\mu\text{m}$ , $\text{WF} = 4.4\text{-}4.8\text{eV}$ , $V_{BS} = V_{GS} = 0\text{V}$ (Absolutwerte Gesamtstrom) . . . . .	141
A.14	Ausgangskennlinien des Schottky-FinFETs über Backgate, Source zu Drain: $L_G = 0.5\mu\text{m}$ , $L_{SD} = 2.0\mu\text{m}$ , $\text{WF} = 4.4\text{-}4.8\text{eV}$ , $V_{BS} = V_{GS} = 0\text{V}$ (Absolutwerte Elektronenanteil) . . . . .	142
A.15	Ausgangskennlinien des Schottky-FinFETs über Backgate, Source zu Drain: $L_G = 0.5\mu\text{m}$ , $L_{SD} = 2.0\mu\text{m}$ , $\text{WF} = 4.4\text{-}4.8\text{eV}$ , $V_{BS} = V_{GS} = 0\text{V}$ (Absolutwerte Löcheranteil) . . . . .	142



---

## Tabellenverzeichnis

---

2.1	Isotrope Skalierung . . . . .	10
2.2	Verallgemeinerte Skalierungsregeln . . . . .	11
2.3	high- $\kappa$ Dielektrika . . . . .	23
2.4	Metalle aufsteigend sortiert nach Austrittsarbeit . . . . .	26
A.1	errechnete MOSFET-Parameter aus Simulationen, 2nm SiO <sub>2</sub> -, 2nm und 0.8nm EOT Gd <sub>2</sub> O <sub>3</sub> -Dielektrikum . . . . .	143
A.2	errechnete FinFET-Parameter aus 3D-Simulationen, 2nm SiO <sub>2</sub> -, 5nm und 2nm Gd <sub>2</sub> O <sub>3</sub> - Dielektrikum (EOT 2nm und 0.8nm), 10 - 30nm Finbreite . . . . .	144
A.3	errechnete FinFET-Parameter aus 3D-Simulationen, 2nm SiO <sub>2</sub> -, 5nm und 2nm Gd <sub>2</sub> O <sub>3</sub> - Dielektrikum, 40 und 50nm Finbreite . . . . .	145
C.1	Sentaurus Device: Ausgabeparameter . . . . .	150





---

## Gleichungsverzeichnis

---

2.1	flächenunabhängige Oxidkapazität . . . . .	4
2.2	Reihenschaltung von Oxidkapazität und Kapazität der Verarmungszone . . . . .	4
2.3	Verschiebung der Flachbandspannung durch Oxidladungen und Grenzflächenzustände . . . . .	5
2.4	Dotierungspotential . . . . .	5
2.5	Schwellspannung einer MOS-Kapazität . . . . .	5
2.6	maximale Weite der Raumladungszone einer MOS-Kapazität . . . . .	6
2.7	Geschwindigkeitssättigung . . . . .	7
2.8	Inversionsladung eines MOSFETs . . . . .	7
2.9	Drainstrom eines MOSFETs im linearen Bereich . . . . .	7
2.10	Drainstrom eines MOSFETs in Sättigung . . . . .	7
2.11	Barrierrhöhe eines Schottky-Kontakts . . . . .	9
2.12	Spannungsabfall in der Verarmungszone eines Schottky-Kontakts . . . . .	9
2.13	Strom durch einen Schottky-Kontakt . . . . .	9
2.14	Ausbeute an funktionsfähigen Bauelementen abhängig von Defektdichte und Chipfläche . . . . .	11
2.15	Fowler-Nordheim Tunnelstromdichte . . . . .	13
2.16	Direkte Tunnelstromdichte . . . . .	13
2.17	Verschiebung der Einsatzspannung durch Substratsteuereffekt . . . . .	15
2.18	Kapazität eines Isolators . . . . .	22
2.19	Äquivalente Oxiddicke . . . . .	22
2.20	Reihenschaltung von Kapazitäten . . . . .	22
3.1	Berechnung des Kanalleitwerts . . . . .	35
3.2	Berechnung der Einsatzspannung . . . . .	36
3.3	Berechnung des DIBL . . . . .	36
3.4	Berechnung der effektiven Ladungsträgerbeweglichkeit . . . . .	38
3.5	Berechnung der Ladungsträgerbeweglichkeit in Sättigung . . . . .	38
3.6	Unterswellensteilheit . . . . .	39
3.7	Debye-Länge . . . . .	39
3.8	Theoretisches Limit für Unterswellensteilheit . . . . .	39
3.9	differentielle Kapazität . . . . .	41
3.10	materialspezifische Dielektrizitätskonstante . . . . .	42

---

---

3.11	Bestimmung der Raumladungszonenweite . . . . .	43
3.12	Bestimmung der Flachbandkapazität . . . . .	43
3.13	Bestimmung der Konzentration der Oxidladungen . . . . .	43
3.14	Bestimmung der Grenzflächenzustandsdichte . . . . .	44
4.1	Stromdichte . . . . .	55
4.2	Analytisches Beweglichkeitsmodell, Medici-Name: ANALYTIC . . . . .	55
4.3	Grenzflächen-Beweglichkeitsmodell mit vertikalem elektrischen Feldeinfluss, Medici-Name: SRFMOB . . . . .	57
4.4	Beweglichkeitsmodell mit parallelem elektrischen Feldeinfluss, Medici-Name: FLDMOB . . . . .	57
5.1	Dielektrizitätskonstante von $Gd_2O_3$ . . . . .	80
5.2	thermischer Ausdehnungskoeffizient . . . . .	96
B.1	Drainstrom eines MOSFETs nach dem Substrat-Ladung-Modell . . . . .	147
B.2	Drainstrom eines MOSFETs nach dem Exakt-Ladung-Modell . . . . .	148

---

## Listings

---

4.1	Tsuprem4: Kommandodatei zur Erzeugung eines Replacement-Gate MOSFETs . . . . .	46
4.2	Sentaurus Structure Editor: Kommandodatei eines 3-dimensionalen FinFET mit high- $\kappa$ Dielektrikum . . . . .	50
4.3	Synopsys Medici: Basis-Kommandodatei eines 2-dimensionalen MOSFET mit Siliziumdioxid-Dielektrikum . . . . .	58
4.4	Synopsys Medici: Kommandodatei zur Bestimmung der Unterswellenkennlinie eines 2-dimensionalen MOSFET mit SiO <sub>2</sub> -Dielektrikum . . . . .	59
4.5	Sentaurus Device: Ausgangskennlinie eines MOSFET . . . . .	62
4.6	Inspect: Parameterextraktion aus Eingangskennlinie eines MOSFET . . . . .	69



---

# Inhaltsverzeichnis

---

1	Einleitung	1
2	Grundlagen	3
2.1	Funktionsweise einfacher planarer MOS Strukturen . . . . .	3
2.1.1	Aufbau . . . . .	3
2.2	MOSFET . . . . .	6
2.2.1	Aufbau . . . . .	6
2.2.2	Square-Law Modell . . . . .	7
2.3	Metall-Halbleiter-Kontakt . . . . .	8
2.4	Skalierung . . . . .	9
2.4.1	Motivation der Skalierung . . . . .	9
2.4.2	Auswirkungen und Grenzen der Skalierung . . . . .	10
2.5	Kurzkanaleffekte . . . . .	12
2.5.1	Gateleckstrom . . . . .	12
2.5.2	Einfluss der Kanallänge auf die Einsatzspannung . . . . .	14
2.5.3	Kanalweitensteuerung . . . . .	14
2.5.4	Drain-induced barrier lowering (DIBL) . . . . .	14
2.5.5	Gate-induced drain leakage (GIDL) . . . . .	15
2.5.6	Dotierstoff-Fluktuationen . . . . .	16
2.6	Lösungen zur Überwindung der Skalierungsgrenzen . . . . .	17
2.6.1	Partially-/Fully-depleted MOSFET . . . . .	17
2.6.2	Doppel-Gate MOSFET . . . . .	19
2.6.3	FinFET . . . . .	19
2.6.4	MOSFET mit Schottky-Barrieren . . . . .	20
2.6.5	High- $\kappa$ Materialien als Gatedielektrika . . . . .	21
2.6.6	Metalle als Gateelektroden . . . . .	24
2.6.7	Gate-First Prozess . . . . .	26
2.6.8	Gate-Last Prozess . . . . .	28
3	Charakterisierung von Bauelementen	31
3.1	Messgeräte . . . . .	31

---

3.2	Strom-Spannungscharakteristiken des MOSFET . . . . .	35
3.2.1	Bestimmung des Kanalleitwerts . . . . .	35
3.2.2	Bestimmung der Einsatzspannung . . . . .	36
3.2.3	Eingangskennlinien zur Bestimmung des DIBL-Effekts . . . . .	36
3.2.4	Bestimmung der Ladungsträgerbeweglichkeit . . . . .	38
3.2.5	Unterswellen-Kennlinie . . . . .	38
3.2.6	Ausgangskennlinien . . . . .	40
3.3	Charakteristik der MOS-Kapazität . . . . .	40
3.3.1	Messung der spannungsabhängigen MOS-Kapazität . . . . .	40
3.3.2	Bestimmung der Grenzflächenzustandsdichte mittels Ladungspumpen . . . . .	43
4	Simulationswerkzeuge . . . . .	45
4.1	Prozesssimulation . . . . .	45
4.1.1	Synopsys Tsuprem4 . . . . .	46
4.1.2	Sentaurus Process . . . . .	48
4.2	Strukturerzeugung mit Sentaurus Structure Editor . . . . .	48
4.3	Elektrische Simulation . . . . .	54
4.3.1	Synopsys Medici . . . . .	55
4.3.2	Sentaurus Device . . . . .	60
4.4	Analyseprogramme . . . . .	66
4.4.1	Taurus Visual . . . . .	66
4.4.2	Tecplot . . . . .	67
4.4.3	Inspect . . . . .	69
4.5	Simulationsmanagement mit Sentaurus Workbench . . . . .	73
5	Simulationsergebnisse Gate-First MOSFET-Strukturen . . . . .	75
5.1	Kalibrierung der Simulation . . . . .	75
5.2	MOSFETs mit $\text{Pr}_2\text{O}_3$ -Dielektrikum und Poly-Siliziumgate . . . . .	75
5.3	Gate-Last MOSFETs mit $\text{Si}_2\text{O}_$ - und $\text{Gd}_2\text{O}_3$ -Dielektrikum mit Metallgate . . . . .	79
5.4	Vergleich von Gate-Last mit Gate-First high- $\kappa$ MOSFETs . . . . .	82
5.5	Gateleckströme der Gate-Last MOSFETs . . . . .	91
5.6	Simulation von mechanischem Stress beim Gate-Last-Prozess . . . . .	94
5.7	Simulation von skalierten Bauelementen . . . . .	101
5.8	Zusammenfassung . . . . .	108
6	Simulationsergebnisse nicht-planarer MOSFET-Strukturen . . . . .	111
6.1	2D-Simulationen . . . . .	112
6.2	3D-Simulationen . . . . .	116
6.3	FinFETs mit kristallinem $\text{Gd}_2\text{O}_3$ -Dielektrikum . . . . .	119
6.4	Kurzkanal-FinFETs . . . . .	123
6.5	Zusammenfassung . . . . .	127

---

7	Zusammenfassung und Ausblick	129
A	Anhang A	133
A.1	Schottky-Barrier-FinFETs . . . . .	133
A.2	Tabellarische Auflistung der Ergebnisse der MOSFET-Simulationen . . . . .	143
A.3	Tabellarische Auflistung der Ergebnisse der 3-dimensionalen FinFET-Simulationen . . .	144
B	Anhang B	147
B.1	Substrat-Ladung-Modell . . . . .	147
B.2	Exakt-Ladung-Modell . . . . .	148
C	Anhang C	149
C.1	Parameterliste von Sentaurus Device . . . . .	149
	Liste der Publikationen	163
	Curriculum vitae	165





---

# 1 Einleitung

---

Seit Beginn der Silizium-Technologie folgt die Halbleiterindustrie dem sogenannten Gesetz von Moore, welches die stetige Skalierung der Bauelemente zu immer kleineren Strukturen beschreibt. Man erreicht durch diese Skalierung nicht nur eine erhöhte Funktionalitätsdichte pro Chip, sondern erhöht auch die Schaltgeschwindigkeit der einzelnen Bauelemente, da kleinere Abmessungen auch kürzere Abstände von Source- und Drainelektrode bedeuten, was bei richtiger Auslegung des Transistors wiederum die Transitzeit der Ladungsträger durch den Kanal verringert.

Besondere Bedeutung hat in den letzten Jahren die Erforschung neuer Materialien für das Gate-Dielektrikum der MOSFETs erlangt. Bisher wurde amorphes Siliziumdioxid als Isolatormaterial benutzt, da es nahezu perfekte elektrische Isolatoreigenschaften aufweist und relativ einfach in einer sehr guten Qualität durch die thermische Oxidation von Silizium herstellbar ist. Durch die stetig fortschreitende Skalierung wird dieses Material jedoch bald an die physikalischen Grenzen stoßen, was Materialien mit höheren Dielektrizitätszahlen nötig macht. Untersuchungen in diesem Bereich konzentrieren sich meist auf amorphe oder polykristalline Materialien wie  $\text{HfO}_2$ ,  $\text{ZrO}_2$  und  $\text{Al}_2\text{O}_3$ .

Oxide der 'Seltenen Erden' wie  $\text{Gd}_2\text{O}_3$ ,  $\text{Pr}_2\text{O}_3$ ,  $\text{Nd}_2\text{O}_3$  oder  $\text{La}_2\text{O}_3$  sind kristalline Oxide, deren Gitterkonstanten ähnlich der von Silizium sind. Die Dielektrizitätszahlen ( $\kappa$ <sup>1</sup>) dieser Oxide liegen über denen von Siliziumdioxid, weswegen sie in der angelsächsischen Literatur auch als high- $\kappa$  Materialien bezeichnet werden.

In dieser Arbeit werden MOSFETs mit kristallinen  $\text{Gd}_2\text{O}_3$ - und  $\text{Pr}_2\text{O}_3$ -Dielektrika untersucht. Dabei wird zur Charakterisierung elektrische Messtechnik benutzt, als auch intensiv von Simulationsprogrammen Gebrauch gemacht, um experimentell gestützte Computermodelle der gemessenen Transistoren zu erstellen und mit Messwerten zu validieren.

Vor allem die Prozesstechnologien werden bei fortschreitender Skalierung immer teurer, da leistungsfähigere Geräte benutzt werden müssen und höhere Reinheitsklassen der Reinräume erforderlich werden. Daher ist es wichtig, Parameter und Eckdaten eines Bauelements zu kennen, bevor man es technologisch fertigt. Die Computersimulation stellt im Vergleich zu elektrischen Messungen, für die ein kompletter Prozess durchlaufen werden muss, eine relativ kostengünstige Methode dar, ein Bauelement sowohl technologisch als auch elektrisch zu beschreiben. Für realitätsnahe Simulationsergebnisse müssen die technologischen Parameter des Bauelements möglichst genau bekannt sein.

---

<sup>1</sup>Der Einheitlichkeit halber wird in dieser Arbeit das, in der angelsächsischen Fachliteratur gebräuchliche,  $\kappa$  anstelle von  $\epsilon_r$  für die Dielektrizitätszahlen verwendet,  $\epsilon_0$  bezeichnet die Dielektrizitätskonstante des Vakuums.

---

Diese Parameter können aus elektrischen Messungen an realen Bauelementen gewonnen werden. Effekte, die nicht exakt durch elektrische Messungen bestimmbar sind, können durch das Angleichen von simulierten an elektrisch gemessene Kennlinien modelliert werden. Beispielsweise werden die Unebenheiten einer Silizium-Isolator-Grenzfläche einer MOS-Kapazität mit Hilfe eines Faktors im Modell berücksichtigt, mit dem die Gleichung für die Ladungsträgerbeweglichkeit multipliziert wird. Eine rauhe Grenzfläche weist eine niedrige Beweglichkeit der Ladungsträger auf, da diese oft mit Ladungen oder Unregelmäßigkeiten der Grenzfläche kollidieren, was einen niedrigen Korrekturfaktor der Beweglichkeit in der Modellierung zur Folge hat. Für eine glatte Grenzfläche muss hingegen ein größerer Faktor gewählt werden, um die hohe Beweglichkeit der Ladungsträger im Modell darzustellen. Aufgrund der Modellierung von elektrisch charakterisierten Bauelementen können dann in gewissen Grenzen Voraussagen über skalierte Prozesse oder völlig neue Bauelemente gemacht werden. In den meisten Fällen sind zumindest Fenster für Prozessparameter abschätzbar, was eine spätere Herstellung sehr vereinfacht.

In dieser Arbeit werden elektrische Messergebnisse von MOSFETs für die Erstellung von Computermodellen benutzt, im Gegenzug werden die Simulationsergebnisse mit den Messergebnissen verglichen und Aussagen über die Leistungsfähigkeit der weiter skalierten Bauelemente auf Basis der gemessenen Transistoren mit entspanntem Design getroffen. Zur Einstellung der Simulationsprogramme auf die verwendete Prozesslinie werden Referenzbauelemente mit Gatedielektrika aus Siliziumdioxid verwendet. Ein Vergleich der Simulationsergebnisse mit den Messwerten liefert Hinweise auf vorhandene Probleme und Verbesserungsmöglichkeiten.

Ein weitergehender Schritt ist die Simulation von skalierten Strukturen mit kurzer Kanallänge und eine Aussage über deren Leistungsgewinn gegenüber den Originalbauelementen. Die Simulation von nicht-planaren Transistoren mit konventionellen und kristallinen high- $\kappa$  Dielektrika zum Beispiel zeigt die Verbesserung der Unterschwellensteilheit nahe an den theoretischen Bestwert und eine deutliche Verminderung der draininduzierten Barrierenerniedrigung (DIBL). Auch kann mit diesen Simulationen gezeigt werden, dass FinFETs mit sehr niedrigen Dotierstoffkonzentrationen im Kanalgebiet noch einsetzbar sind, was die Ladungsträgerbeweglichkeit erhöht, den Einfluss des Effekts der Dotierstofffluktuationen mindert und damit verbesserte Betriebsparameter gegenüber MOSFETs.

Eine Möglichkeit, Dotierstofffluktuationen im Kanalgebiet weiter zu verringern, ist die Verwendung von Source-/Draingebieten aus Metall statt hoch-dotierten Gebieten. Aus diesem Grund wurden abschließend FinFETs mit Schottky-Barrieren an den Source-/Draingebieten simuliert und die Ergebnisse diskutiert.

---

## 2 Grundlagen

---

### 2.1 Funktionsweise einfacher planarer MOS Strukturen

#### 2.1.1 Aufbau

Abb. 2.1 zeigt ein einfaches Schema einer pMOS-Kapazität (Metal-Oxide-Semiconductor mit p-dotiertem Substrat), dem zentralen Element eines MOS-Transistors. Die MOS-Kapazität (MOS-C) besteht aus einem Siliziumsubstrat, welches an der Oberfläche eine sehr dünne Schicht aus Siliziumdioxid ( $\text{SiO}_2$ ) aufweist. Als Gegenelektrode zum Siliziumsubstrat wird ein Gate aus Metall oder hochdotiertem Poly-Silizium verwendet.

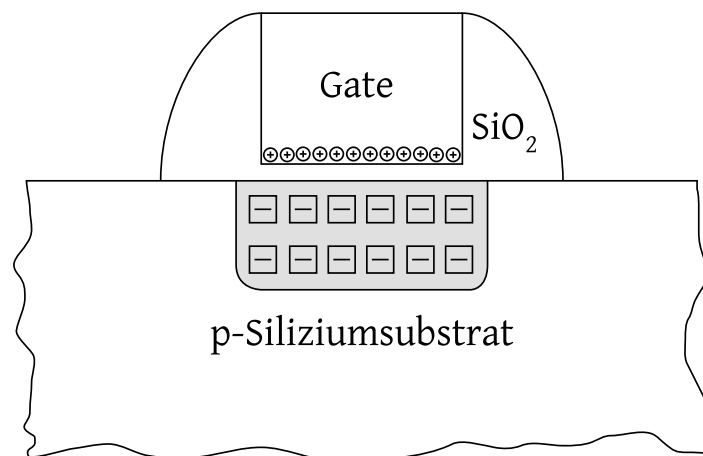


Abb. 2.1: pMOS-Kapazität in Verarmung

Das Siliziumsubstrat unter dem Gate kann nun je nach angelegter Spannung mit Löchern angereichert werden (Akkumulation) oder die Löcherdichte vermindert werden (Verarmung). Im Fall der Verarmung bildet sich eine Raumladungszone (RLZ) aus (im Bild grau gezeichnet) die durch die verbliebenen, ortsfesten, negativ geladenen Atomrümpfe der Dotierstoffatome entsteht [1].

In Akkumulation entspricht die MOS-Kapazität der Oxidkapazität und verhält sich wie ein Plattenkondensator der Dicke  $t_{ox}$  und der Dielektrizitätskonstante  $\kappa_{ox}$ .

$$C_G = C_{ox} = \frac{\kappa_{ox}\epsilon_0}{t_{ox}} \quad (2.1)$$

Die Kapazität in Verarmung besteht aus der Reihenschaltung von Oxidkapazität  $C_{ox}$  und der Kapazität der Verarmungsschicht im Siliziumsubstrat  $C_{si}$

$$C_G = ((C_{ox})^{-1} + (C_{si})^{-1})^{-1} < C_{ox} \quad (2.2)$$

Ab  $\phi_{sf} > \phi_f$  sammeln sich durch die Bandverbiegung an der Grenzfläche zum Isolator Elektronen an und bilden eine dünne Schicht mit Elektronenüberschuss im ansonsten p-dotierten Substrat, was Inversion genannt wird. Im Folgenden sind die Banddiagramme einer pMOS-Kapazität in den Fällen Akkumulation, Flachbandfall und Verarmung gezeigt.

Dabei bedeutet  $\phi_m$  die Austrittsarbeit des Metalls,  $\chi_{ox}$  die Elektronenaffinität des Oxids,  $\chi_s$  die Elektronenaffinität des Siliziums,  $\phi_s$  die Austrittsarbeit des Siliziums,  $\phi_f$  das Dotierungspotential,  $\phi_{sf}$  das Oberflächenpotential,  $t_{ox}$  die Dicke des Oxids,  $V_G$  Gatespannung,  $V_{fb}$  Flachbandspannung,  $E_0$  das Vakuumenergieniveau,  $E_v$  die Unterkante des Leitungsbands,  $E_v$  die Oberkante des Valenzbands,  $E_f$  das Fermi-niveau und  $E_i$  das Fermi-niveau des intrinsischen Siliziums.

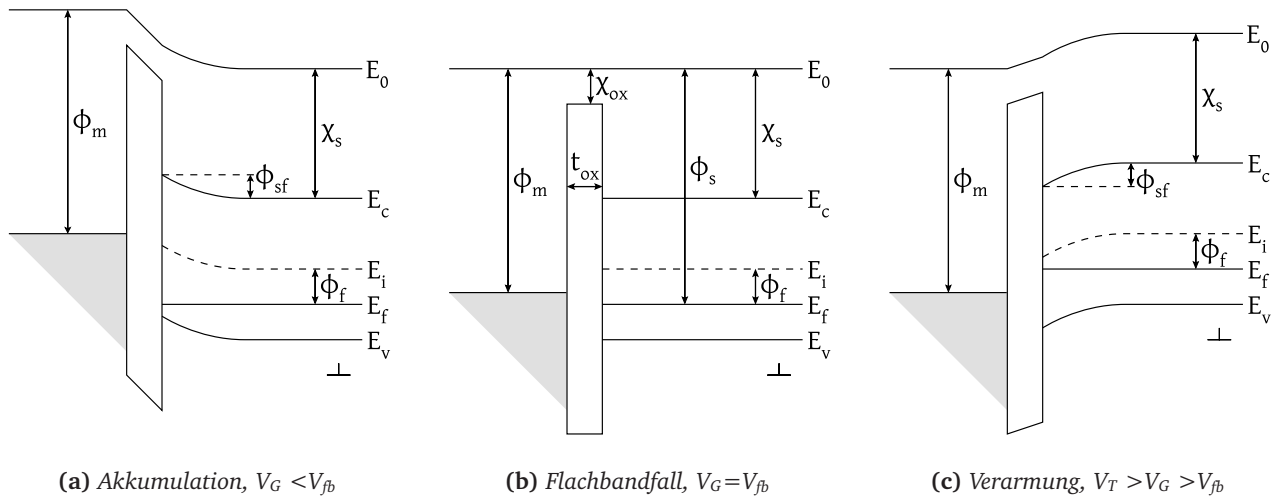


Abb. 2.2: Banddiagramme einer pMOS-Kapazität

Um flache Bänder zu erhalten, muss an die Gate-Elektrode eine Spannung von  $V_G = V_{fb}$  angelegt werden, um Austrittsarbeitsdifferenzen und Oxidladungen zu kompensieren. Im idealen Fall (Abb. 2.2) entspricht diese Flachbandspannung nur der Differenz zwischen der Austrittsarbeit des Metalls  $\phi_m$  und der des Siliziums  $\phi_s$ .

Im Allgemeinen wird die Flachbandspannung allerdings durch verschiedene Effekte vom idealen Wert verschoben [2].

$$V_{fb,real} = \underbrace{\phi_m - \phi_s}_{V_{fb,ideal}} - \frac{Q_f}{C_{ox}} - \frac{\gamma_m Q_m}{C_{ox}} - \frac{Q_{it}(\phi_{sf})}{C_{ox}} \quad (2.3)$$

wobei  $Q_f$  die Verteilung ortsfester Ladungen im Oxid bezeichnet,  $Q_m$  bewegliche Ladungen im Oxid,  $Q_{it}$  umladbare Zustände (interface traps) an der Grenzfläche zwischen Silizium und Siliziumdioxid und  $C_{ox}$  die Oxidkapazität bezeichnet (siehe Abb. 2.3a).  $\gamma_m$  ist die Verteilungsfunktion der beweglichen Ladungsträger im Oxid und kann Werte zwischen 0 (alle Ladungsträger an der Grenzfläche zum Metall) und 1 (alle Ladungsträger an der Grenzfläche zu Silizium) annehmen. Die meisten Grenzflächenzustände sind umladbar, weswegen die Ladung  $Q_{it}$  von der Lage des Fermi-niveaus an der Grenzfläche  $E_f$  abhängt.

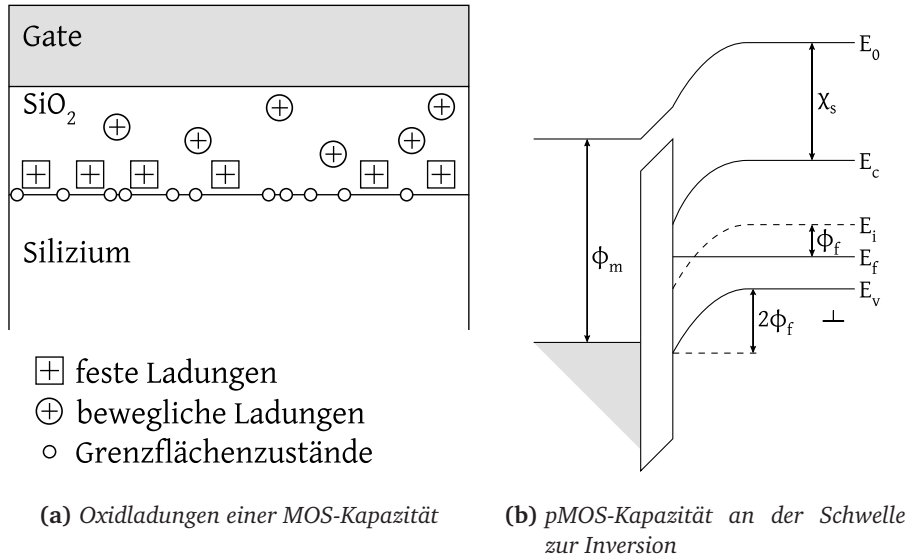


Abb. 2.3: pMOS-Kapazität

Wenn die Bandverbiegung an der Oberfläche des Siliziumsubstrats genau dem doppelten Dotierungspotential  $\phi_f$  entspricht, erreicht die Elektronenkonzentration an der Oberfläche die gleiche Dichte wie die Löcherkonzentration außerhalb der Raumladungszone (Abb. 2.3b). Man spricht dann vom Einsatz der starken Inversion und bezeichnet die anliegende Gatespannung als Schwellspannung  $V_T$  [2].

$$\phi_f = \frac{kT}{q} \ln \left( \frac{N_a}{n_i} \right) \quad (2.4)$$

$$V_T = V_{fb} + \underbrace{2\phi_f}_{V_{si}} + \underbrace{\frac{\kappa_{si}}{\kappa_{ox}} t_{ox} \sqrt{\frac{4qN_a}{\kappa_{si}\epsilon_0}} \phi_f}_{V_{ox}} \quad (2.5)$$

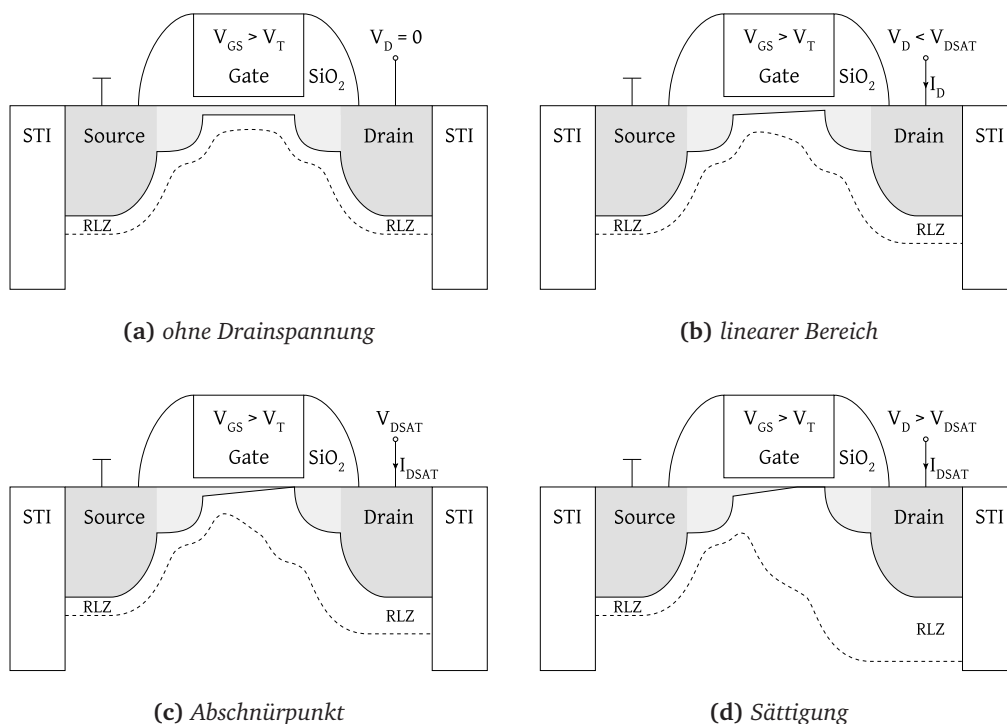
---

$$W_T = \sqrt{\frac{2\kappa_{si}\varepsilon_0}{qN_a}} \cdot 2\phi_f \quad (2.6)$$

## 2.2 MOSFET

### 2.2.1 Aufbau

Erweitert man die MOS-Kapazität um hochdotierte Gebiete, die an die Kapazität angrenzen, erhält man einen MOS-Feldeffekt-Transistor (MOSFET). Durch Inversion der MOS-Kapazität über das Gate kann ein leitender Kanal zwischen den beiden Gebieten Source und Drain erzeugt werden. Abb. 2.4 verdeutlicht die verschiedenen Betriebsbereiche eines MOSFET.



**Abb. 2.4:** Betriebsbereiche des MOSFETs

Die Drainspannung verringert den Spannungsabfall über dem drainseitigen Ende des Gateoxids, wodurch der Kanal auf dieser Seite weniger stark ausgeprägt ist, wie an der Sourceseite. Bei der Drainspannung  $V_D = V_{DSAT} = V_{GS} - V_T$  wird der Spannungsabfall  $V_{GD} = V_T$ , weswegen der Kanal an dieser Stelle vollständig verschwindet. Bei weiterer Erhöhung der Drainspannung verschiebt sich dieser Abschnürpunkt in Richtung zum sourceseitigen Ende des Kanals.

Ohne Berücksichtigung dieser Kanallängenmodulation steigt der Drainstrom  $I_D$  ab der Drainspannung  $V_{DSAT}$  nicht mehr an, da sich die Ladungsträger nur mit einer maximalen Driftgeschwindigkeit  $v_{max}$  fortbewegen können, die bei Sättigungsspannung zwischen Kanalende und Draingebiet erreicht wird [3].

$$\mu_s(E_x) = \frac{\mu_s}{\sqrt{1 + (E_x/E_{sat})^2}} \quad \text{mit} \quad E_{sat} = \frac{v_{max}}{\mu_s} \quad (2.7)$$

$E_x$  bezeichnet hierbei das laterale elektrische Feld im Kanal,  $E_{sat}$  das Feld bei dem die maximale Geschwindigkeit erreicht wird und  $\mu_s$  die Beweglichkeit der Ladungsträger im Kanal für sehr kleine Feldstärken.

### 2.2.2 Square-Law Modell

Das einfachste Modell zur Beschreibung des MOS-Transistors ist die Annahme einer Inversionsladung  $Q_K$  unter dem Gateoxid, die durch die Gatespannung hervorgerufen wird.  $\phi(x)$  ist der durch die Drainspannung erzeugte Spannungsabfall im Kanal,  $\phi(\text{Source}) = 0$ ,  $\phi(\text{Drain}) = V_D$  [1].

$$Q_K(x) = C_{ox}(V_{GS} - V_T - \phi(x)) \quad (2.8)$$

Diese Inversionsladung wird durch die Drainspannung durch den Kanal bewegt und stellt damit den Drainstrom  $I_D$  dar, wobei  $W$  die Weite des Gates und  $L$  die Länge des Gates bezeichnen.

$$I_D = K \frac{W}{L} \left( V_{GS} - V_T - \frac{V_{DS}}{2} \right) V_{DS} \quad \text{mit} \quad K = \mu C_{ox} \quad (2.9)$$

Bei der Drainspannung  $V_{DSAT}$  wird der maximale Strom  $I_{DSAT}$  erreicht. Der Drainstrom ist ab diesem Punkt von der Drainspannung unabhängig. Es besteht eine quadratische Abhängigkeit von der Gatespannung (square-law).

$$I_{DSAT} = \frac{K W}{2 L} (V_G - V_T)^2 (1 + \lambda V_{DS}) \quad \text{mit} \quad \lambda = \frac{\Delta L}{L V_{DS}} \quad (2.10)$$

Der Term  $\lambda V_{DS}$  beschreibt den Effekt der Kanallängenmodulation. Da der Abschnürpunkt sich bei steigender Drainspannung immer weiter in Richtung Sourcegebiet verschiebt, verkürzt sich der Kanal um die Länge  $\Delta L$ . Da der Drainstrom umgekehrt proportional zur Gatelänge  $L$  ansteigt, nimmt dieser bei steigender Drainspannung weiter zu und weist eine lineare Abhängigkeit von der Drainspannung  $V_{DS}$  auf.

Weitere Modelle, welche das Verhalten des MOSFETs genauer beschreiben sind das Substrat-Ladungs-Modell und das Exakt-Ladungs-Modell, welche in Anhang B angegeben sind.

## 2.3 Metall-Halbleiter-Kontakt

In der integrierten Schaltungstechnik gibt es zwei wichtige Arten von elektrischen Kontakten auf Basis von Metall-Halbleiter-Übergängen. Ohmsche Kontakte verhalten sich wie ein elektrischer Widerstand und können dementsprechend auch durch einen Kontaktwiderstand mit linearer Strom-Spannungs-Kennlinie beschrieben werden. Diese Art von Kontakten ist überall dort erwünscht, wo Ströme polungsunabhängig fließen sollen, zum Beispiel die Metall-Halbleiter-Übergänge bei konventionellen Source-/Draingebieten eines MOSFETs.

Allerdings weisen Metall-Halbleiter-Übergänge oft eine mehr oder weniger starke Polungsabhängigkeit infolge einer Potentialbarriere auf und ähneln in ihrer Strom-Spannungscharakteristik eher einer Diode als einem Widerstand. Diese Kontakte nennt man auch Schottky-Kontakte oder Schottky-Dioden, da die Kennlinie einen Sperrbereich und einen Bereich mit exponentiellem Anstieg des Stroms zeigt. Eine Potentialbarriere und damit ein Schottky-Kontakt, entsteht dann, wenn das Substrat eine Bandlücke aufweist und sich das Fermi-niveau des Substrats energetisch oberhalb des Fermi-niveaus des Kontaktmaterials befindet. Abb. 2.5 verdeutlicht dies für den Fall eines n-dotierten Substrats, das mit einem Metall kontaktiert wurde.

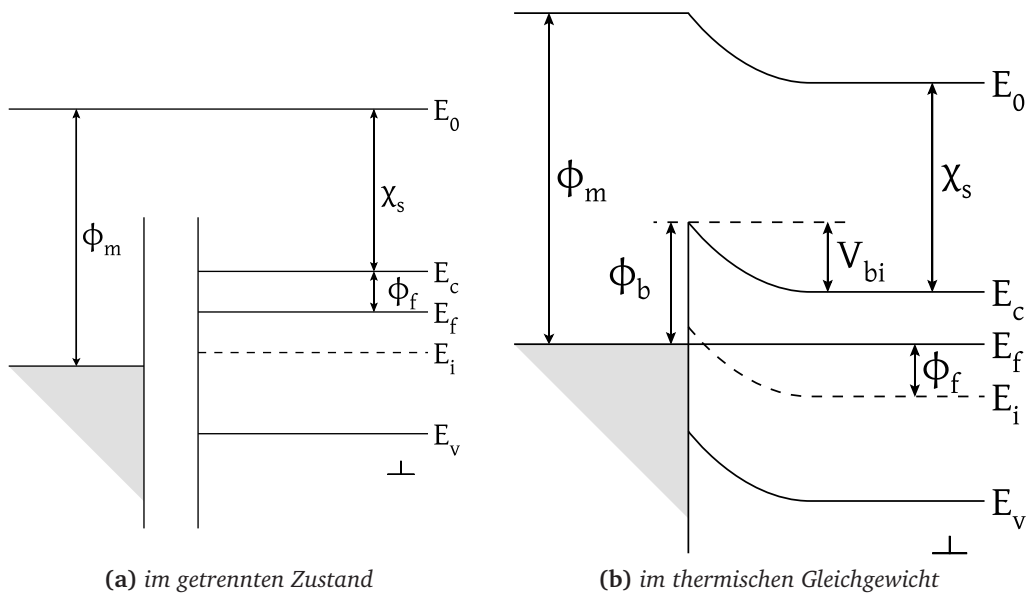


Abb. 2.5: Energiebänder eines Schottky-Kontakts mit n-Substrat

Wird an das Metall eine negative Spannung gegenüber dem, auf Masse gelegten, Substrat angelegt, steigt das Fermi-niveau des Metalls relativ zu  $E_f$  des Siliziumsubstrats an. Während die Potentialbarriere  $\phi_b$  konstant bleibt, vergrößert sich der Spannungsabfall  $V_{bi}$ .



Die Potentialbarriere  $\phi_b$  hemmt die Elektronen daran, vom Metall in den Halbleiter zu fließen. Es fließt nur ein sehr kleiner Strom, die Diode befindet sich in Sperrpolung. Legt man positive Spannung an das Metall, sinkt das Fermi-niveau auf der Metallseite und damit auch der Spannungsabfall  $V_{bi}$ . Elektronen können nun vom Halbleiter in das Metall fließen, die Kennlinie geht in den exponentiellen Bereich über, es herrscht Flusspolung. Die Barriere  $\phi_b$  hängt vom Unterschied der Austrittsarbeit der Kontaktelektrode und der Elektronenaffinität des Halbleitersubstrats ab [3].

$$\phi_b = \phi_m - \chi_s \quad (2.11)$$

Der Spannungsabfall über der Verarmungszone im Halbleiter berechnet sich zu

$$V_{bi} = \phi_b - \frac{E_c - E_f}{q} \quad (2.12)$$

Der Strom durch einen Schottky-Kontakt besitzt eine exponentielle Abhängigkeit von der anliegenden Spannung wie bei einer Diode und kann nach [4] durch eine Diodengleichung beschrieben werden.

$$I = I_S \left( e^{\left(\frac{V}{V_{th}}\right)} - 1 \right) \quad (2.13)$$

$$\text{wobei} \quad I_S = A_j A^* T^2 e^{\left(-\frac{\phi_b}{V_{th}}\right)} \quad \text{und} \quad A^* = \frac{4\pi q m^* k^2}{h^3} = 120 \frac{A}{\text{cm}^2 \text{K}^2} \frac{m^*}{m_e}$$

$A^*$  bezeichnet die Richardson-Konstante, der genaue Wert der effektiven Ladungsträgermasse  $m^*$  ist nach [5] von der Orientierung des Halbleiterkristalls abhängig. Nicht berücksichtigt sind in der obigen Gl. Ströme, die das Tunneln von Ladungsträgern durch die Potentialbarriere zusätzlich auftreten [6]. Diese Tunnelströme sind bei hoher Dotierung des Halbleiters der dominante Anteil des Stroms durch den dann ohmschen Kontakt.

## 2.4 Skalierung

### 2.4.1 Motivation der Skalierung

Die Hauptargumente für skalierte integrierte Schaltungen sind verringerter Platzverbrauch und damit erhöhte Integrationsdichte, schnellere Bauelemente und geringerer Energieverbrauch der Bauelemente. Gordon Moore stellte 1965 sein bekanntes Gesetz auf, nach dem sich die Anzahl der Bauelemente auf einem Chip alle zwei Jahre verdoppelt. Moore's Gesetz stützt sich heute dabei auf empirische Beobachtungen, die über die vergangenen 40 Jahre eine Verdopplung der Integrationsdichte der Bauelemente auf einem Chip etwa alle zwei Jahre gezeigt haben. Das Ende dieser Gesetzmäßigkeit aufgrund, als unüberwindbar geltender, technischer Hürden wurde oft vorhergesagt, allerdings konnten diese Probleme bislang immer rechtzeitig beseitigt werden, um eine weitere Skalierung zu gewährleisten. 1971, sechs Jahre nach Moore's Prognose wurde mit einer minimalen Strukturweite von  $10\mu\text{m}$  produziert, aktuelle (2008) Chips besitzen minimale Strukturweiten von  $45\text{nm}$  [7–10].

Eine theoretische Grenze stellt der Atomradius des verwendeten Materials dar, allerdings nur, wenn man von planaren zweidimensionalen Schaltungen ausgeht. Eine weitere Erhöhung der Integrationsdichte wäre mit dreidimensionalem Aufbau denkbar, bei dem mehrere Lagen Bauelemente übereinander angeordnet werden.

Mit steigender Rechenleistung werden auch Simulationen immer genauer durchgeführt werden können, da nun auch genauere Modelle bei vertretbarem Zeitaufwand verwendet werden können. Bei allen Möglichkeiten, die die moderne Computersimulation eröffnet, muss allerdings immer klar gestellt werden, dass es sich um mathematische Modelle handelt, die die Wirklichkeit selbstverständlich nicht perfekt abbilden. Eine beliebig gute Annäherung ist zwar theoretisch durch eine immer stärkere Verfeinerung des auflösenden Simulationsgitters denkbar, allerdings treten bei extrem kleinen Dimensionen physikalische Effekte auf, die entweder noch unzureichend beschreibbar sind oder statistisch verteilt auftreten. Beispiele sind die Beschaffenheit von Grenzflächen zwischen zwei Materialien oder die Fluktuation der Dotierstoffatome in MOSFETs mit extrem kurzen Kanälen.

In dieser Arbeit wurden Transistoren bis hinunter zu 10nm Kanallänge simuliert. Es stellt sich allerdings die Frage inwieweit diese Ergebnisse mit der Realität in Einklang stehen. Als gesichert können daher nur die Ergebnisse der Transistoren bis zu einer Kanallänge von 50nm dienen, da die quantenmechanischen Effekte bei diesen Abmessungen noch nicht die Haupteigenschaften des Bauelements bestimmen.

Es ist zu erwarten, dass bei verbesserten und erweiterten physikalischen Modellen zukünftig auch Strukturen unterhalb 10nm ausreichend genau simuliert werden können. Solche sub-10nm Transistoren existieren bereits und ihre Funktionstüchtigkeit wurde bewiesen. Die Frage ist aber, ob solche Strukturen auch in einer komplexen Schaltung integriert in Massenproduktion gefertigt werden können. Eine Untergrenze für die Nutzung des Funktionsprinzips des MOSFETs stellt bislang der quantenmechanische Tunneleffekt dar, der es ermöglicht, dass Ladungsträger von Source nach Drain gelangen können, wenn der Abstand nur genügend klein wird. Während das Problem der Tunnelns durch den Gateisolator mit der Einführung von high- $\kappa$  Dielektrika weitgehend gelöst scheint, ist eine Lösung für die Vermeidung der Tunnelströme durch den Kanal nicht in Sicht.

#### 2.4.2 Auswirkungen und Grenzen der Skalierung

Durch Skalierung können bestehende Schaltungen in eine feinere Technologiegeneration übertragen werden. Alle geometrischen Abmessungen werden dabei mit einem Skalierungsfaktor  $\kappa < 1$  multipliziert, das Layout muss aber im Idealfall nicht verändert werden. Nach [2] sind bei der sogenannten isotropen Skalierung die Abmessungen  $L$  und  $W$  des Kanals, die Isolatorstärke  $t_{ox}$ , die Substratdotierung  $N_A$ , die Tiefe  $x_j$  der Source- und Draingebiete, sowie die Versorgungsspannung  $V_{DD}$  entsprechend Tabelle 2.1 zu verändern.

Parameter	$L$	$W$	$t_{ox}$	$N_A$	$x_j$	$V_{DD}$	$E$	$t_d$
Skalierungsfaktor	$\kappa$	$\kappa$	$\kappa$	$1/\kappa$	$\kappa$	$\kappa$	1	$\kappa$

Tab. 2.1: Isotrope Skalierung

Die Anhebung der Dotierstoffkonzentration ist erforderlich, damit die elektrische Feldstärke  $E$  im Bauteil unverändert bleibt. Da die zum Umladen der Transistorkapazitäten zur Verfügung stehenden Ströme, ebenso wie die umzuladenden Kapazitäten proportional zu  $\kappa$  abnehmen, skaliert die Gatterlaufzeit ( $t_d \approx CV_{DD}/I$ ) idealerweise mit  $\kappa$ , was eine Steigerung der Taktfrequenz um den Faktor  $1/\kappa$  zulässt. In der Praxis muss allerdings ein etwas komplexerer Ansatz gewählt werden, da unter anderem die Diffusionsspannungen der pn-Übergänge bei steigender Substratdotierung  $N_A$  nicht mit  $\kappa$  skalieren, sondern ansteigen. Ähnliches gilt für die Diffusionsströme im Unterschwellenbereich. Die Versorgungsspannung  $V_{DD}$  kann deswegen nicht beliebig weit abgesenkt werden. Durch Einführung eines zweiten Skalierungsfaktors  $\alpha$  erweitert man die constant-field-Skalierung, wie in der unten stehenden Tabelle 2.2 nach [11] angegeben.

Parameter	L	W	$t_{ox}$	$N_A$	$x_j$	$V_{DD}$	E	$t_d$
Skalierungsfaktor	$\kappa$	$\kappa$	$\kappa$	$\alpha/\kappa^2$	$\kappa$	$\alpha$	$\alpha/\kappa$	$\kappa^2/\alpha$

**Tab. 2.2:** Verallgemeinerte Skalierungsregeln

Mit Hilfe dieser Methode kann man die Skalierung eher auf hohe Leistung ( $\alpha > \kappa$ , Feldstärke höher, Gatterlaufzeit niedriger) oder auf niedrigen Verbrauch ( $\alpha < \kappa$ , Feldstärke kleiner, Gatterlaufzeit länger) trimmen. Allerdings gibt es maximale elektrische Feldstärken, die nicht überschritten werden können, ohne dass unerwünschte Effekte wie dielektrischer Durchbruch des Gateisolators oder Ladungsträgermultiplikation am Kanalende auftreten. Für dünne Siliziumdioxidschichten liegt der Wert der Durchbruchfeldstärke bei etwa  $1 \cdot 10^7 \text{V/cm}$  [12], was bei einer Versorgungsspannung von  $V_{DD} = 1\text{V}$  eine maximale Isolatorstärke von  $t_{ox} = 1\text{nm}$  voraussetzt. Die Betriebsfeldstärke liegt unterhalb dieses Wertes, um die notwendige Lebensdauer des Bauelements zu ermöglichen. Selbst bei niedrigeren elektrischen Feldstärken wird eine weitergehende Verringerung der Dicke durch den direkten Tunneleffekt verhindert.

Ein weiteres Problem der Skalierung, welches nicht von den physikalischen Grenzen der Bauelemente abhängt, ist die Reinheit und Perfektion der technologischen Prozesse, die verwendet werden, um einen Wafer mit funktionstüchtigen Chips herzustellen. Bei steigender Komplexität der integrierten Schaltungen wird die Zuverlässigkeit elektronischer Bauelemente ein immer wichtigerer Faktor. Bei Verdopplung der Chipfläche muss gleichzeitig die Defektdichte halbiert werden, um die gleiche Ausbeute an funktionstüchtigen Chips zu erhalten. Dies erfordert immer teurere Prozesslinien mit erhöhtem Aufwand an Reinheit und verbesserten Prozesstoleranzen. Die Ausbeute kann durch die Price-Formel beschrieben werden

$$Y_{Chip} = (1 + A_{Chip} \cdot D_0)^{-n} \quad (2.14)$$

wobei  $Y_{Chip}$  die Ausbeute,  $A_{Chip}$  die Chipfläche,  $D_0$  die Defektdichte und  $n$  die Anzahl der Chipebenen bedeutet. Selbst bei gleich bleibender Chipfläche und Skalierung der Bauelemente muss die Defektdichte reduziert werden, da kleinere Partikel, die vor der Skalierung nicht gestört haben, bei den feineren Strukturen sehr wohl als Defektursache gezählt werden müssen.

## 2.5 Kurzkanaleffekte

Bei zunehmender Verkleinerung der geometrischen Abmessungen von MOS-Bauelementen treten sogenannte Kurzkanaleffekte auf, die sich störend auf das gewünschte Bauteilverhalten auswirken. Im folgenden sind die wichtigsten Effekte zusammengestellt.

### 2.5.1 Gateleckstrom

Die beiden Hauptursachen für Leckströme durch die Isolatorschicht zwischen Gateelektrode und Kanalgebiet sind der Fowler-Nordheim-Tunneleffekt und der direkte Tunneleffekt. Der direkte Tunneleffekt kommt unabhängig vom elektrischen Feld bei Schichtdicken deutlich unter 5nm zum Tragen [13]. Die Ladungsträger tunneln auch bei niedrigen Gatespannungen durch die Isolatorschicht. Der Fowler-Nordheim-Tunneleffekt hingegen tritt bei hohen elektrischen Feldstärken auf, die die Bänder des Isolators verbiegen. Die Ladungsträger tunneln dann durch den schmalen Bereich einer dreieckigen Potentialbarriere.

Dieser Effekt kann durch Verringerung der Feldstärke vermindert werden, der direkte Tunneleffekt nur durch eine ausreichende geometrische Dicke der Isolatorschicht wie Abb. 2.6 zeigt.

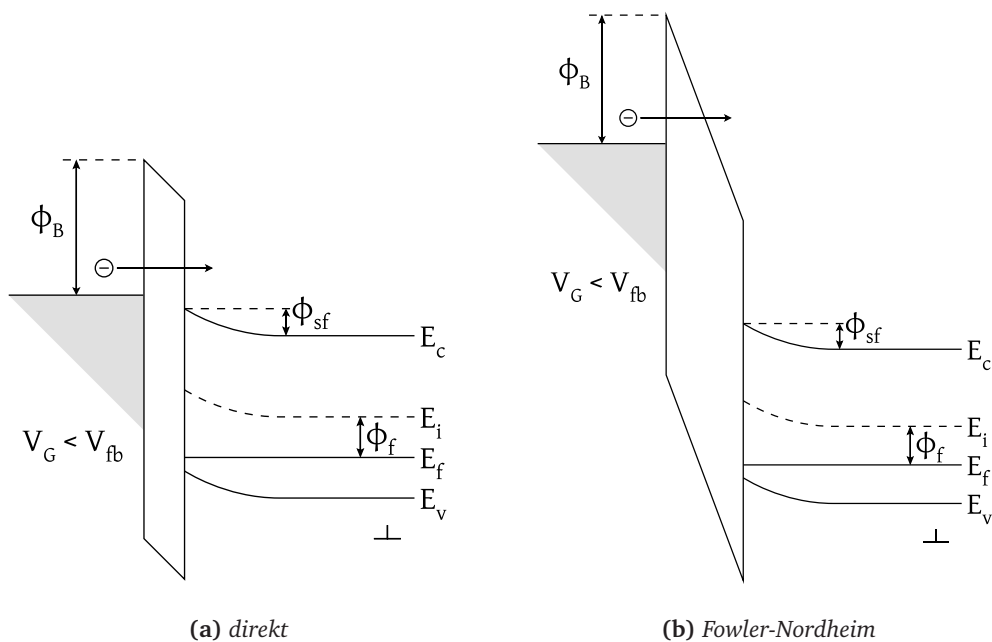


Abb. 2.6: Tunneleffekt

\_\_\_\_\_

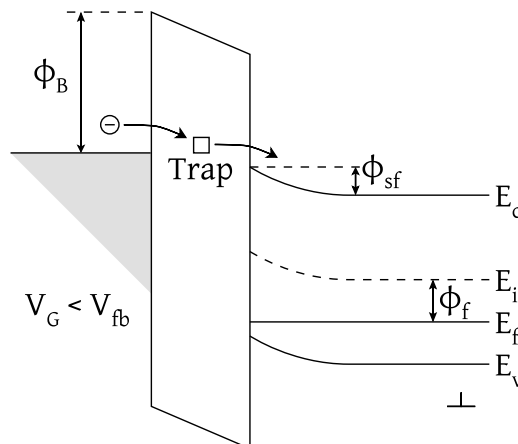
$$J_{FN} = C \cdot E^2 e^{\left(-\frac{E_0}{E}\right)} \quad (2.15)$$

Die direkte Tunnelstromdichte  $J_{DT}$  kann nach [14] mit folgender Formel beschrieben werden

$$J_{DT} = \frac{qm_C k}{2\pi^2 \hbar^3} \int_0^\infty dE Y(E) \left\{ T(0) \ln \left( e^{\frac{E_f(0) - E_c(0) - E}{kT(0)}} + 1 \right) \right. \\ \left. - T(d) \ln \left( e^{\frac{E_f(0) - E_c(0) - E}{kT(d)}} + 1 \right) \right\} \quad (2.16)$$

wobei 0 die substratseitige Grenzfläche der Barriere, d die Dicke der Barriere und T die Temperatur darstellt.  $m_C$  ist ein Vorfaktor für die Berechnung der effektiven Masse der Ladungsträger.  $Y(E)$  ist der Transmissionskoeffizient einer trapezförmigen Potentialbarriere. Seine Berechnung ist hier nicht weiter ausgeführt.

Störstellen im Dielektrikum können Tunnelvorgänge unterstützen, indem sie Pfade für direkte Tunnelvorgänge bilden. Da Störstellen mögliche Zustände für Ladungsträger repräsentieren, verringern sie die, pro Tunnelvorgang zu überwindende, Strecke auf Längen, bei denen direkte Tunnelvorgänge stattfinden können. Durch mehrmaliges direktes Tunneln von Störstelle zu Störstelle gelangen Ladungsträger durch das Dielektrikum und erzeugen somit einen Gateleckstrom. Die Größe solcher störstellen-unterstützten Tunnelströme (trap-assisted tunneling) hängt vor allem von der Dichte der Störstellen des Dielektrikums aber auch von deren räumlicher Verteilung ab. Je höher die Störstellendichte ist, umso eher besteht die Möglichkeit, dass sich Störstellenpfade vorhanden sind, über die direkte Tunnelvorgänge durch das Dielektrikum stattfinden können wie in Abb. 2.7 dargestellt ist.



**Abb. 2.7:** Störstellen-unterstützter Tunneleffekt

### 2.5.2 Einfluss der Kanallänge auf die Einsatzspannung

Source- und Draingebiete verringern durch ihre Raumladungszonen die Ladungsträgerdichte an den Kanalenden. Die Länge des, zu verarmenden, Gates verringert sich von der technologischen Gatelänge  $L_G$  auf den Wert  $L_{ch}$ , wie in Abb. 2.8a zu sehen ist. Dieser Effekt tritt ganz besonders bei sehr kurzen Kanälen zum Vorschein, da diese Raumladungszonen dann einen größeren Anteil des Kanals verarmen, als bei langen Kanälen. Dies führt zu einer Absenkung der Einsatzspannung, da das Kanalgebiet schon vorverarmt ist und eine kleinere Gatespannung ausreicht, um den Zustand der Inversion zu erreichen.

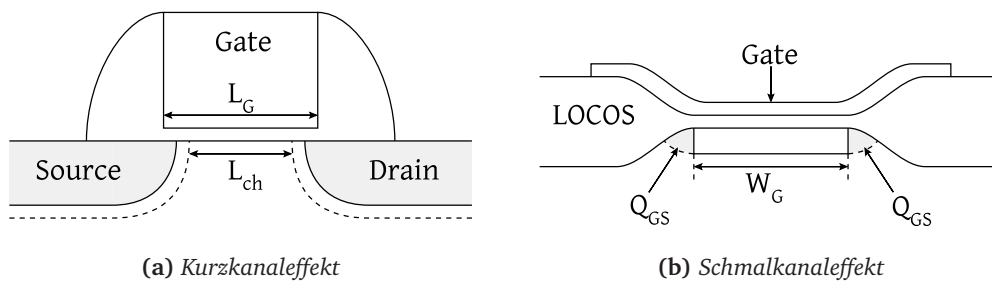


Abb. 2.8: Geometrische Effekte

### 2.5.3 Kanalweitensteuerung

Der Schmalkanaleffekt wird bei Transistoren beobachtet, deren Weite so klein ist, dass ein beträchtlicher Teil der vom Gate erzeugten Raumladungszone außerhalb des Kanalbereichs liegt.

Abb. 2.8b zeigt einen Querschnitt durch einen MOSFET. Die Raumladungszone dehnt sich bis in die grau gezeichneten Gebiete aus. Ein Teil der Gateladung wird also zur Erzeugung dieser Raumladungszone benutzt und nicht für die Verarmung des Kanalgebiets. Es muss also mehr Ladung auf das Gate gebracht werden, um den Zustand der Inversion des Kanalgebiets zu erreichen, was gleichbedeutend mit einer Erhöhung der Einsatzspannung ist.

### 2.5.4 Drain-induced barrier lowering (DIBL)

Neben der Geometrieabhängigkeit der Einsatzspannung gewinnt bei kurzen Kanälen außerdem noch die Abhängigkeit der Einsatzspannung von der Drainspannung an Einfluss. Bei steigender Drainspannung dehnt sich die Raumladungszone des in Sperrpolung betriebenen Drain-Substrat-Übergangs weiter in das Kanalgebiet aus, wie in Abb. 2.9a und b dargestellt. Die Ladungsdichte im Kanal wird dadurch verringert und die Energiebarriere zwischen Source und Drain wird verringert (Abb. 2.9c und d). Bei sehr kurzen Kanälen wird dabei der Maximalwert der Potentialbarriere zwischen Source und Drain kleiner, der Sperrstrom des MOSFET wird größer und das Abschaltverhalten schlechter.

Die Einsatzspannung sinkt damit bei steigender Drainspannung. Diese Verschiebung wird in mV/V angegeben, ein DIBL von 100mV/V würde also einer Einsatzspannungsverschiebung von 100mV bei einer Drainspannungserhöhung von 1V entsprechen [15].

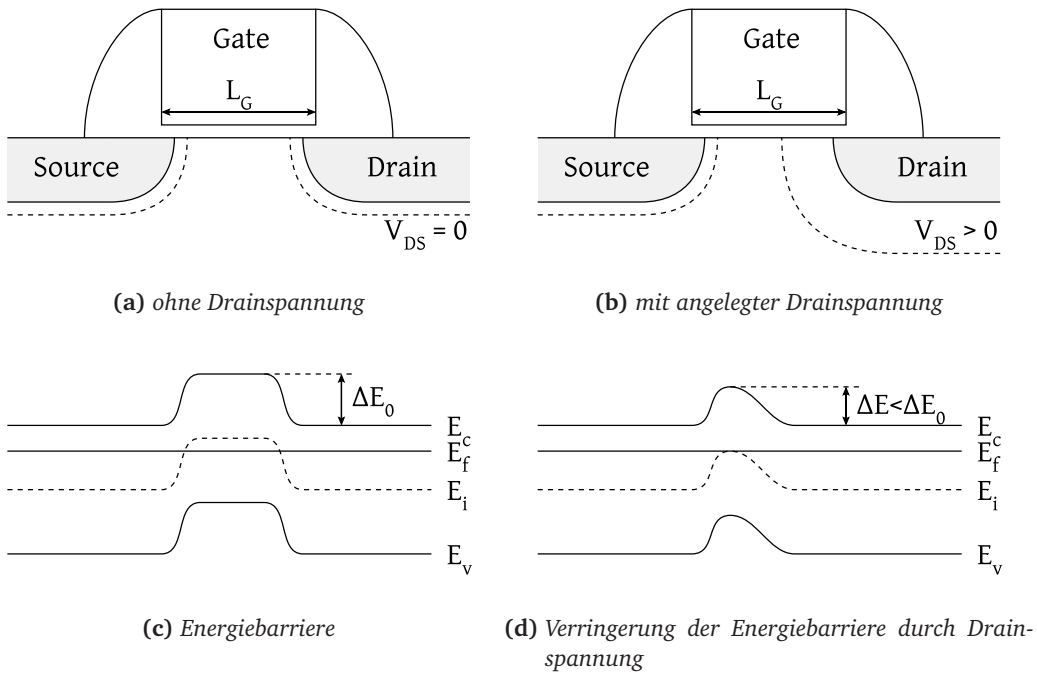


Abb. 2.9: DIBL-Effekt

### 2.5.5 Gate-induced drain leakage (GIDL)

Der GIDL-Effekt beschreibt die Verarmung des Draingebiets, das sich mit der Gateelektrode überlappt. Dieser Fall tritt beispielsweise bei einem n-MOSFET dann auf, wenn der Transistor ausgeschaltet ist ( $V_{GS} = 0V$ ) und die Drainelektrode auf dem Potential der Versorgungsspannung liegt ( $V_{DS} = V_{DD}$ ), wie in Abb. 2.10 gezeigt [16].

Da generierte Löcher zum Substrat abfließen, kann sich keine Inversionsschicht, sondern nur eine Raumladungszone an der Grenzfläche zum Gateisolator bilden. Die dabei entstehenden hohen elektrischen Felder begünstigen Tunnelvorgänge, die ihrerseits wiederum den Substratstrom vergrößern. Durch den Spannungsabfall am Substratwiderstand verringert sich die Einsatzspannung über den Substratstauereffekt.

$$V_T = V_{T0} + \frac{\kappa_{si}}{\kappa_{ox}} t_{ox} \sqrt{\frac{2qN_a}{\kappa_{si}\epsilon_0}} \phi_f \left( \sqrt{2\phi_f + V_{SB}} - \sqrt{2\phi_f} \right) \quad (2.17)$$

mit  $V_{T0}$  als Einsatzspannung bei  $V_{SB} = 0$ .

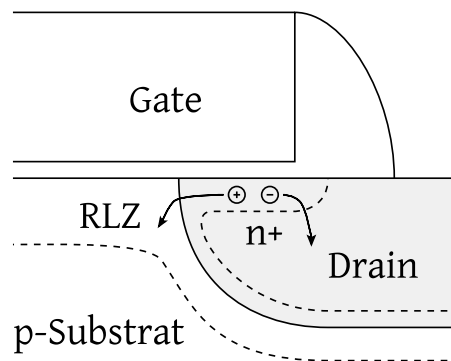


Abb. 2.10: Gate-Induzierter Drain-Leckstrom

### 2.5.6 Dotierstoff-Fluktuationen

Selbst mit sehr exakten Prozesstechnologien ist es schier unmöglich, eine exakte Anzahl an Dotierstoffatomen in ein definiertes Volumen einzubringen, da Implantation und Diffusion statistische Prozesse sind, die nicht exakt vorhergesagt werden können. Erst bei einer genügend großen Anzahl an Dotierstoffatomen kann man diese Prozesse statistisch modellieren [17]. Bei kleinen Kanallängen tritt nun genau dieses Problem auf, was anhand folgender Rechnung verdeutlicht werden soll.

Es sei ein n-Kanal-MOSFET auf SOI-Material (Silicon on Insulator) mit den Parametern:  $N_a = 10^{18} \text{cm}^{-3}$ ,  $L_G = 32 \text{nm}$ ,  $W_G = 50 \text{nm}$ ,  $t_{\text{SOI}} = 70 \text{nm}$  und  $t_{\text{ox}} = 1.2 \text{nm}$  gegeben. Für die maximale Tiefe der Verarmungszone ergibt sich mit Gl. 2.6 und Gl. 2.4 ein Wert von  $W_T = 35 \text{nm}$ . Für die Anzahl der Dotierstoffatome im aktiven Gebiet folgt

$$N = N_a \cdot L_G \cdot W_G \cdot W_T = 10^{18} \text{cm}^{-3} \cdot 32 \cdot 10^{-7} \text{cm} \cdot 50 \cdot 10^{-7} \text{cm} \cdot 35 \cdot 10^{-7} \text{cm} = 56$$

Die Dotierstofftoleranz wird mit kleineren Geometrien immer größer werden. Eine niedrigere Dotierung löst dieses Problem nicht, da ab einer Dotierung von  $N_a = 10^{16} \text{cm}^{-3}$  nur noch etwa 1 Dotierstoffatom pro Transistor vorhanden ist. Die Einsatzspannung betrüge bei diesen Transistoren  $V_T(N_a = 10^{16} \text{cm}^{-3}) = V_{\text{fb}} + 730 \text{mV}$ . Alle Transistoren eines Chips, in deren Kanal sich kein Dotierstoffatom befände, hätten hingegeben Kanalgebiete aus intrinsischem Silizium mit einer völlig veränderten Einsatzspannung von  $V_T(N_a = 10^{10} \text{cm}^{-3}) = V_{\text{fb}}$ . Durch diese Unsicherheit könnte mit diesen Bauelementen keine integrierte Schaltung gefertigt werden. Um diesen Effekt dennoch zu vermeiden, sind also MOS-Strukturen nötig, die mit sehr schwach dotierten oder undotierten Kanalgebieten auskommen, wie zum Beispiel FinFETs.



---

## 2.6 Lösungen zur Überwindung der Skalierungsgrenzen

### 2.6.1 Partially-/Fully-depleted MOSFET

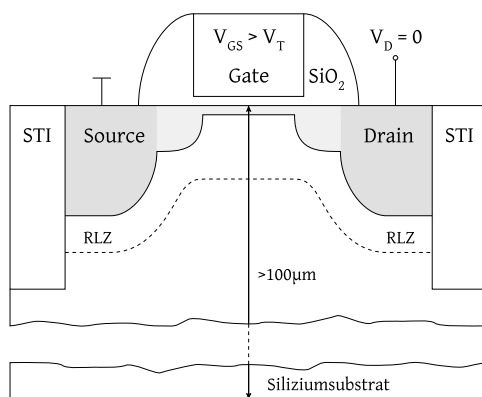
Konventionelle MOSFETs werden in ein Siliziumsubstrat integriert und lateral von Isolationsgräben aus Siliziumdioxid (STI) voneinander abgegrenzt. Die Raumladungszonen der Source-Substrat-Diode, der Drain-Substrat-Diode und die Verarmungszone unter dem Gate können sich ungehindert ausdehnen und stellen unerwünschte Kapazitäten dar. Außerdem fließen Diodensperrströme von Source und Drain in das Substrat und erhöhen die Verlustleistung des Bauelements. Gerade bei kurzen Kanälen treten Kurzkanaleffekte wie DIBL und GIDL verstärkt auf, da das vom Gate verarmte und damit kontrollierte Gebiet nur bis in einer Tiefe von wenigen 10nm reicht [18].

Um Kurzkanaleffekte einzudämmen und Sperrströme und Sperrschichtkapazitäten zu vermindern, können die MOSFETs auf ein SOI-Substrat (Silicon On Insulator) integriert werden. Die vergrabene Oxidschicht isoliert das Kanalgebiet dabei völlig vom Trägersubstrat, die einzigen Kontaktzonen bleiben die Source-/Drain-Übergänge. Sperrströme können nicht fließen, die Sperrschichtkapazitäten sind durch das massefreie Kanalgebiet (floating body) ebenso vermindert wie GIDL und DIBL-Effekt (Abb. 2.11b).

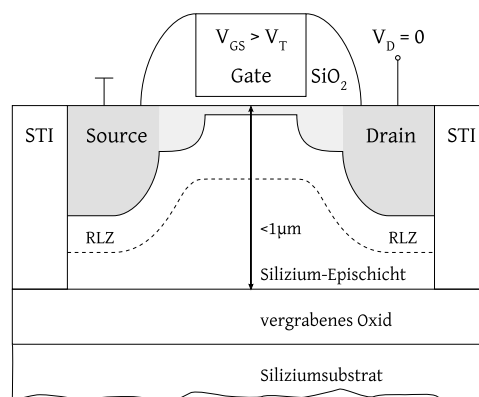
Durch die geringeren parasitären Kapazitäten steigt die Schaltgeschwindigkeit, durch die wegfallenden Sperrströme sinkt die Verlustleistung. Ein weiterer Vorteil der vollständigen Isolation der Bauelemente ist die Vermeidung von Latchup-Effekten (parasitäre Bipolartransistoren zwischen einzelnen MOSFETs), wie sie bei konventionellen MOSFETs auftreten können.

Allerdings tritt bei floating-body MOSFETs mit partieller Verarmung der sogenannte Kink-Effekt (kink: engl. Knick) auf, der nach den beiden Knicken in der Ausgangskennlinie benannt ist (Abb. 2.11c). Bedingt durch die steigende Drain-Source-Spannung  $V_{DS}$  steigt auch der Sperrstrom, der vom Draingebiet in die SOI-Schicht fließt. Das Potential des Substrats steigt dabei mit steigender Drainspannung an, was durch den Substratsteuereffekt eine Verringerung der Einsatzspannung  $V_T$  bedeutet. Der Drainstrom steigt dadurch stärker an, ein erster Knick in der Ausgangskennlinie entsteht. Bei weiterer Erhöhung des Substratpotentials wird schließlich der Punkt erreicht, an dem die Source-Substrat-Diode infolge der Spannung  $V_{BS}$  in den Bereich der Flusspolung übergeht. Der Strom steigt ab diesem Punkt gemäß einer exponentiellen Diodenkennlinie weiter an, wenn die Drainspannung weiter erhöht wird [19].

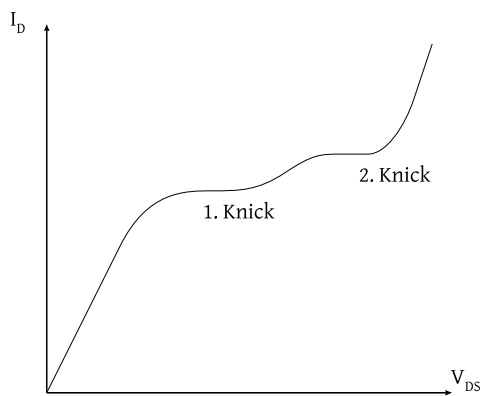
Um den Kink-Effekt zu vermeiden wird die Dicke der SOI-Schicht so weit verringert, dass das Gebiet zwischen Source und Drain vom Gate vollständig an Ladungsträger verarmt wird (fully-depleted, Abb. 2.11d). Gleichzeitig verringern sich die parasitären Kapazitäten, Sperrströme und Kurzkanaleffekte noch weiter. Für eine vollständig verarmte Struktur muss die SOI-Schicht dünner werden als die Weite der Verarmungszone, was bei hohen Dotierstoffkonzentrationen Werten von 25 - 50nm entspricht.



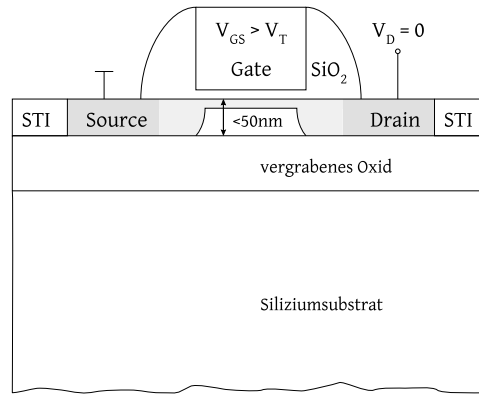
(a) konventioneller MOSFET



(b) teil-verarmt (partially-depleted)



(c) Kink-Effekt



(d) voll-verarmt (fully-depleted)

Abb. 2.11: MOSFETs mit begrenzten Raumladungszonen

---

### 2.6.2 Doppel-Gate MOSFET

Um den Steuerungseffekt des Gates zu verstärken, kann eine Struktur gewählt werden, bei der das aktive Gebiet von zwei Gates umgeben ist. Abb. 2.12 zeigt einen MOSFET mit doppeltem Gate in planarer Bauweise. Das Siliziumgebiet sollte dabei möglichst dünn sein, um eine vollständig verarmte Schicht zu erhalten. Außerdem muss SOI-Material (Silicon On Insulator) verwendet werden, um eine elektrische Isolation der unteren Gate-Elektroden voneinander zu erreichen.

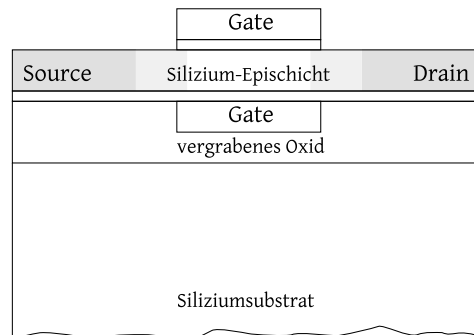


Abb. 2.12: MOSFET mit Doppelgate

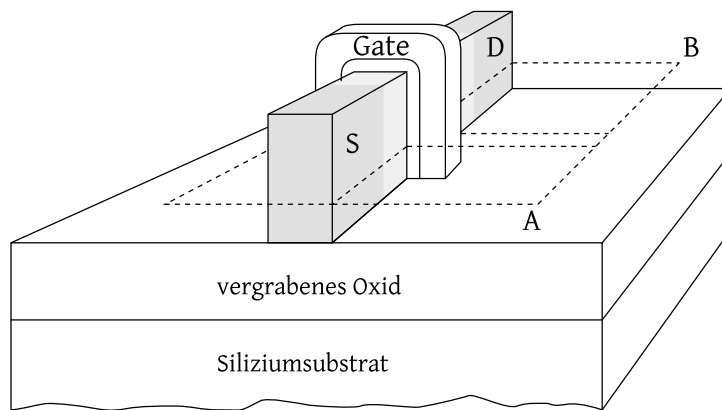
Allerdings gibt es einige schwerwiegende Probleme bei der Herstellung von planaren Doppel-Gate MOSFETs. Erstens ist es schwierig, über dem unteren Gate eine monokristalline Siliziumschicht aufzubringen, da das Isolationsmaterial meist aus amorphem Siliziumdioxid besteht. Eine Ansatz wäre hier die Verwendung von kristallinen Oxiden mit einer Gitterkonstante ähnlich der von Silizium, um ein monokristallines Wachstum von Silizium auf dieser Schicht gewährleisten zu können.

Ein weiteres Problem stellt die exakte horizontale Ausrichtung und Größe der beiden Gates zueinander dar, die mit den momentanen lithographischen Hilfsmitteln nicht erreichbar ist [20].

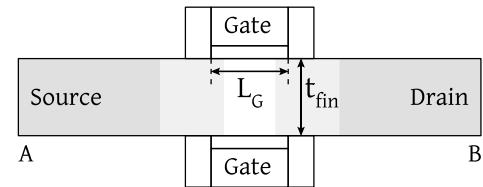
### 2.6.3 FinFET

Eine Lösung für die beim Doppel-Gate MOSFET angesprochenen Herstellungsprobleme bei gleichzeitiger Platzeinsparung bietet der FinFET, so benannt nach der schmalen Siliziumfinne, die das aktive Gebiet darstellt. Abb. 2.13a zeigt einen FinFET, der auf ein SOI-Substrat integriert wurde, Abb. 2.13b einen Querschnitt von Source nach Drain.

Für die Herstellung von FinFETs sind lithographische Schritte und Ätztechniken erforderlich, die sehr schmale Stege mit Weiten unter 50nm erzeugen können, damit die aktiven Gebiete im Betrieb voll verarmt vorliegen [21]. Mit Plasmaätzprozessen kann überdies auch noch hohes Aspektverhältnis und damit eine große Höhe der Stege erreicht werden, was einer größeren Kanalweite und einer größeren Stromtragfähigkeit bei gleichem Platzverbrauch entspricht.



(a) 3-dimensionale Ansicht



(b) Aufsicht auf Querschnitt von Source nach Drain

Abb. 2.13: FinFET

Eine Herausforderung ist unter anderem eine gleichmäßige Schichtdicke des Gate-Isolatormaterials, welche mit Oxidation des Siliziums oder aber auch durch Abscheidung von Materialien mit höherer Dielektrizitätszahl (high- $\kappa$ ) erzeugt werden kann.

Ein FinFET mit hoher Finne ist damit im Grunde in guter Näherung ein Doppel-Gate MOSFET, der 3-dimensional aus der Substratfläche heraussteht.

#### 2.6.4 MOSFET mit Schottky-Barrieren

Werden die Source- und Draingebiete durch Ionenimplantation mit einem anschließenden Hochtemperaturschritt dotiert, kommt es bei extrem kurzen Kanälen zu einer ungewollten Eindiffusion des aktiven Gebiets mit Dotierstoffatomen. Wie schon im Abschnitt über Dotierstofffluktuationen besprochen, kann es dann zu unkontrollierbaren Verschiebungen der Einsatzspannung kommen. Dies ist vor allem dann der Fall, wenn intrinsisches, oder sehr schwach dotiertes Silizium für den Steg verwendet wird. Die dotierten Gebiete können aber aufgrund ihres Gaußprofils nicht beliebig scharf umrissen werden, weswegen man auf eine andere Lösung ausweichen muss.

Bei einem MOSFET mit Schottky-Barriere werden die Source- und Draingebiete nicht dotiert, sondern durch ein Metall ersetzt, wie in Abb. 2.14a gezeigt. Dazu wird in das Silizium an dieser Stelle ein Graben geätzt, mit Metall gefüllt und strukturiert. Ein anderer Weg ist die Silizidierung der entsprechenden Stelle. In Kombination mit einem FinFET führt dies zu einem FinFET mit Schottky-Barrieren (Abb. 2.14b).

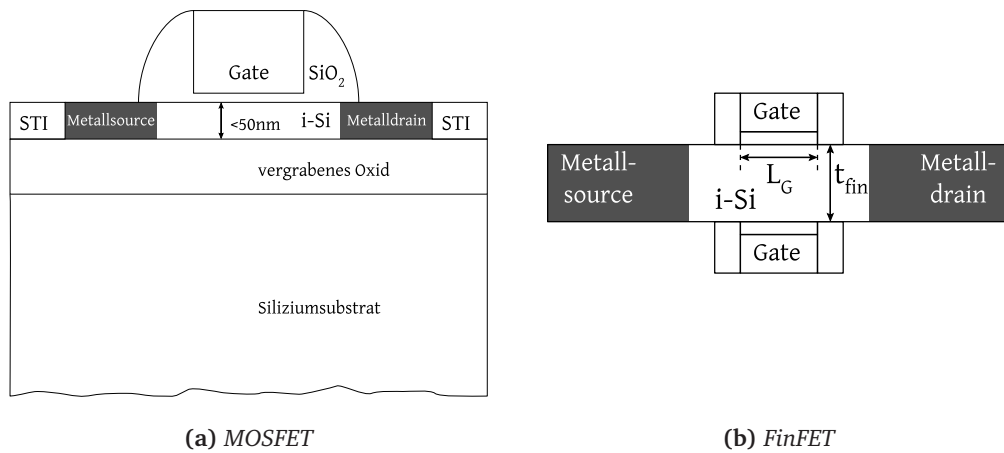


Abb. 2.14: Transistoren mit Schottky-Barrieren

Diese Art von MOSFETs weisen eine veränderte Strom-Spannungs-Charakteristik auf, da der Source-Substrat und der Drain-Substrat-Übergang Schottkydioden sind, die zusätzlich zur Bandverbiegung noch eine Potentialbarriere aufgrund der unterschiedlichen Materialien aufweisen [22, 23].

#### 2.6.5 High- $\kappa$ Materialien als Gatedielektrika

Bei fortschreitender Skalierung der geometrischen Abmessungen eines MOSFET muss nach den Skalierungsregeln in Tabelle 2.2 auch die geometrische Dicke des Gatedielektrikums verringert werden, um die flächenunabhängige Gatekapazität nach Gl. 2.1 zu erhöhen. Dies ist allerdings nur bis zu einer Schichtdicke von etwa 1.2nm möglich (entspricht ca. 3 Atomlagen  $\text{SiO}_2$ ), da die Leckströme (direktes Tunneln) zu groß werden, um ein akzeptables Bauteilverhalten zu gewährleisten.

Unter der äquivalenten Oxiddicke EOT (equivalent oxide thickness) versteht man die auf  $\text{SiO}_2$  bezogene Schichtdicke eines Dielektrikums, das die gleiche Kapazität hervorruft. Materialien mit einer kleineren Dielektrizitätszahl als der von  $\text{SiO}_2$  ( $\kappa_{\text{SiO}_2} = 3.9$ ) besitzen bei gleicher geometrischer Dicke eine größere EOT und damit eine kleinere Kapazität als  $\text{SiO}_2$  und werden als low- $\kappa$ -Dielektrika bezeichnet. Sie sind interessant als Isolationsmaterial für die oberen Metallisierungsebenen einer integrierten Schaltung.

High- $\kappa$  Materialien weisen eine Dielektrizitätskonstante größer der von  $\text{SiO}_2$  auf. Isolationsschichten aus high- $\kappa$  Materialien besitzen bei gleicher geometrischer Dicke eine kleinere EOT als eine entsprechende Schicht aus  $\text{SiO}_2$ . Damit eignen sie sich hervorragend als Dielektrikum für das Gate eines MOSFETs, da sie bei gleicher geometrischer Dicke eine kleinere EOT aufweisen und dadurch eine größere Kapazität ermöglichen, was das Skalierungsproblem entspannt. Gl. 2.19 zeigt die Abhängigkeit der EOT von der Dielektrizitätszahl eines Isolatormaterials.

$$C_{ins} = \frac{\kappa_{ins}\epsilon_0}{t_{ins}} \quad (2.18)$$

$$EOT(ins) = \frac{\kappa_{ox}}{\kappa_{ins}} t_{ins} \quad (2.19)$$

Verwendete Materialien für high- $\kappa$  Dielektrika in der Industrie und Forschung sind hauptsächlich amorphe Oxide wie Hafniumdioxid ( $\text{HfO}_2$ ), Zirkoniumdioxid ( $\text{ZrO}_2$ ) aber auch kristallines Aluminiumoxid ( $\text{Al}_2\text{O}_3$ ) und Tantaloxid ( $\text{Ta}_2\text{O}_5$ ) [24–30]. Nachteil von  $\text{HfO}_2$  und  $\text{ZrO}_2$  ist allerdings, dass diese Silizide bilden, wenn sie direkt auf eine Siliziumoberfläche abgeschieden werden [31, 32]. Um dies zu vermeiden, muss zuvor eine Pufferschicht aus Siliziumdioxid erzeugt werden, die das Siliziumsubstrat vom high- $\kappa$  Dielektrikum trennt. Selbst wenn diese Siliziumdioxidschicht sehr dünn gemacht wird ( $> 0.8\text{nm}$ ), verringert diese Schicht den Wert der Kapazität, da eine Reihenschaltung aus zwei Kapazitäten entsteht, deren Wert niemals größer als der Wert einer ihrer Einzelkomponenten werden kann, wie Gl. 2.20 zeigt.

$$\frac{1}{C_{Gate}} = \frac{1}{C_{SiO_2}} + \frac{1}{C_{high-\kappa}} > \frac{1}{C_{SiO_2}} \quad (2.20)$$

Im Rahmen dieser Arbeit wurden MOSFETs mit kristallinen Gate-Dielektrika elektrisch charakterisiert und simuliert [33, 34]. Kristallin bedeutet dabei, dass das Dielektrikum eine Gitterkonstante ähnlich der von Silizium aufweist und damit monokristallin auf einem Siliziumsubstrat aufwachsen kann. Man benötigt also keine Pufferschicht aus Siliziumdioxid zwischen Siliziumsubstrat und dem high- $\kappa$  Dielektrikum, welche die EOT-Skalierung nach unten hin begrenzt. Die minimale EOT des Dielektrikums wird verringert und damit die Kapazität erhöht. Abb. 2.15 zeigt den Vergleich von MOSFETs mit amorphen und kristallinen high- $\kappa$  Gate-Dielektrika.

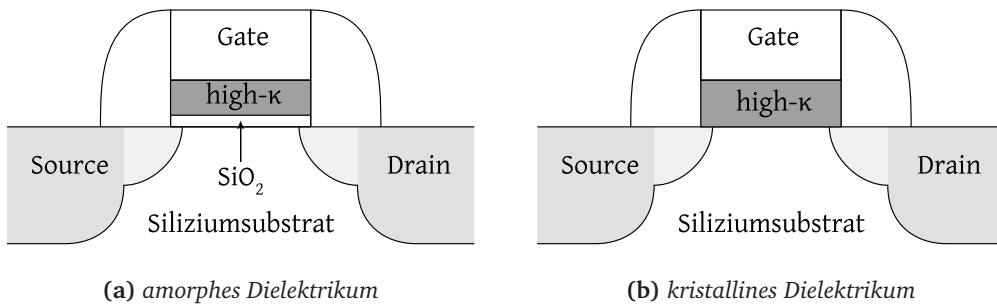


Abb. 2.15: Gatestacks mit high- $\kappa$  Dielektrika

Kristalline high- $\kappa$  Materialien sind Oxide 'Seltener Erden' wie Praseodymoxid ( $\text{Pr}_2\text{O}_3$ ), Gadoliniumoxid ( $\text{Gd}_2\text{O}_3$ ), Neodymoxid ( $\text{Nd}_2\text{O}_3$ ) [35–40], Lanthanoxid ( $\text{La}_2\text{O}_3$ ) [41] und Yttriumoxid ( $\text{Y}_2\text{O}_3$ ) [32].

In dieser Arbeit werden MOSFETs mit  $\text{Pr}_2\text{O}_3$  und  $\text{Gd}_2\text{O}_3$  untersucht und bewertet, wobei für die Simulationen auch vorhergehende experimentelle Forschungsergebnisse des IHT einbezogen werden [42–55].

Ein Nachteil von den erwähnten kristallinen high- $\kappa$  Gate-Dielektrika gegenüber  $\text{SiO}_2$  ist die Reaktion mit Silizium und die Bildung eines Silizids bei hohen Temperaturen. Während ein Gate-Dielektrikum aus  $\text{SiO}_2$  einfach durch die thermische Oxidation der Siliziumoberfläche mit einer extrem reinen Grenzfläche hergestellt werden kann, müssen Oxide aus 'Seltenen Erden' entweder mittels Molekularstrahlepitaxie (Molecular Beam Epitaxy, MBE) oder durch Chemische Gasphasenabscheidung (Chemical Vapour Deposition, CVD) bei niedrigen Temperaturen erzeugt werden [36, 39, 56–64].

Nach der Abscheidung des Gate-Dielektrikums darf kein Hochttemperaturschritt mehr erfolgen. Dies schließt einen konventionellen CMOS-Prozess aus, bei dem nach der Herstellung des Gate-Stacks, die Implantation der Source-/Draingebiete erfolgt, nach der Ausheilschritte mit hohen Temperaturen nötig sind, um die Dotierstoffatome in das Siliziumgitter einzubauen und damit elektrisch zu aktivieren. Eine Lösung für dieses Problem bietet der Gate-Last oder Replacement-Gate-Prozess, der in Abb. 2.19 schematisch dargestellt ist.

In Tabelle 2.3 sind Parameter für verschiedene high- $\kappa$  Dielektrika aufgeführt. Dabei bedeutet  $\kappa$  die Dielektrizitätskonstante,  $E_{\text{db}}$  die elektrische Durchbruchfeldstärke,  $E_{\text{G}}$  die Bandlücke,  $E_{\text{A}}$  die Austrittsarbeit,  $E_{\text{CBO}}$  den Unterschied zwischen den Leitungsbandunterkanten von Isolator und Siliziumsubstrat und  $\Theta$  den Schmelzpunkt des Materials.

Material	Formel	$\kappa$	$E_{\text{db}}$ [MV/cm]	$E_{\text{G}}$ [eV]	$E_{\text{A}}$ [eV]	$E_{\text{CBO}}$ [eV]	$\Theta$ [°C]
Siliziumdioxid [65]	$\text{SiO}_2$	3.9	10	9	0.95	3.1	1723
Aluminiumoxid [66, 67]	$\text{Al}_2\text{O}_3$	11.5	10	8.8	1	3.05	2030
Tantaloxid [68–70]	$\text{Ta}_2\text{O}_5$	15-22	?	3.75	3.2	0.85	1800
Hafniumoxid [71–73]	$\text{HfO}_2$	20-30	8.5	6	2.4	1.65	2758
Zirkoniumoxid [74–76]	$\text{ZrO}_2$	15-25	8	5.8	2.5	1.55	2715
Gadoliniumoxid [77, 78]	$\text{Gd}_2\text{O}_3$	10-16	10	5.8	2.4	1.65	2420
Praseodymoxid [36, 79, 80]	$\text{Pr}_2\text{O}_3$	36	4.5	3-4	2.55	1.5	2200
Neodymoxid [81]	$\text{Nd}_2\text{O}_3$	12-14	?	?	?	?	2320
Lanthanoxid [82, 83]	$\text{La}_2\text{O}_3$	27	?	6	2	2.05	2315
Yttriumoxid [84, 85]	$\text{Y}_2\text{O}_3$	15.8	?	6	2.5	1.55	2200

Tab. 2.3: high- $\kappa$  Dielektrika

## 2.6.6 Metalle als Gateelektroden

Gateelektroden aus dotiertem Polysilizium haben den entscheidenden Nachteil, dass sie bei entsprechender Beschaltung eine Verarmungsschicht an der Grenzfläche zum Dielektrikum bilden. Dies ist bei einem p-Kanal MOSFET mit p-dotiertem Polysiliziumgate genau dann der Fall, wenn das Kanalgebiet im invertierten Zustand befindet (Abb. 2.16a).

Abb. 2.16b zeigt die Verteilung der Ladungsträgerdichte in einer Polysilizium-Gateelektrode. Man erkennt deutlich die Ladungsträgerverarmung an der Grenzfläche zum Dielektrikum.

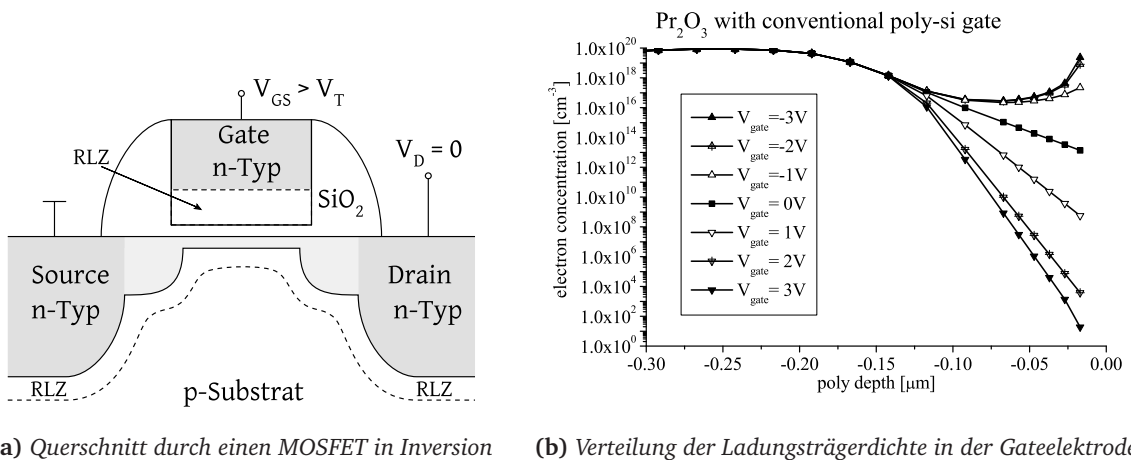
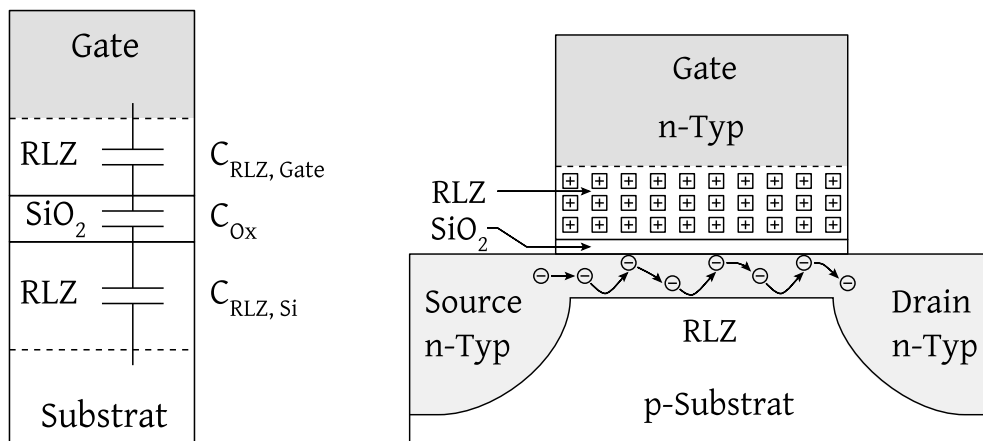


Abb. 2.16: Verarmungszone einer Polysilizium-Gateelektrode

Die Verarmungszone in der Gateelektrode wirkt dabei wie eine, zur Kapazität des Dielektrikums in Reihe geschaltete, Kapazität, die die Gatekapazität verringert und damit die Wirkung des Gates verschlechtert (Abb. 2.17a). Die geladenen Rumpfe der Dotierstoffatome erhöhen außerdem die Stöße von Ladungsträgern im Kanal an der Grenzfläche zum Dielektrikum, was die Beweglichkeit und damit den Drainstrom senkt (Abb. 2.17b).





(a) Reihenschaltung der Kapazität der beiden Verarmungszonen und der Kapazität des Dielektrikums

(b) Erhöhung der Oberflächenstöße (surface scattering)

Abb. 2.17: Probleme einer verarmten Polysilizium-Gateelektrode

Ein Lösungsansatz für dieses Problem ist der Einsatz von alternativ dotierten Gateelektroden, bei denen die Polysiliziumschicht des Gates umgekehrt (z.B.  $p^+$ ) dotiert wird wie die Source-/Draingebiete (z.B.  $n^+$ ). Der Effekt der Verarmung der Gateelektrode wird damit nicht verhindert, wohl aber in den Betriebsbereich der Akkumulation verschoben, während dem kein Kanal aufgebaut ist, der beeinträchtigt werden könnte [38].

Allerdings erfordern diese Polysiliziumgates einen komplizierteren Herstellungsprozess, da sie wegen ihrer umgekehrten Dotierung nicht zusammen mit den Source-/Draingebieten in einem Prozessschritt hergestellt werden können. Außerdem bleibt die Kapazität der Raumladungszone der Gateelektrode, die beim Umschalten mit umgeladen werden muss, was das Schaltverhalten verschlechtert.

Eine vollständige Vermeidung der Gateverarmung kann durch eine Gateelektrode aus Metall erreicht werden, bei der die Ladungsträgerdichte so hoch ist, dass keine Raumladungszone entstehen kann. Oberflächenstöße werden damit ebenfalls auf ein Minimum reduziert. Bei der Wahl des Metalls spielt in erster Linie die Austrittsarbeit eine Rolle, die auf den Wert der Einsatzspannung Einfluss hat. Die Elektroden, der in dieser Arbeit elektrisch gemessenen MOSFETs mit Metall-Gate, bestehen aus Wolfram, in den Simulationsmodellen wurde aber auch mit anderen Metallen wie Aluminium und Titan experimentiert. Nachteil der Metall-Gates ist, wie bei den high- $\kappa$  Gate-Dielektrika, die nicht vorhandene Beständigkeit gegenüber hohen Temperaturen, wie sie bei den Ausheilungsschritten der Source-/Drainimplantationen benötigt werden. Sie können nicht mit dem Standard CMOS-Prozess hergestellt werden, sondern erfordern eine Prozessfolge nach dem Gate-Last Verfahren.

In Tabelle 2.4 sind Parameter für Metalle aufgeführt, die das Spektrum der möglichen Austrittsarbeiten abdecken [65, 86, 87]. Dabei bedeutet  $\sigma$  die spezifische Leitfähigkeit,  $E_A$  die Austrittsarbeit und  $\Theta$  den Schmelzpunkt des Metalls.

Material	Formelzeichen	$\sigma$ [(m $\Omega$ cm) <sup>-1</sup> ]	E <sub>A</sub> [eV]	$\Theta$ [°C]
Kalzium	Ca	298	2.87	842
Magnesium	Mg	226	3.66	650
Aluminium	Al	377	4.1	660
Tantal	Ta	76	4.1	3017
Silber	Ag	671	4.26	962
Titan	Ti	23	4.33	1668
Wolfram	W	189	4.55	3422
Kupfer	Cu	580	4.65	1084
Palladium	Pd	95	5.0	1554
Gold	Au	476	5.1	1064
Nickel	Ni	143	5.15	1455
Iridium	Ir	197	5.27	2466
Platin	Pt	97	5.65	1772

**Tab. 2.4:** Metalle aufsteigend sortiert nach Austrittsarbeit

### 2.6.7 Gate-First Prozess

Beim Standard-Herstellungsprozess für integrierte CMOS-Schaltungen werden die Gates der Transistoren in den ersten Schritten produziert, weswegen es auch Gate-First-Verfahren genannt wird. In diesem Abschnitt wird dieses Verfahren erläutert und auf die Probleme bei der Einführung von kristallinen high- $\kappa$ -Materialien in diesen Prozess hingewiesen. Im nächsten Abschnitt werden dann die Vorteile des Gate-Last-Verfahrens bezüglich der Integration dieser Materialien vorgestellt.

Ein vereinfachter schematischer Ablauf des Gate-First-Prozesses ist in Abb. 2.18 dargestellt [88], der nur die zur Herstellung eines Einzeltransistors nötigen Schritte zeigt. Die Erzeugung der n-dotierten Wanne für die komplementären Transistoren sowie Isolationstechniken wie LOCOS oder Grabenisolierung werden der Übersichtlichkeit wegen nicht gezeigt.

Zunächst wird auf einem Siliziumwafer mittels thermischer Trockenoxidation (O<sub>2</sub>) eine dünne Siliziumdioxidschicht erzeugt, die bereits das Gatedielektrikum des Transistors darstellt (Abb. 2.18a). Da die Schichtgrenze während der Oxidation in das Silizium hinein wächst, ergibt sich eine extrem reine Grenzfläche, da diese nie mit der Außenwelt in Kontakt getreten ist und somit auch nicht von dort durch Partikel verunreinigt werden kann. Dieser Sachverhalt ist einer der großen Vorteile des Gate-First-Verfahrens. Im nachfolgenden Schritt wird der Wafer ganzflächig mit Polysilizium beschichtet und dieses mit einem Ätzprozess so strukturiert, dass sie der Geometrie der Gateelektroden entsprechen (2.18b). Während der Abscheidung aus der Gasphase ist es möglich, das Polysilizium dotiert aufzuwachsen, indem dotierstoffhaltige Gase der Gasphase beigegeben werden (in-situ Dotierung). Die Dotierung der Gateelektrode erfolgt jedoch meist zusammen mit der Formierung der Source-/Draingebiete durch Implantation, wobei die Gateelektrode als Maske für die Kanalregion fungiert, welche nicht dotiert werden soll. Der Verlauf der Implantationsprofile ist in Abb. 2.18c gezeigt. Die Ausrichtung der Source-/Draingebiete zur Gateelektrode ist bei diesem Verfahren selbstjustierend, was den zweiten großen Vorteil dieses Prozesses darstellt. Ohne Selbstjustierung wäre es kaum mög-

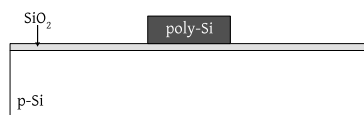
lich, die einzelnen Gebiete perfekt aufeinander auszurichten, was für die Funktion des MOSFETs aber von entscheidender Bedeutung ist, da keine Lücken zwischen Source-/Draingebieten und Gateelektrode bestehen dürfen, die Überlappungen aber wegen parasitärer Kapazitäten dennoch möglichst klein gehalten werden sollen.

Nach Abscheidung eines CVD-Oxids wird ein weiterer Hochtemperaturschritt durchgeführt, um die Implantationen auszuheilen, die Dotierstoffatome also elektrisch zu aktivieren, in dem sie in das Siliziumgitter eingebaut werden (Abb. 2.18d). Abschließend werden Kontaktlöcher geätzt, ganzflächig Metall aufgedampft und mit einem Ätzprozess strukturiert und die Kontakte zu Source, Drain und Gate herzustellen (2.18e).

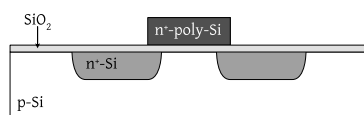
Während des gesamten Gate-First-Prozesses werden einige Hochtemperaturschritte durchgeführt. Die verwendeten Materialien wie Siliziumdioxid und Polysilizium werden dadurch allerdings nicht degradiert, sie setzen sogar hohe Temperaturen für ihre Erzeugung voraus, wie bei der Trockenoxidation oder der Epitaxie von Polysilizium.



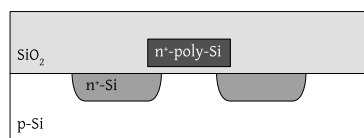
a) Herstellung des Gateoxids durch Trockenoxidation



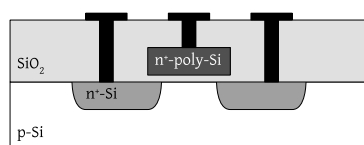
b) Formierung der Gateelektrode nach Strukturieren von ganzflächig abgeschiedenem Poly-Silizium



c) Source-/Drain-/Gateimplantation



d) Aufbringen eines CVD-Oxids und Ausheilen der Implantationen



e) Ätzen der Kontaktlöcher und Metallisierung

Abb. 2.18: Standard CMOS-Herstellungsprozess

---

### 2.6.8 Gate-Last Prozess

Der Gate-Last Prozess ist ein Herstellungsprozess für MOS-Bauelemente, bei dem, wie der Name schon sagt, der eigentliche Gatestack nach der Formation der Source-/Draingebiete erfolgt und nicht wie beim herkömmlichen CMOS-Prozess davor. Dieser Prozess wurde mit kristallinen high- $\kappa$  Gate-Dielektrika 2006 weltweit erstmalig am IHT realisiert [56–64]. Inzwischen wird ein ähnliches Verfahren in der 45nm-Prozesslinie von Intel angewendet [89]. Abb. 2.19 zeigt die Prozessfolge des Gate-Last oder auch Replacement-Gate Prozesses.

Zunächst wird in Abb. 2.19a ein sogenannter Dummy-Gate-Stack aus Siliziumnitrid ( $\text{Si}_3\text{N}_4$ ) abgeschieden. Dieses Dummy-Gate fungiert als Hilfsgate, welches diese Funktion nur während des ersten Teils der Prozessierung inne hat. Alle aggressiven Prozessschritte wie reaktives Ionenätzen (Reactive Ion Etching, RIE) oder Hochtemperaturschritte werden mit diesem Hilfsgate durchgeführt, das dabei die Kanalregion maskiert und als Platzhalter für den richtigen Gatestack dient.

Nun wird im zweiten Schritt ein Streuoxid erzeugt und die Source-/Draingebiete mittels Ionenimplantation definiert (Abb. 2.19b). Schritt drei umfasst die Abscheidung eines CVD-Oxids (Chemical Vapour Deposition, Gasphasenabscheidung), sowie den obligatorischen RTA-Hochtemperaturschritt (Rapid Thermal Annealing, schnelles thermisches Ausheilen) bei  $T = 1000^\circ\text{C}$  zum Ausheilen der Implantationsschäden und zur Aktivierung der Dotierstoffatome. Außerdem wird die Nitridschicht durch die hohe Temperatur für den folgenden Polierprozess stabilisiert. Es folgt die Planarisierung der Struktur durch einen CMP-Schritt (Chemical Mechanical Polishing, Chemisch Mechanisches Polieren).

Nach der Entfernung des Hilfsgates durch einen nasschemischen Ätzvorgang sind die Vorbereitungen für die Formierung des eigentlichen Gatestacks abgeschlossen. Da nasschemisches Ätzen sehr gut auf ein Material eingestellt werden kann, wird das Siliziumnitrid schonend entfernt ohne die Silizium-Grenzfläche zu schädigen (Abb. 2.19c).

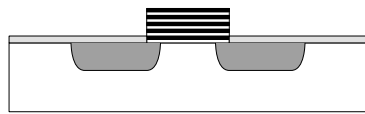
Die Abscheidung von  $\text{Gd}_2\text{O}_3$  erfolgte bei den untersuchten Bauelementen durch Molekularstrahlepitaxie (Molecular Beam Epitaxy, MBE), was eine sehr gleichmäßige monokristalline Struktur aufwachsen lässt (Abb. 2.19d). Die untersuchten Bauelemente wurden auf verschiedenen Wafern mit Isolator-dicken von 5.3nm und 13.5nm produziert. Anschließend wird der Wafer ganzflächig mit Metall, in unserem Falle Wolfram, bedampft und durch einen zweiten CMP-Schritt planarisiert (Abb. 2.19e).

Abschließend werden Standard-Prozessschritte zur Kontaktierung der einzelnen Gebiete durchgeführt, wie sie beim CMOS-Prozess üblich sind (Abb. 2.19f).

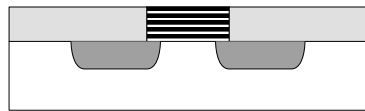
Zusätzlich zu den MOSFETs mit high- $\kappa$  Gate-Dielektrika ( $\text{Gd}_2\text{O}_3$ ) wurden MOSFETs mit Dielektrika aus  $\text{SiO}_2$  als Referenzbauelemente ebenfalls im Gate-Last Prozess gefertigt, um Vergleiche mit den high- $\kappa$  Bauelementen anstellen zu können und einen Bewertungsmaßstab zu haben. Die  $\text{SiO}_2$ -MOSFETs wurden ebenfalls in zwei Ausführungen hergestellt, die Isolator-dicken von 5.0nm und 24.5nm besitzen. Speziell die  $\text{Gd}_2\text{O}_3$ -MOSFETs mit 13.5nm sind gut mit den 5.0nm  $\text{SiO}_2$ -MOSFETs zu vergleichen, da sie eine  $\text{EOT} \approx 5\text{nm}$  aufweisen.



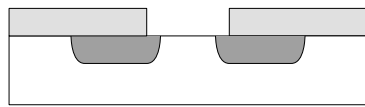
a) Formierung des  $\text{Si}_3\text{N}_4$ -Hilfsgates



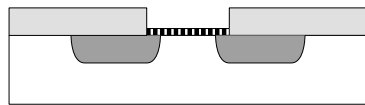
b) Source-/Drainimplantation



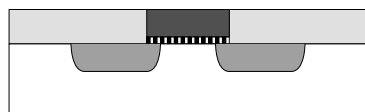
c) Abscheidung eines CVD-Oxids, Ausheilen der Implantation und CMP



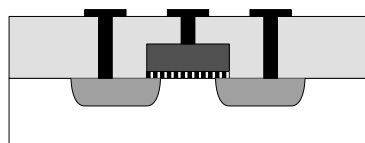
d) Entfernung des Hilfsgates durch nasschemisches Ätzen



e) Abscheidung des Dielektrikums



f) Herstellung der Metall-Gateelektrode



g) Ätzen der Kontaktlöcher und Metallisierung

Abb. 2.19: CMP-basierter Metall-Gate Herstellungsprozess



---

## 3 Charakterisierung von Bauelementen

---

Dieser Teil der Arbeit behandelt die Charakterisierung von planaren MOS-Feldeffekt-Transistoren (MOSFETs) sowie 3-dimensionalen MOS-Strukturen, sogenannten FinFETs. Zur Bewertung wurden Computersimulationen in Verbindung mit elektrischen Messungen durchgeführt.

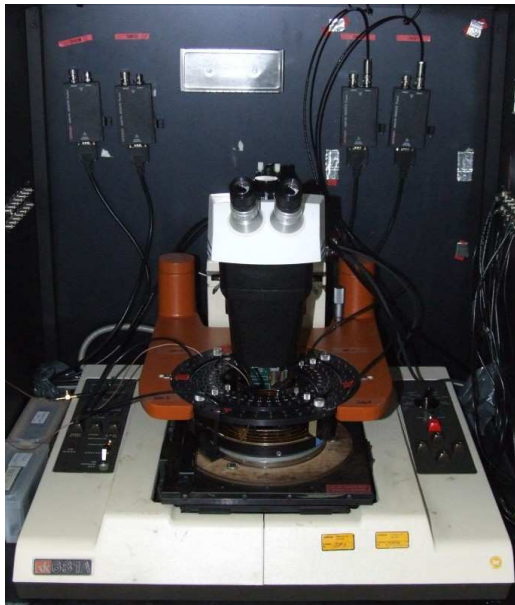
Die elektrischen Messergebnisse wurden aus MOS-Transistoren gewonnen, die am Institut für Halbleitertechnik und Nanoelektronik im Zuge von anderen Dissertationen gefertigt wurden. Dazu wurden Bauelemente mit konventionellen nitridierten  $\text{SiNO}_x$ -Gate-Dielektrika ( $\kappa \approx 4$ ) und Gateelektroden aus Wolfram als Referenz verwendet. Ebenfalls vermessen wurden MOSFETs mit Gate-Dielektrika aus kristallinen Materialien mit Dielektrizitätskonstanten größer als 4, sogenannte high- $\kappa$  Dielektrika. Die verwendeten high- $\kappa$  Materialien waren Praseodymoxid ( $\text{Pr}_2\text{O}_3$ ,  $\kappa \approx 30$ ) und Gadoliniumoxid ( $\text{Gd}_2\text{O}_3$ ,  $\kappa \approx 10$ ), beides Metalloxide aus dem Bereich der seltenen Erden.

Durch Messung der Eingangs- und Ausgangskennlinien, Unterswellen-Charakteristik, Gatekapazität und Grenzflächenladungen können eine Reihe von Bauelement-Parametern bestimmt werden. Diese experimentellen Daten dienen zur Kalibrierung der Computermodelle, um im zweiten Schritt einen Vergleich zwischen den einzelnen Bauelementreihen zu ermöglichen.

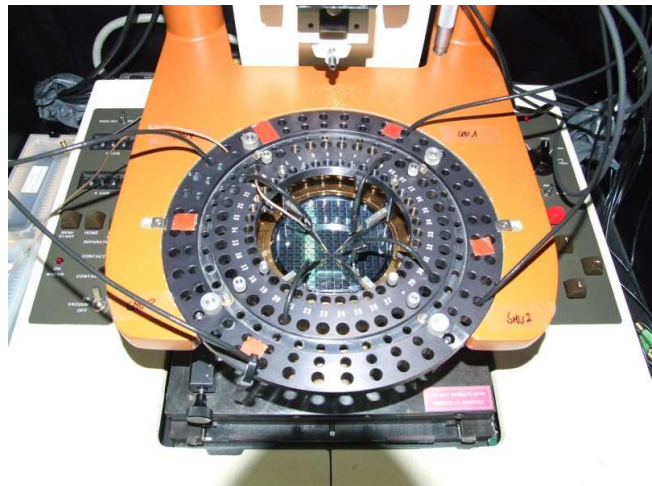
### 3.1 Messgeräte

Im Folgenden werden die zur elektrischen Messung verwendeten Geräte kurz vorgestellt, um den Messaufbau zu verdeutlichen. Die Siliziumwafer mit den zu messenden Bauelementen werden mit Vakuumsaugung auf dem sogenannten Chuck fixiert, der Teil des semi-automatischen Waferprobers RK680A der Firma Rucker & Kolls ist (Abb. 3.1). Die elektrischen Anschlüsse der Messgeräte werden über Kabel in den Waferprober geleitet und mit Probernadeln die entsprechenden Anschlussfelder (Pads) des Chips kontaktiert (Abb. 3.2). Der Chuck des Probers ist als thermisch regelbarer Waferträger (Thermochuck) ausgelegt, der den aufliegenden Wafer auf Temperaturen zwischen  $-20^\circ\text{C}$  und  $200^\circ\text{C}$  bringen kann und sich somit für elektrische Stressmessungen eignet, bei denen erhöhte Umgebungstemperaturen benötigt werden.



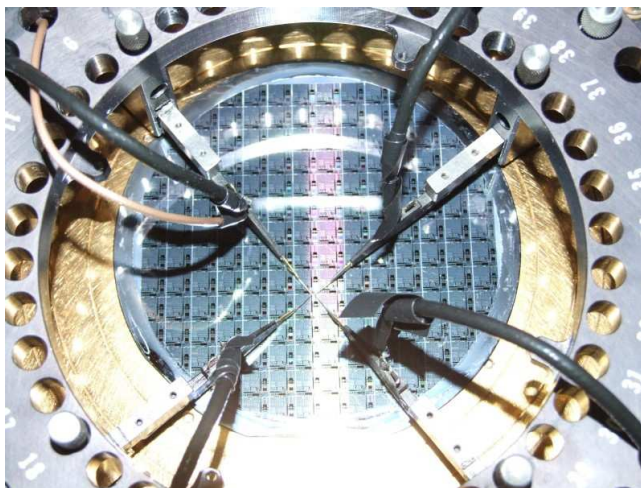


(a) Außenansicht

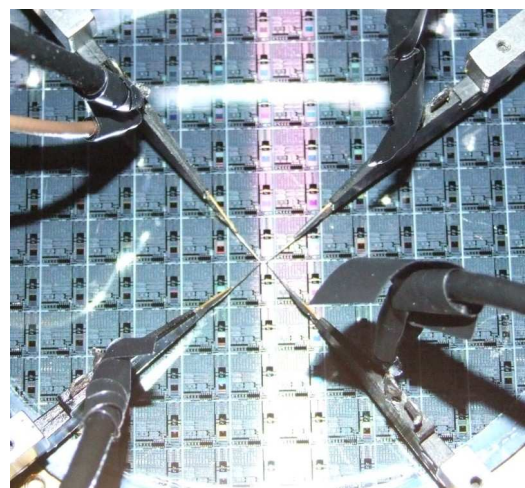


(b) Trägerkranz mit Probernadeln und Thermochuck

Abb. 3.1: Rucker und Kolls semi-automatischer Waferprober RK680A



(a) Nahansicht Nadelhalter

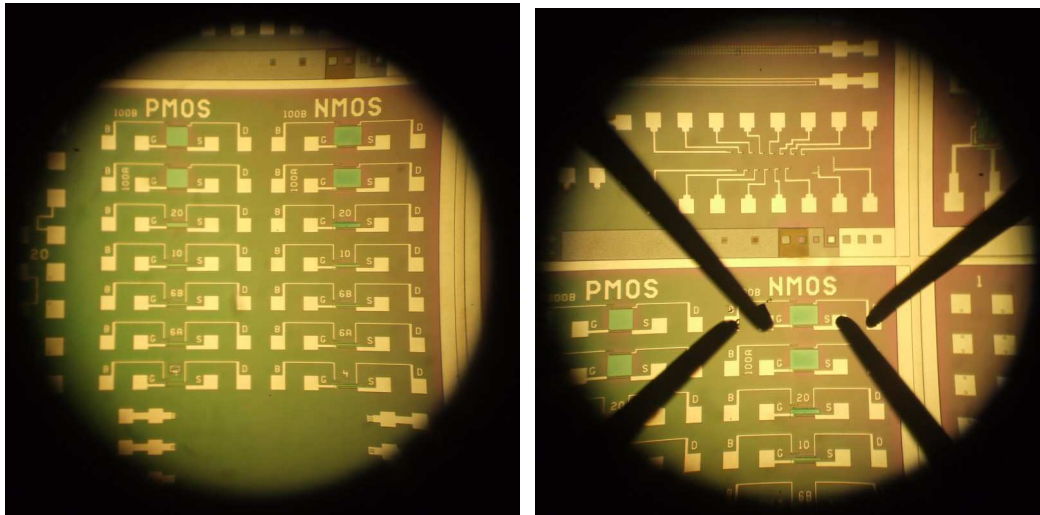


(b) Kontaktierung der Pads eines NMOSFETs mit  $L_{\text{Gate}} = 100\mu\text{m}$  mit Probernadeln

Abb. 3.2: Chip auf Thermochuck mit 4 Probernadeln kontaktiert



Abb. 3.3 zeigt den Blick durch das Mikroskop am Waferprober auf den Bereich mit den MOSFETs. Auf dem Chip wurden jeweils sieben NMOSFETs und sieben PMOSFETs mit den Gatelängenabstufungen  $L_{\text{Gate}} = 4\mu\text{m}$ ,  $2 \times 6\mu\text{m}$ ,  $10\mu\text{m}$ ,  $20\mu\text{m}$  und  $2 \times 100\mu\text{m}$  integriert. Die Weite des Gates beträgt bei allen MOSFETs  $W_{\text{Gate}} = 100\mu\text{m}$ .



(a) Chip layout T45 mit integrierten PMOSFETs und NMOSFETs,  $L_{\text{Gate}} = 4-100\mu\text{m}$ ,  $W_{\text{Gate}} = 100\mu\text{m}$  (b) NMOSFET an Substrat, Gate, Drain und Source mit Probernadeln kontaktiert

Abb. 3.3: MOSFET-Arrays auf Chip T45

Abb. 3.4a zeigt den Messgeräteschrank im Messlabor des IHT, TU Darmstadt. Für die Aufnahme der Kapazität-Spannungskennlinien wurden das System 82 der Firma Keithley verwendet (Abb. 3.4b). Es besteht aus dem CV Analyzer 590, der für die hochfrequenten Messungen verwendet wird und dem Quasistatic CV Meter, das für die niederfrequenten Messungen eingesetzt wird. Der Vorteil dieses Systems liegt in der gleichzeitigen Messung von HF- und NF-Kapazität während eines Messvorgangs, was Fehler vermeidet, die bei mehrmaligem Messen auftreten könnten. Dazu werden die Messsignale der beiden Geräte über den 5951 Remote Input Coupler zum zu messenden Bauelement geleitet. Die Programmable Voltage Source 230 dient zur Bereitstellung von höheren Spannungen für die beiden Messgeräte.

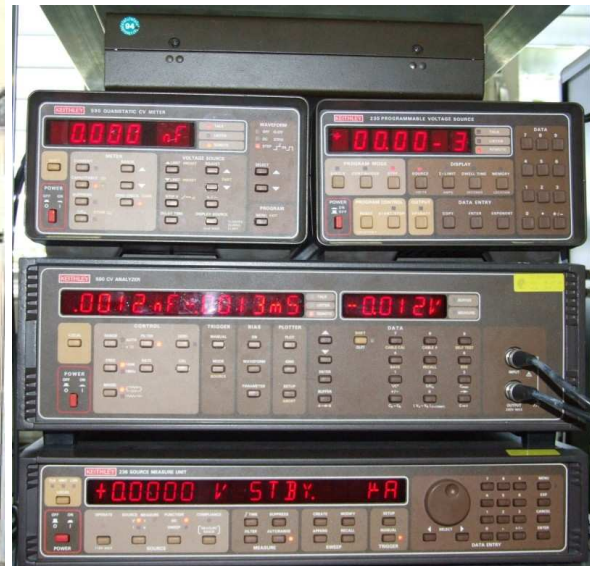
Für die Bestimmung von einfachen Strom-Spannungskennlinien und für dielektrische Durchbruchmessungen steht die Source Measure Unit 236 bereit, die besonders für die Messungen von niedrigen Strömen geeignet ist.

Die Strom-Spannungscharakteristiken wurden mit dem Parameteranalyzer HP4145B der Firma Hewlett-Packard durchgeführt, der über vier voneinander unabhängige Spannungsmesseinheiten (Source Measure Units, SMUs) verfügt (Abb. 3.4c). Mit diesem Gerät sind parametrisierte Messungen möglich, beispielsweise die Aufnahme einer Kurvenschar von Ausgangskennlinien bei Variation der Gatespannung.

Abb. 3.4d zeigt zwei Geräte, die zur Einstellung der Temperatur des Thermochucks dienen, das SP53A der Firma Wafertherm und ein Gerät der Firma Temptronic.



(a) Messgeräteschrank



(b) Keithley CV-Messsystem 82 (bestehend aus, von oben nach unten: 5951 Remote Input Coupler, 595 Quasistatic CV Meter, 230 Programmable Voltage Source, 590 CV Analyzer) und 236 Source Measure Unit



(c) HP4145B Semiconductor Parameter Analyzer



(d) Thermochucksysteme Wafertherm SP53A und Temptron-nic

Abb. 3.4: Messgeräteschrank im Messlabor des IHT, TU Darmstadt

## 3.2 Strom-Spannungscharakteristiken des MOSFET

Zur Charakterisierung eines MOSFET werden verschiedene Strom-Spannungscharakteristiken herangezogen. Zunächst wird eine Unterschwellen-Kennlinie aufgenommen und die Unterschwellensteigung analysiert, außerdem kann der Kanalwiderstand ( $R_{ON}$ ) bestimmt werden. Aus der Kennlinie ergibt sich weiterhin der Strom im ausgeschalteten Zustand (OFF-Strom) sowie der Strom im eingeschalteten Zustand (ON-Strom). Danach folgt eine Untersuchung des DIBL-Effekts (Drain Induced Barrier Lowering) an zweier Eingangskennlinien im linearen und im Sättigungsbereich durchgeführt. Abschließend werden Ausgangskennlinien für verschiedene Gatespannungen aufgenommen und miteinander verglichen.

### 3.2.1 Bestimmung des Kanalleitwerts

Der Kanalleitwert  $g_d$  ist der reziproke Wert des Kanalwiderstand. Die Kennlinie für den Kanalleitwert kann aus der Eingangskennlinie durch Ableiten des Stroms nach  $V_{DS}$  berechnet werden

$$g_d = \left. \frac{\partial I_D}{\partial V_{DS}} \right|_{V_{GS}=\text{const.}} \quad (3.1)$$

Abb. 3.5 zeigt den Verlauf des Kanalleitwerts, der mit steigender Gatespannung ansteigt. Bei höheren Gatespannungen, verhält sich der Kanal wie ein linearer Widerstand.

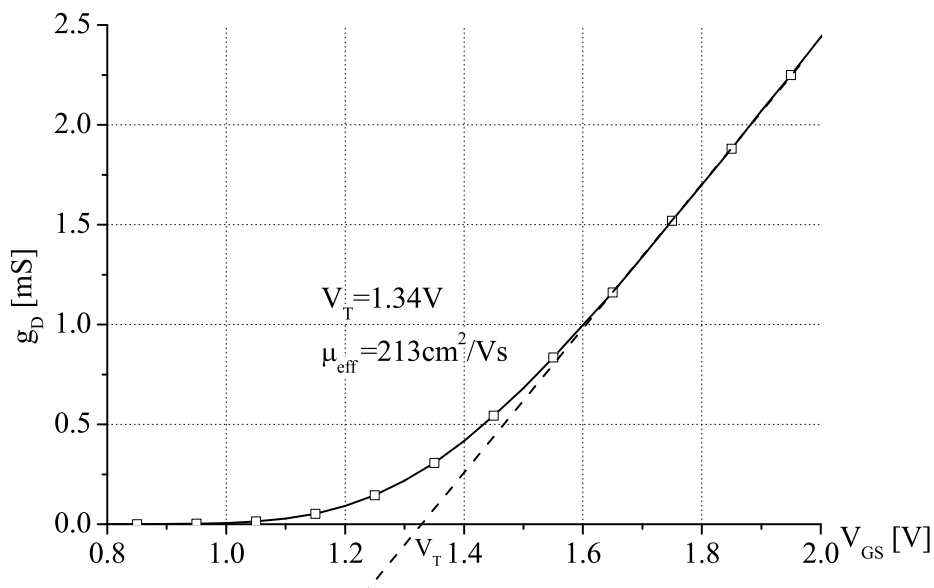


Abb. 3.5: Kanalleitwert eines MOSFETs mit  $\text{SiO}_2$ -Dielektrikum und Wolfram-Gateelektrode

---

### 3.2.2 Bestimmung der Einsatzspannung

Grundsätzlich gibt es zwei verschiedene Definitionen der Einsatzspannung. Im einfachsten Ansatz wird der Wert der Einsatzspannung eines MOSFET auf den Gatespannungswert gesetzt, bei dem der Drainstrom einen bestimmten Betrag erreicht. Dies ist allerdings nur dann praktikabel, wenn die Bauelemente alle ähnliches Verhalten und Parameter aufweisen.

Die genauere und in dieser Arbeit ausschließlich angewendete Methode zur Bestimmung der Einsatzspannung  $V_T$  ist die Berechnung mit Hilfe des Kanalleitwerts (Abb. 3.5) nach Gl. 3.2.

Für den Drainstrom im linearen Bereich (Gl. 2.9) folgt für kleine Drainspannungen

$$\begin{aligned} g_d &= \frac{\partial I_D}{\partial V_{DS}} \approx K \frac{W}{L} \left( V_{GS} - V_T - \frac{V_{DS}}{2} \right) \\ V_T &= V_{GS} - \frac{g_d}{K} \frac{L}{W} \quad , \text{ wobei } \frac{V_{DS}}{2} \approx 0 \end{aligned} \quad (3.2)$$

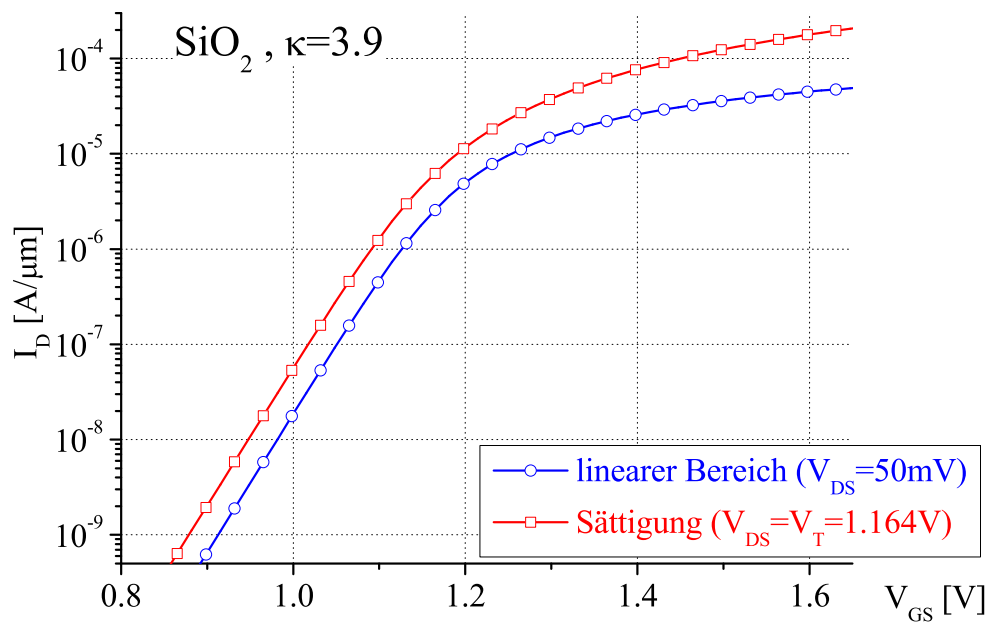
### 3.2.3 Eingangskennlinien zur Bestimmung des DIBL-Effekts

Zur Bestimmung des DIBL-Effekts werden zwei Eingangskennlinien ( $I_D - V_{GS}$ ) für verschiedene Drainspannungen  $V_{DS}$  benötigt (Abb. 3.6).

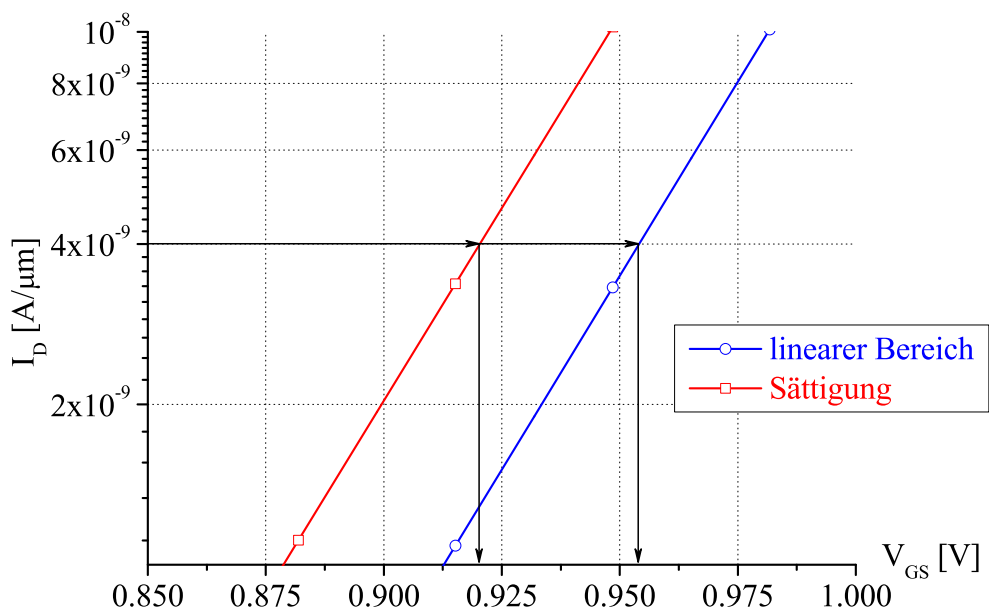
Da der DIBL-Effekt die Verschiebung der Einsatzspannung  $V_T$  durch die Drainspannung  $V_{DS}$  beschreibt, werden zunächst für einen definierten Strom  $I_0$  (in Abb. 3.6 gilt  $I_0 = 4\text{nA}/4\mu\text{m}$ ) die beiden dazugehörigen Gatespannungen  $V_{GS,lin}$  und  $V_{GS,sat}$  abgelesen. Die Größe des DIBL-Effekts berechnet sich dann nach Gl. 3.3 zu

$$DIBL = \frac{(V_{GS,lin} - V_{GS,sat})}{(V_{DS,sat} - V_{DS,lin})} = \frac{(954\text{mV} - 920\text{mV})}{(1.164\text{V} - 0.05\text{V})} = 30.5\text{mV/V} \quad (3.3)$$

Ein DIBL von 30.5mV/V bedeutet also eine Erniedrigung der Einsatzspannung  $V_T$  um 30.5mV pro 1V angelegter Drainspannung  $V_{DS}$ .



(a) halb-logarithmische Eingangskennlinien im linearen und im Sättigungsbereich



(b) Ausschnittsvergrößerung zum Ablesen der Verschiebung der Einsatzspannung

Abb. 3.6: Kennlinien zur Bestimmung des DIBL-Effekts



---

### 3.2.4 Bestimmung der Ladungsträgerbeweglichkeit

Die Ladungsträgerbeweglichkeit kann ebenfalls nach zwei verschiedenen Methoden bestimmt werden. Die Erste berechnet die Ladungsträgerbeweglichkeit aus dem Kanalleitwert bei einer möglichst niedrigen Drainspannung ( $V_{DS} \approx 50\text{mV}$ ) mit Gl. 3.5 [90]. Bei der zweiten Methode wird der MOSFET in Sättigung betrieben und die Beweglichkeit mit Gl. 3.5 berechnet. Die Sättigungsbeweglichkeit ist, wegen der Präsenz des größeren elektrischen Feldes im Kanal bei Sättigung, etwas niedriger als die effektive Beweglichkeit. In den meisten Fällen wird deswegen die effektive Beweglichkeit angegeben, auch wenn einige Vereinfachungen, speziell in der Abschätzung der Ladungsträgerdichte gemacht werden müssen, um Gl. 3.4 anwenden zu können [91–93].  $V_{GS}-V_T$  entspricht der effektiven Gatespannung  $V_{GS,eff}$ , welche ein direktes Maß für die Dichte der beweglichen Ladungsträger im Inversionsgebiet darstellt.

$$\mu_{eff} = \frac{L}{W} \frac{g_d}{C_{ox}(V_{GS} - V_T)} \quad (3.4)$$

$$\mu_{sat} = \frac{L}{W} \frac{2I_D}{C_{ox}(V_{GS} - V_T)^2} \quad (3.5)$$

### 3.2.5 Unterschwellen-Kennlinie

Bei der Unterschwellen-Kennlinie eines MOSFETs handelt es sich um eine logarithmische Auftragung des Drainstroms  $I_{DS}$  über der effektiven Gatespannung  $V_{GS,eff}$ . Die Drainspannung wird möglichst klein gewählt, um eine Beeinflussung der Einsatzspannung durch den DIBL-Effekt zu vermeiden. Nach dem Durchlaufen der Gatespannung von einem Wert unterhalb der Einsatzspannung bis zu einem Wert oberhalb der Einsatzspannung wird ein IV-Graph erstellt, bei dem der Strom logarithmisch aufgetragen wird. Abb. 3.7 zeigt halblogarithmisch aufgetragene Unterschwellenkennlinien von gemessenen und simulierten MOSFETs mit verschiedenen Unterschwellensteilheiten.

Aus diesem Graphen können nun mehrere charakteristische Größen eines MOSFETs ermittelt werden. Zunächst kann der Off- und der On-Strom bestimmt werden. Der Off-Strom ist dabei der Drainstrom des MOSFETs im ausgeschalteten Zustand (Akkumulation) und sollte möglichst klein sein. Der On-Strom ist der Drainstrom im eingeschalteten Zustand (Inversion) und sollte möglichst groß sein. Da der Drainstrom bei steigender Gatespannung immer weiter ansteigt, muss zum Vergleich verschiedener MOSFETs eine Gatespannung festgelegt werden, bei der die Drainströme miteinander verglichen werden. Diese Gatespannung sollte so gewählt werden, dass sie bei allen Bauelementen den gleichen Betrag über der Einsatzspannung liegt, was man auch als effektive Gatespannung bezeichnet ( $V_{GS,eff} = V_{GS} - V_T$ ). Damit ist sichergestellt, dass sich die Transistoren alle im gleichen Betriebszustand befinden, auch wenn die Einsatzspannungen voneinander abweichen.

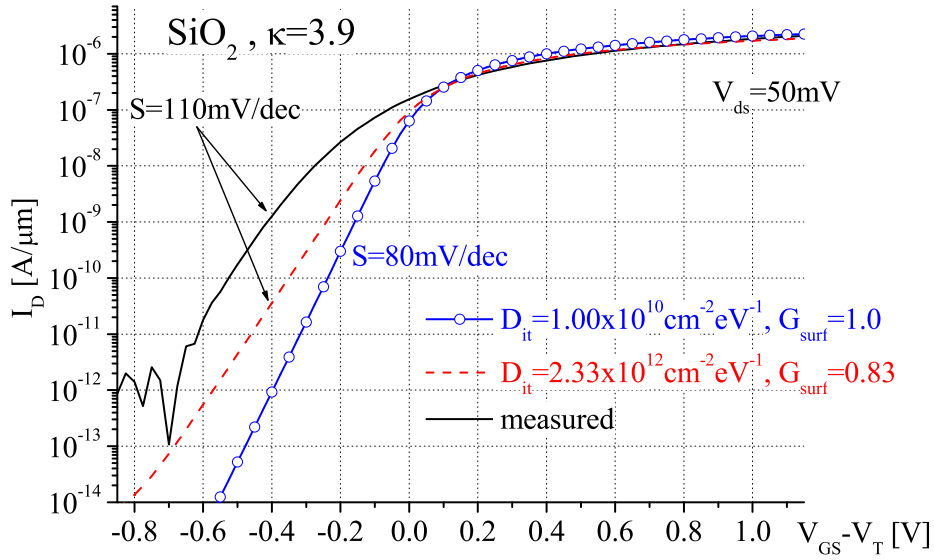


Abb. 3.7: Unterschwellenkennlinien eines MOSFETs mit SiO<sub>2</sub>-Dielektrikum und Wolfram-Gateelektrode

Ein weiterer Parameter ist die sogenannte Unterschwellensteilheit, abgekürzt  $S$ , die ein Maß für die Kontrolle des Gates über das Kanalgebiet ist. Die Unterschwellensteilheit wird in der Einheit mV/dec angegeben, dabei bedeutet 100mV/dec eine Änderung des Drainstroms um eine Größenordnung (Dekade) bei einer Gatespannungsänderung von 100mV. Je steiler also die Unterschwellenkennlinie ansteigt, desto größer ist die Einschaltgeschwindigkeit des MOSFETs. Eine Berechnungsformel für die Unterschwellensteilheit liefert [94] wobei  $C_{ox}$  die flächenunabhängige Kapazität des Dielektrikums,  $C_D$  die flächenunabhängige Kapazität der Verarmungszone und  $L_D$  die Debyelänge darstellt.

$$S \approx \frac{kT}{q} \ln 10 \cdot \left(1 + \frac{C_D}{C_{ox}}\right) / \left[1 - \left(\frac{2}{a^2}\right) \left(\frac{C_D}{C_{ox}}\right)^2\right] \quad \text{mit} \quad a = 2 \left(\frac{\kappa(si)}{\kappa(ox)}\right) \left(\frac{d}{L_D}\right) \quad (3.6)$$

$$C_D = \frac{\kappa_{si} \epsilon_0}{W_T} \quad , \quad L_D = \sqrt{\frac{\kappa_{si} \epsilon_0 kT}{q^2 N}} \quad (3.7)$$

Die Unterschwellensteilheit ist bei planaren MOSFETs mit einem Gatestack infolge des thermischen Limits auf ungefähr 60mV/dec nach unten begrenzt, Gl. 3.6 besitzt ein Minimum, wenn die Raumladungszonenweite  $W_T$  große Werte annimmt, was bedeutet, dass die Kapazität der Raumladungszone  $C_D$  gegen 0 geht.

$$S \approx \frac{kT}{q} \ln 10 = 60 \text{ mV/dec} \quad (3.8)$$

Von Kohlenstoff-Nanoröhrchen mit Rundumgates (Gate-Allaround) wurden jedoch schon Unterschwellensteilheit unterhalb dieser Grenze gemessen [95, 96].

### 3.2.6 Ausgangskennlinien

Bei der Ausgangskennlinie eines MOSFET wird der Drainstrom  $I_D$  über der Drainspannung  $V_{DS}$  bei konstanter Gatespannung aufgetragen. Meist wird eine Kurvenschar bei verschiedenen Gatespannungen  $V_{GS}$  aufgenommen, wie Abb. 3.8 zeigt.

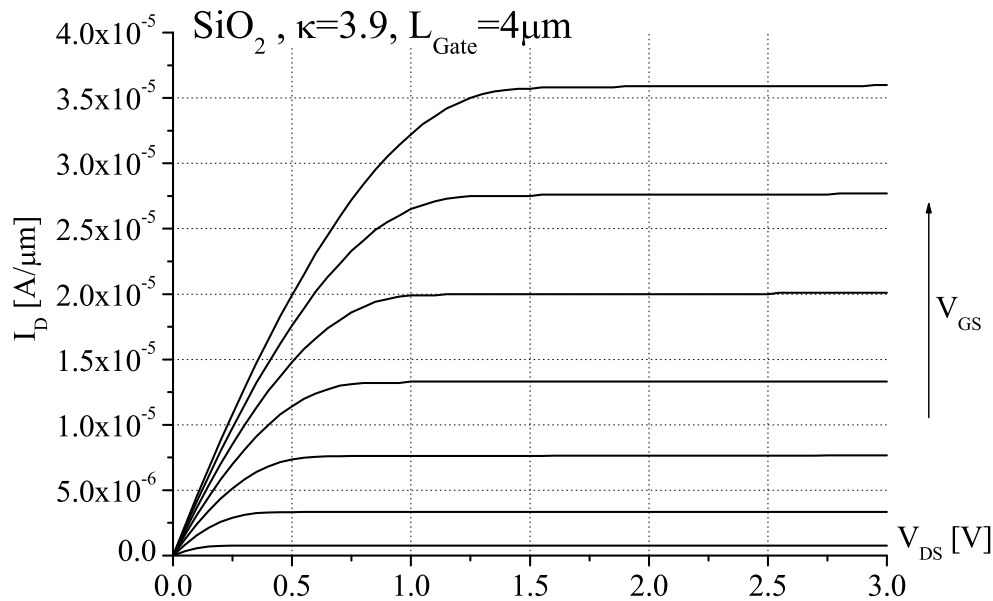


Abb. 3.8: Ausgangskennlinienschar von Langkanal-MOSFETs

Mit den Ausgangskennlinien eines MOSFET können Vergleiche zwischen den einzelnen Bauelementen angestellt werden. Eine wichtige Kenngröße ist der maximal erreichbare Sättigungsstrom  $I_{DSAT}$  der allerdings gerade bei Kurzkanal-MOSFETs stark von der Drainspannung abhängig ist, wie Abb. 3.9 zeigt.

## 3.3 Charakteristik der MOS-Kapazität

### 3.3.1 Messung der spannungsabhängigen MOS-Kapazität

Kapazitäts-Spannungsmessungen (Capacitance-Voltage, CV) stellen ein wichtiges Instrument zur Bestimmung zahlreicher Parameter der MOS-Struktur dar. Um die MOS-Kapazität zu messen, wird an das Gate eine Gleichspannung  $V_{GS}$  mit aufmodulierter Kleinsignal-Wechselspannung  $v_{GS}(t)$  gelegt (Abb. 3.10a).



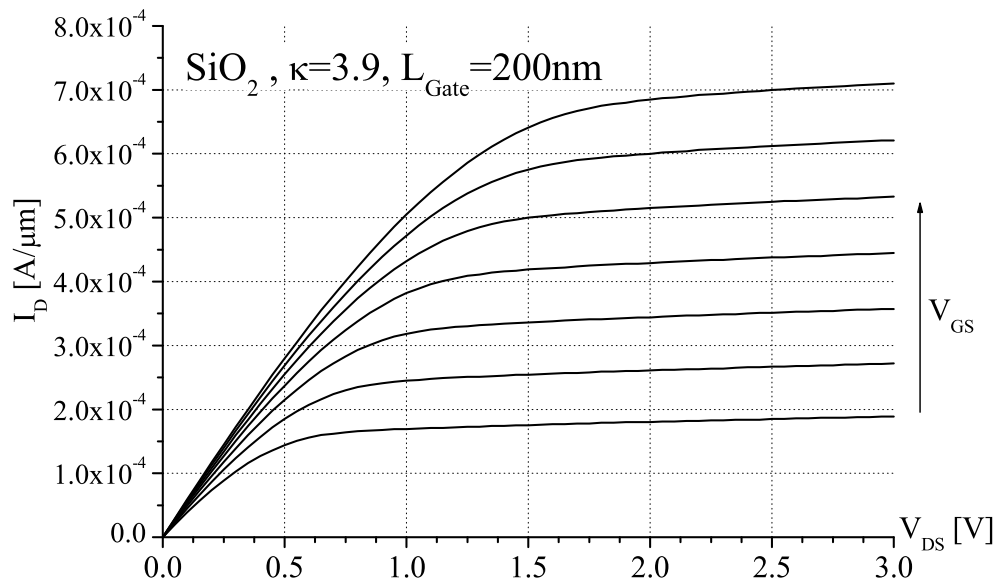
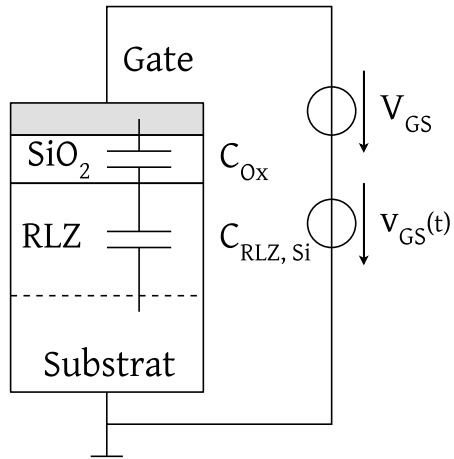


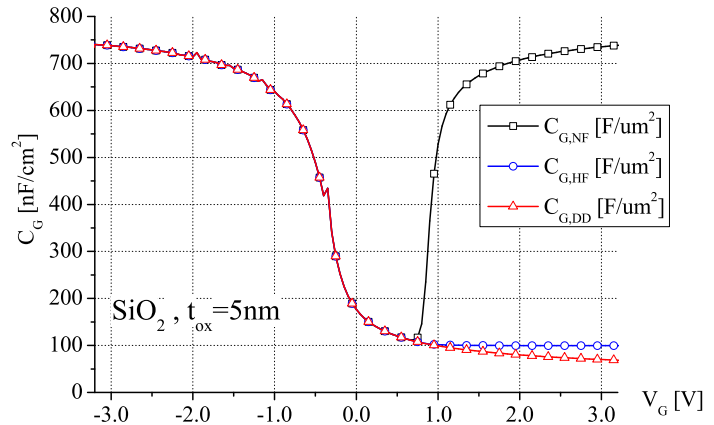
Abb. 3.9: Ausgangskennlinienschar von Kurzkanal-MOSFETs

Durch Messen des Gatestroms kann nun mit Gl. 3.9 die differentielle Kapazität bestimmt werden. Diese Messung wird für verschiedene Gatespannungen  $V_{GS}$  durchgeführt und die entstandenen Messwerte in ein Diagramm eingetragen (Abb. 3.10b).

$$c_G = \frac{\partial i_G(t)}{\partial V_{GS} + v_{GS}(t)} = \frac{\partial i_G(t)}{\partial v_{GS}(t)} \quad (3.9)$$



(a) Beschaltung zum Messen der MOS-Kapazität



(b) CV-Kurven mit NF- und 1MHz HF-Signal

Abb. 3.10: Bestimmung der MOS-Kapazität

In Abb. 3.10b ist ein Kapazitäts-Spannungsverlauf mit einer niederfrequenten Wechselspannung aufgenommen worden, der andere mit einer hochfrequenten Wechselspannung (1MHz). Da die Minoritätsladungsträger im Siliziumsubstrat dem hochfrequenten Signal nicht folgen können, kann sich bei der HF-Kennlinie keine Inversionsschicht für den Wechselspannungsanteil der Gatespannung aufbauen. Da aber nur die differentielle Kapazität gemessen werden kann, sinkt der Wert der gemessenen Kapazität auf den Wert bei Verarmung. Bei der NF-Kurve tritt dieser Effekt nicht auf, da die Inversionsschicht die Kleinsignal-Wechselspannung kurzschließt, weswegen die Kurve den Wert  $C_{ox}$  aufweist. Wenn die Gleichspannung  $V_{GS}$  vom Messgerät zu schnell durchlaufen wird, muss die gesamte Gegenladung zur Ladung auf dem Gate durch die Raumladung des Siliziumsubstrats aufgebracht werden.

Die Raumladungszone dehnt sich dann über die normale maximale Weite aus, die MOS-Kapazität befindet sich im Zustand der tiefen Verarmung (Deep Depletion). Es ergibt sich eine Kapazitätskurve, die in Abb. 3.10b mit  $C_{G,DD}$  bezeichnet wird.

Durch die Messung der spannungsabhängigen Kapazität kann daher mit Gl. 3.10 bei gegebener Isolatorstärke die Dielektrizitätskonstante  $\kappa_{ox}$  des verwendeten Materials bestimmt werden.

$$\kappa_{ox} = \frac{C_{ox} t_{ox}}{\epsilon_0} \quad (3.10)$$

Mit der Kapazität im Zustand der Verarmung kann die maximale Ausdehnung der Raumladungszone  $W_T$  bestimmt werden [97, 98].

$$\frac{1}{C_{G,HF}} = \frac{1}{C_{ox}} + \frac{W_T}{\kappa_{si}\varepsilon_0}$$

$$W_T = \kappa_{si}\varepsilon_0 \left( \frac{1}{C_{G,HF}} - \frac{1}{C_{ox}} \right) \quad (3.11)$$

Über die Berechnung der Flachbandkapazität  $C_{fb}$  kann die Flachbandspannung  $V_{fb}$  durch Ablesen im Diagramm bestimmt werden.

$$C_{fb} = \frac{1}{\frac{1}{C_{ox}} + \frac{L_D}{\kappa_{si}\varepsilon_0}} \quad \text{mit} \quad L_D = \sqrt{\frac{\kappa_{si}\varepsilon_0 kT}{2q^2 N_a}} \quad (3.12)$$

Mit Kenntnis der Flachbandspannung  $V_{fb}$  folgt mit Gl. 2.5 die Einsatzspannung  $V_T$ .

Auch eine grobe Abschätzung über die Konzentration der Oxidladungen kann gemacht werden, wenn man annimmt, dass sich alle Ladungen an der Grenzfläche Dielektrikum-Siliziumsubstrat befinden. Da dies den extremsten Fall darstellt, liefert diese Annahme einen zu geringen Wert der Oxidladungen. Aus Gl. 2.3 folgt für die Verschiebung der Flachbandspannung

$$V_{fb} - \phi_{ms} = -\frac{Q_{eff}}{C_{ox}} \quad \text{und} \quad N_{eff} = \frac{Q_{eff}}{q} \quad (3.13)$$

$Q_{eff}$  beinhaltet alle möglichen Oxidladungen und differenziert nicht nach mobilen und festen Ladungen oder geladenen Zuständen.

### 3.3.2 Bestimmung der Grenzflächenzustandsdichte mittels Ladungspumpen

Beim Ladungspumpen (Charge Pumping) werden kurze Spannungspulse (Frequenz typischerweise  $f = 1\text{MHz}$ ) auf die Gateelektrode eines MOSFETs gegeben, während Source-Substrat- und Drain-Substrat-Diode in Sperrpolung mit  $V_{BS}$  betrieben werden (Abb. 3.11). Die Pulsspannung wird dabei so gewählt, dass der Halbleiter an der Grenzfläche von Silizium und Dielektrikum von Akkumulation in den Bereich der Inversion und wieder zurück in Akkumulation wechselt.

Wird bei einem MOSFET mit p-Substrat ein positiver Spannungspuls auf die Gateelektrode gegeben, gerät das Kanalgebiet zunächst in einen Zustand tiefer Verarmung. Aus den Source-/Draingebieten fließen nun Elektronen in das Kanalgebiet, von denen einige die Störstellen an der Grenzfläche besetzen. Die restlichen Elektronen bilden eine Inversionsschicht unter dem Gatedielektrikum. Wenn der Pulsgenerator nun auf den negativen Spannungspuls umschaltet, fließen die Elektronen aus der Inversionsschicht zurück in die Source-/Drain-Gebiete, da diese in Sperrpolung betrieben werden.

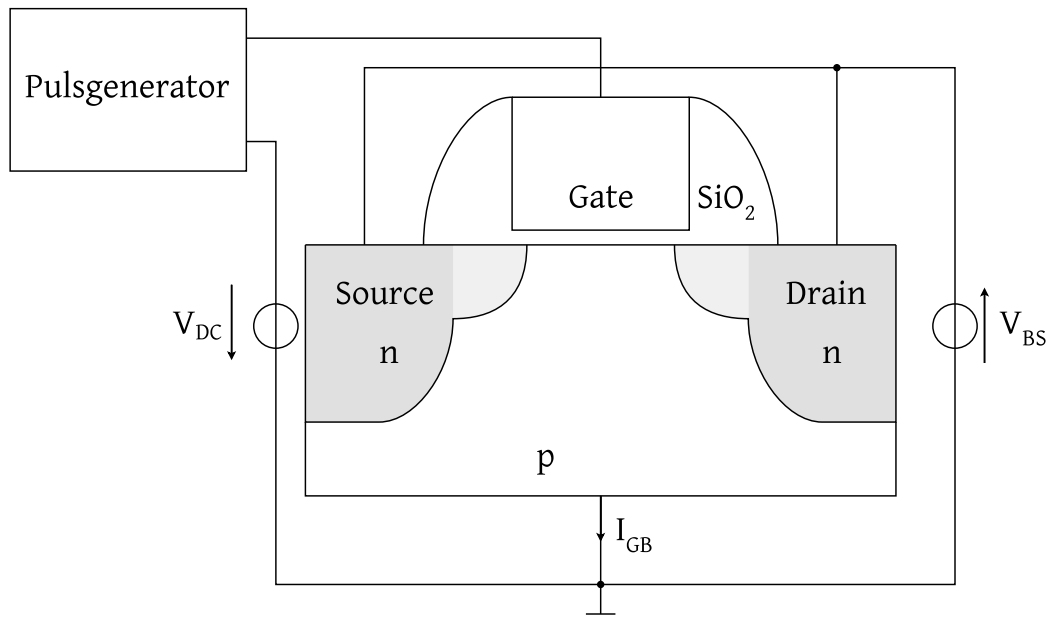


Abb. 3.11: Messaufbau für Charge Pumping

Die aufgeladenen Grenzflächenzustände werden zu diesem Zeitpunkt allerdings noch nicht entladen, da dieser Prozess sehr viel länger dauert, als der Abbau der Inversionsschicht. Ist Akkumulation erreicht, sind Löcher wieder die vorherrschenden Ladungsträger im Gebiet nahe der Grenzfläche und rekombinieren nun mit den Elektronen aus den geladenen Akzeptorzuständen. Diese Löcher kommen aus dem Substrat, da die Source-/Drain-Übergänge gesperrt sind. Die in den Grenzflächenzuständen gefangenen Elektronen fließen somit ins das Substrat und über die Substratelektrode ab. Dieser Substratstrom  $I_B$  kann gemessen und aus ihm die Grenzflächenzustandsdichte  $N_{it}$  wie folgt bestimmt werden [99]

$$I_B = \frac{Q_{it}}{T} = N_{it} \cdot q \cdot f \cdot W \cdot L \quad (3.14)$$

Dabei bedeutet  $Q_{it}$  die Ladung, die fließen muss, um die Grenzflächenzustände umzuladen und  $T$  die Zeit einer Pulsperiode.  $f$  ist die Pulsfrequenz,  $W$  die Gateweite und  $L$  die Gatelänge. Der Strom ist proportional zur Pulsfrequenz und der Gatefläche. Wird die Vorspannung  $V_{DC}$  auf der Gateelektrode verändert, werden bei gleich bleibender Pulsamplitude Grenzflächenzustände besetzt, die auf anderen energetischen Niveaus liegen. Durch Variation der Vorspannung  $V_{DC}$  auf dem Gate über einen Spannungsbereich können die Grenzflächenzustände somit zusätzlich nach ihrer energetischen Lage in der Bandlücke aufgeschlüsselt werden und man erhält die Dichte der Grenzflächenzustände innerhalb eines bestimmten Energiebereichs.

---

## 4 Simulationswerkzeuge

---

Für die Charakterisierung wurden Programme für die Prozesssimulation, die elektrische Simulation sowie Analyse- und Anzeigeprogramme benutzt.

### 4.1 Prozesssimulation

Um ein Bauelement elektrisch zu simulieren, muss zuvor ein physikalisches Modell erstellt werden, welches die geometrischen Proportionen, verwendete Materialien und Dotierstoffverteilungen enthält. Die Erstellung kann mit Hilfe eines Strukturgenerators erfolgen, welcher das Bauelement aus geometrischen Formen und analytisch bestimmten Dotierstoffprofilen erzeugt. Für eine solche Generierung müssen die Abmessungen und physikalischen Gegebenheiten, wie die Größe der Unterätzung oder die genaue Form der Dotierstoffprofile bekannt sein, um sie dem Generator vorzugeben.

Eine andere Möglichkeit ist die Simulation des technologischen Herstellungsprozesses. Ausgehend von einem blanken Siliziumwafer werden die einzelnen Prozessschritte, wie Oxidation, Diffusion, Implantation oder Ätzprozesse simuliert. Das Programm greift dabei auf eine vorhandene Materialdatenbank zurück, die die entsprechenden Materialparameter für den jeweiligen Prozessschritt enthält. Unter Anwendung eines mathematischen Formelsatzes, der die physikalischen Gegebenheiten widerspiegelt, werden Parameter wie Beweglichkeit, Dotierstoffdichte und elektrisches Feld für jeden Gitterpunkt berechnet. Werte zwischen den Gitterpunkten werden interpoliert, weswegen ein engmaschigeres Gitter zu exakteren Ergebnissen führt.

---

#### 4.1.1 Synopsys Tsuprem4

Tsuprem4 ist ein einfach zu handhabender Prozesssimulator, mit dem 1- und 2-dimensionale Strukturen berechnet werden können [100]. Das folgende Bild zeigt ein typisches Gitter, welches für einen MOSFET benutzt wurde. Das Gitter ist selbst-adaptierend, was bedeutet, dass es sich automatisch an veränderte Bedingungen anpasst. Wenn sich die Dotierstoffverteilung stark ändert, wird das Gitter an den betroffenen Stellen feiner, um die Dotierstoffgradienten besser aufzulösen. Beim Aufwachsen von Materialien, wie dem LOCOS-Oxid, werden zusätzliche Gitterpunkte erzeugt, um die neu hinzugekommene Struktur darzustellen.

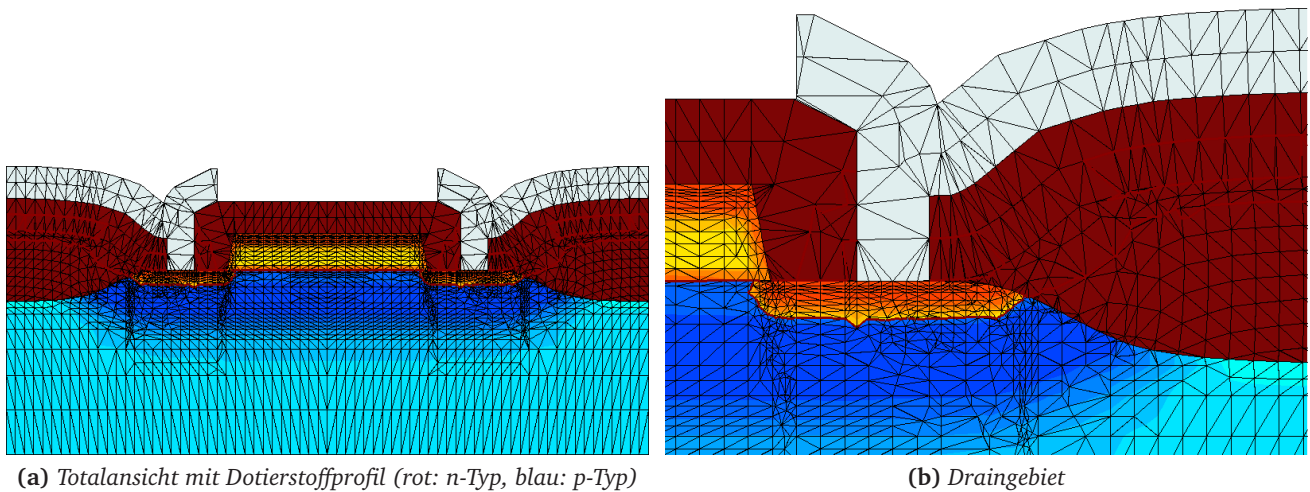


Abb. 4.1: Tsuprem4: Simulationsgitter eines MOSFET

Das Programm kann manuell oder über eine Kommandodatei gesteuert werden. Die Kommandodatei ist eine ASCII-Text-Datei, in der alle, für die Simulation notwendigen Kommandos, enthalten sind. Folgend ist eine solche Kommandoliste dargestellt. Zeilen mit vorangestelltem \$-Zeichen sind Kommentarzeilen und werden vom Programm nicht bearbeitet.

Listing 4.1: Tsuprem4: Kommandodatei zur Erzeugung eines Replacement-Gate MOSFETs

```
1 $ TMA TSUPREM4
2 $ Replacement-Gate-MOSFET mit 13.5nm Gadoliniumoxid-Dielektrikum,
3 $ Wolfram-Gate, 4µm Kanallänge
4 $ Idealstruktur nach Chargenbegleitschein
5 LINE X LOCATION=0.0 SPACING=0.10 TAG=LEFT
6 LINE X LOCATION=1.0 SPACING=0.01
7 LINE X LOCATION=3.0 SPACING=0.01 TAG=RIGHT
8 LINE Y LOCATION=0.0 SPACING=0.01 TAG=TOP
9 LINE Y LOCATION=0.1 SPACING=0.01
10 LINE Y LOCATION=2.0 SPACING=0.10 TAG=BOTTOM
11 ELIMINATE COLUMNS Y.MIN=0.5
12 ELIMINATE COLUMNS Y.MIN=0.5
13 ELIMINATE ROWS Y.MIN=0.5
14 ELIMINATE ROWS Y.MIN=0.5
```

Von Zeile 5 bis 14 wird zunächst ein 2-dimensionales Gitter aus Stützpunkten festgelegt. Es wird hierbei die Symmetrie des MOSFET ausgenutzt, weswegen nur eine Hälfte der Struktur angegeben wird.

*Tsuprem4: Kommandodatei zur Erzeugung eines Replacement-Gate MOSFETs*

```
15 $ Define region materials
16 REGION SILICON XLO=LEFT XHI=RIGHT YLO=TOP YHI=BOTTOM
17 INITIALIZE <100> BORON=1E15
18 METHOD PD.FULL
19 $ Definiere Material Gadoliniumoxid als Oxynitrid mit einem Epsilon von 10
20 MATERIAL OXYNITRI EPSILON=10
21 $ Kanalimplantation fuer Vth-Einstellung
22 IMPLANT BORON ENERGY=45 DOSE=2E13
23 IMPLANT BORON ENERGY=180 DOSE=2E13
24 $ Deposit und Strukturierung des Dummy-Gates
25 DEPOSIT NITRIDE THICKNESS=0.5 SPACES=5
26 ETCH NITRIDE LEFT P1.X=1.0
27 $ S/D-Implantation
28 IMPLANT PHOSPHORUS ENERGY=50 DOSE=1E15
29 DEPOSIT OXIDE THICKNESS=0.5 SPACES=5
30 $ Nachahmung des CMP-Schritts
31 ETCH START X=0.0 Y=-1.1
32 ETCH CONTINUE X=3.0 Y=-1.1
33 ETCH CONTINUE X=3.0 Y=-0.5
34 ETCH DONE X=0.0 Y=-0.5
35 $ Ausheilen aller vorhergehenden Implantationsschritte
36 DIFFUSION TEMP=900 TIME=30 INERT
37 $ Entfernen des Dummy-Gates
38 ETCH NITRIDE ALL
39 $ Aufbringen des Gate-Stacks bestehend aus Gd2O3 und Wolfram
40 DEPOSIT OXYNITRI THICKNES=0.0135 SPACES=5
41 DEPOSIT MATERIAL=TUNGSTEN THICKNESS=0.7
42 $ Nachahmung des CMP-Schritts
43 ETCH START X=0.0 Y=-1.3
44 ETCH CONTINUE X=3.0 Y=-1.3
45 ETCH CONTINUE X=3.0 Y=-0.5
46 ETCH DONE X=0.0 Y=-0.5
47 DEPOSIT OXIDE THICKNESS=0.5 SPACES=4
48 $ Kontakt-Loecher
49 ETCH OXIDE LEFT P1.X=0.2
50 ETCH OXIDE RIGHT P1.X=2.0
51 DEPOSIT MATERIAL=TUNGSTEN THICKNESS=0.15 SPACES=2
52 DEPOSIT ALUMINUM THICKNESS=0.8 SPACES=2
53 ETCH START X=0.5 Y=-2.0
54 ETCH CONTINUE X=1.5 Y=-2.0
55 ETCH CONTINUE X=1.5 Y=-1.0
56 ETCH DONE X=0.5 Y=-1.0
57 $ Spiegeln der Struktur und speichern des vollstaendigen MOSFETs
58 STRUCTURE REFLECT RIGHT
59 SAVE OUT.FILE=Gd203_W_135A_4um
60 SAVEFILE OUT.F=Gd203_W_135A_4um.tif tif
61 SAVE OUT.FILE=Gd203_W_135A_4um.md MEDICI
```

---

Zeile 15 bis 20 beschreiben die Materialdefinition und Initialisierung der Struktur. Jedem Gitterpunkt wird dabei ein Material mit den entsprechenden Parametern zugeordnet. Mit den IMPLANT-Befehlen in Zeile 22 und 23 werden zwei Ionenimplantationen zur Schwellspannungseinstellung simuliert. Danach erfolgt in den Schritten 25 und 26 die Abscheidung und Strukturierung des Dummy-Gates. Da bisher noch keine kommerziellen Programme zur Simulation von Chemisch-Mechanischen Poliovorgängen (CMP) verfügbar sind, wurden die CMP-Schritte in den Zeilen 31 bis 34, 43 bis 46 und 53 bis 56 mit Ätzworgängen nachgebildet. Es erfolgt in Zeile 36 ein Hochtemperaturschritt, um die implantierten Dotierstoffatome zu aktivieren und Implantationsschäden auszuheilen, in 38 wird das Nitrid-Dummy-Gate nasschemisch entfernt. In Zeile 40 und 41 wird nun der eigentliche Gatestack in Form von einer kristallinen high- $\kappa$  Schicht aus Gadoliniumoxid und einer Wolframelektrode abgeschieden. Der einfacheren Implementierung wegen wurden die Parameter von Gadoliniumoxid auf das Material mit dem Namen Oxynitrid umgeschrieben, so dass das Material Oxynitrid dem Gadoliniumoxid entspricht.

In den Zeilen 47 bis 56 folgt ein Standard Backend-Prozess zur Isolation und Kontaktierung. Zeile 58 kopiert die Struktur an der rechten Kante und erzeugt so aus der Halbstruktur den vollen MOSFET. Zeile 59 bis 61 speichert die erzeugte Struktur im Tsuprem4-Format, Technology Interchange Format (TIF) sowie als Strukturdatei für eine nachfolgende elektrische Simulation mit MEDICI (md-Format).

#### 4.1.2 Sentaurus Process

Sentaurus Process ist ebenfalls ein Prozesssimulator, mit dem allerdings auch 3-dimensionale Strukturen aufgebaut werden können [101]. Sentaurus Process basiert auf dem FLOOPS-Programmpaket, das an der Universität von Florida entwickelt wurde [102]. Die Methodik zur Simulation von Prozesstechnologien und die Kommandobefehle ähneln sehr denen von Tsuprem4, weswegen auf eine weitere Beschreibung hier verzichtet wird.

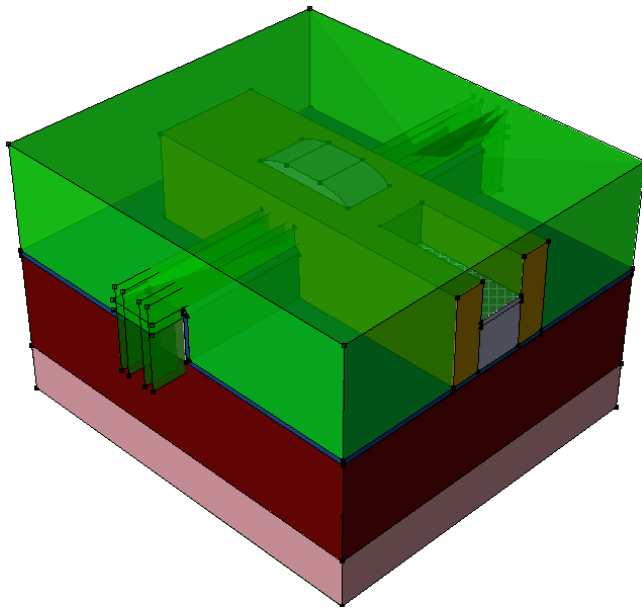
### 4.2 Strukturzeugung mit Sentaurus Structure Editor

Der Sentaurus Structure Editor ist ein Programm zur synthetischen Generierung von 1-, 2- und 3-dimensionalen Strukturen für nachfolgende elektrische Simulationen [103]. Synthetisch bedeutet, dass keine physikalische Prozesssimulation durchgeführt wird, sondern alle Prozessschritte analytisch durchgeführt werden. Es können Schichten aufgetragen, Dotierstoffprofile festgelegt und Materialien angegeben werden. Die zur Erzeugung dieser Strukturen nötigen Parameter werden aus tabellarischen Werten über analytische Formeln berechnet oder vom Benutzer selbst definiert.

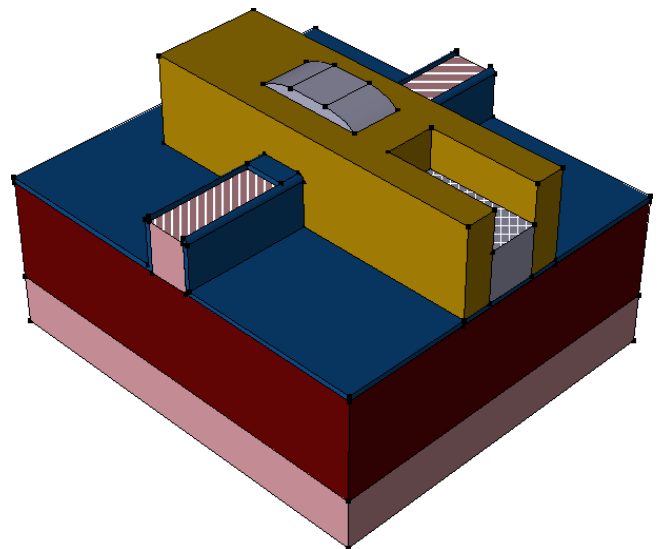
Der Vorteil dieses Programms liegt in der kurzen Rechenzeit, die gegenüber den reinen Prozesssimulatoren um ein vielfaches kleiner ist und in der exakten Plazierbarkeit von definierten Gebieten. Außerdem sind Strukturen möglich, die mit einem Prozesssimulator nicht erstellt werden können.



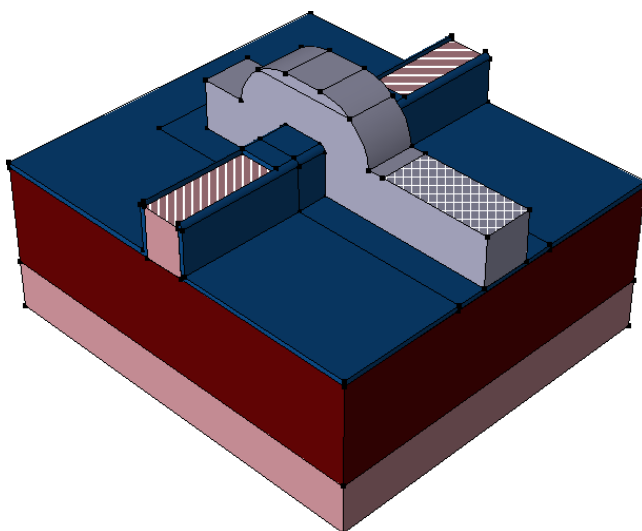
Dotierstoffprofile und Schichtdicken können zuvor mit einem Prozesssimulator wie Tsuprem4 oder Sentaurus Process an einfachen Strukturen bestimmt werden, während in den Structure Editor nur das berechnete mathematische Modell abgebildet wird, was die Modellierung stark vereinfacht. Auch die Anpassung des Gitters kann dadurch optimiert werden, da starke Dotierstoffgradienten oder Änderungen im Material im Voraus bekannt sind. Die folgenden Bilder zeigen ein fertiges Modell eines 3-dimensionalen FinFETs, der mit dem Structure Editor erzeugt wurde. Die grünen Bereiche kennzeichnen die Lage von Dotierstoffprofilen, Maskeninformationen und Verfeinerungsboxen des Gitters.



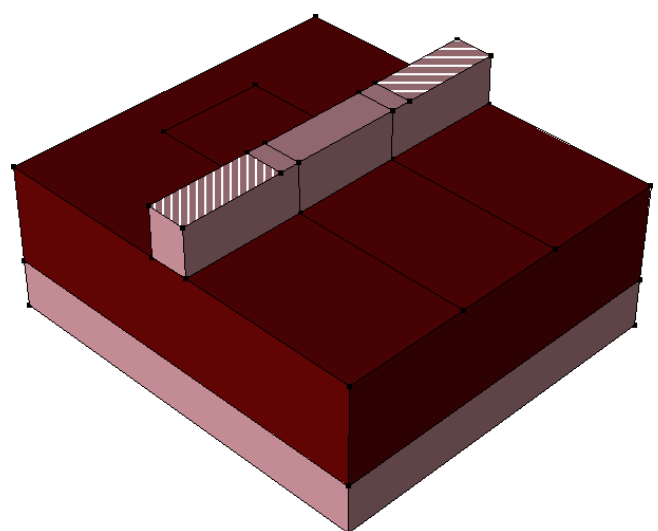
(a) Komplette Struktur, grün: Dotierstoffplatzierung, Maskeninformation und Gitterverfeinerung



(b) braun:  $\text{Si}_3\text{N}_4$ -Spacer



(c) grau: Metall-Gateelektrode, rosa: Silizium, dunkelrot:  $\text{SiO}_2$ , blau:  $\text{Gd}_2\text{O}_3$ , weiß-gestreifte Gebiete: Source-/Drain-/Gatekontaktzonen



(d) Struktur ohne Gateelektrode

**Abb. 4.2:** 3D-Modell eines FinFETs mit 40nm Finbreite, 50nm Gatelänge und  $\text{Gd}_2\text{O}_3$ -Dielektrikum

Das Programm kann entweder über eine grafische Benutzeroberfläche oder eine Kommandodatei gesteuert werden. Eine entsprechende Liste ist im folgenden Auszug gezeigt. Kommentarzeilen werden hier mit Semikolon eingeleitet.

**Listing 4.2:** *Sentaurus Structure Editor: Kommandodatei eines 3-dimensionalen FinFET mit high- $\kappa$  Dielektrikum*

```

1 ; Reinitializing DEVISE
2 (sde:clear)
3 ; Setting parameters
4 ; - lateral
5 (define Lg @Lgate@) ; [um] Gate length
6 (define Lsp @Lspc@) ; [um] Spacer length
7 (define Wg @Wgate@) ; [um] Gate width
8 ; - layers
9 (define Tsub 0.05) ; [um] Substrate thickness
10 (define Tbox 0.1) ; [um] Buried oxide thickness
11 (define Tsoi @Hsoi@) ; [um] SOI thickness
12 (define Tins @Hins@) ; [um] Gate oxide thickness
13 (define Tgate 0.05) ; [um] Poly gate thickness
14 ; - Doping concentrations
15 (define SubDop @SubDope@) ; [1/cm3]
16 (define SOIDop @SOIDope@) ; [1/cm3]
17 (define PolyDop @PolyDope@) ; [1/cm3]
18 (define SDDop @SDDope@) ; [1/cm3]
19 (define LDDop @LDDope@) ; [1/cm3]
20 (define ImpMedianDop 1e18) ; [1/cm3]
21 ; Derived quantities
22 (define Xg (/ Lg 2)) ; [um] 0.025
23 (define Xgox (+ Xg Tins)) ; [um] 0.025+0.005=0.03
24 (define Xsp (+ Xg Lsp)) ; [um] 0.025+0.02=0.045
25 (define Xmax (+ Xsp 0.125)) ; [um] 0.045+0.125=0.17
26 (define Yg (/ Wg 2)) ; [um] 0.025
27 (define Ygox (+ Yg Tins)) ; [um] 0.025+0.005=0.03
28 (define Yge (+ Yg Tgate 0.05)) ; [um] 0.025+0.05+0.05=0.125
29 (define Ysp (+ Yge Lsp)) ; [um] 0.125+0.02=0.145
30 (define Ymax (+ Ysp 0.05)) ; [um] 0.145+0.05=0.195
31 (define Zgox Tins) ; [um] 0.002
32 (define Zg (+ Zgox Tgate)) ; [um] 0.002+0.2=0.202
33 (define Zsoi (- Tsoi)) ; [um] -0.05
34 (define Zbox (- Zsoi Tbox)) ; [um] -0.05-0.1=-0.15
35 (define Zsub (- Zbox Tsub)) ; [um] -0.15-0.25=-0.4
36 ; SD implant: dose = 1e14cm-2 , energy = 5keV , tilt = 7
37 ; LDD implant: dose = 1e13cm-2 , energy = 5keV , tilt = 7
38 (define SDdepth 0.07) ; [um]
39 (define LDDdepth 0.028) ; [um]
40 (define SDpeak 0.0) ; [um]
41 (define LDDpeak 0.01) ; [um]
42 (define SDFactor 0.4) ; [um]
43 (define LDDfactor 0.32) ; [um]
44 (define IAng (* 0.0174533 @ImpAng@)) ; [rad]
45 (sdegeo:set-default-boolean "ABA")

```

Im ersten Teil werden Werte definiert und externe Parameter übernommen. Gatelänge Lg, Spacerlänge Lsp, Gateweite Wg, die Höhe der Siliziumfinne Tsoi, die Dicke des Gateoxids Tins sowie die Dotierstoffkonzentrationen sind als Variablen angegeben und können mit den externen Parametern über die Sentaurus Workbench Umgebung gesetzt werden. So ist es möglich, mit einer Kommandoliste viele verschiedene Simulationsstrukturen zu erzeugen, die ihre Parameter aus einer vom Benutzer erstellten Tabelle beziehen. Dies wird bei der Beschreibung des Sentaurus Workbench Programms näher erläutert.

Aus den definierten Variablen werden nun in den Zeilen 22 bis 35 weitere Hilfsvariablen berechnet, die die Geometrie der zu erzeugenden Struktur widerspiegeln. In diesem Fall handelt es sich um die 3-dimensionale Struktur eines FinFETs, weswegen in x-, y-, und z-Richtung unterschieden wird. Zeile 38 bis 43 legt die Geometrien der Dotierstoffprofile fest. Es handelt sich dabei um Gaußprofile, die zuvor mit einem Prozesssimulator bestimmt wurden. Die Variable Iang in Zeile 44 rechnet den Einschusswinkel der implantierten Dotierstoffatome ins Bogenmaß um. Zeile 45 enthält ein Steuerkommando für den Strukturgenerator. ABA bedeutet, dass neu erzeugte Strukturen, die über Teilen von bestehenden Strukturen erstellt werden, diese vernichten und deren Platz einnehmen. BAB bedeutet, dass bestehende Strukturen nicht vernichtet werden.

*Sentaurus Structure Editor: Kommandodatei eines 3-dimensionalen FinFET mit hieh-κ Dielektrikum*

```

46 ; Creating cuboid regions
47 (sdegeo:create-cuboid (position (- Xmax) (- Ymax) Zbox)
48   (position Xmax Ymax Zsub) "Silicon" "SubstrateSilicon")
49 (sdegeo:create-cuboid (position (- Xmax) (- Ymax) Zsoi)
50   (position Xmax Ymax Zbox) "SiO2" "BuriedOxide")
51 (sdegeo:create-cuboid (position (- Xmax) (- Yg) 0)
52   (position Xmax Yg Zsoi) "Silicon" "SOISilicon")
53 (sdegeo:set-default-boolean "BAB")
54 (sdepe:depo "material" "Oxynitride" "thickness" Tins "blend-global"
55   "vexity" "convex" "radius" Tins "region" "GateOxide")
56 ; Gate electrode definition
57 (sdepe:depo "material" "PolySi" "thickness" Tgate "blend-global"
58   "vexity" "convex" "radius" (/ Tgate 2) "region" "PolyGate")
59 (sdepe:generate-mask "GATE" (list (list (- Xg) (- Yge) Xg Ymax)))
60 (sdepe:pattern "mask" "GATE" "polarity" "light" "type" "aniso"
61   "material" "Resist" "thickness" 0.2)
62 (sdepe:etch-material "material" "PolySi" "depth" (* Tgate 2) "type" "aniso")
63 (sdepe:strip-material "Resist")
64 ; Ni Spacer
65 (sdegeo:create-cuboid (position (- Xsp) (- Ysp) Zsoi)
66   (position Xsp Ymax (* Zg 0.8)) "Si3N4" "NiSpacer")

```

Nun werden von Zeile 47 bis 52 nacheinander das Siliziumsubstrat, das vergrabene Oxid und die SOI-Schicht definiert. Danach wird der Erzeugungsmodus in Zeile 53 mittels BAB umgestellt. Es folgen die Abscheidung des Gateoxids, eines Polysilizium-Gates und die anschließende Strukturierung des Gatestacks von Zeile 54 bis 63. Danach wird ein Nitridspacer erzeugt. Die äußere Form des Bauelements ist damit abgeschlossen.

```

67 ; Contact definitions
68 (sdegeo:define-contact-set "gate"      4.0 (color:rgb 1.0 0.0 0.0 ) "##" )
69 (sdegeo:define-contact-set "drain"     4.0 (color:rgb 1.0 0.0 0.0 ) "||" )
70 (sdegeo:define-contact-set "source"    4.0 (color:rgb 1.0 0.0 0.0 ) "==" )
71 (sdegeo:define-contact-set "substrate" 4.0 (color:rgb 1.0 0.0 0.0 ) "<><>" )
72 (sdegeo:define-contact-set "bodytie"   4.0 (color:rgb 1.0 0.0 0.0 ) "//" )
73 ; Contact assignments
74 (sdegeo:set-current-contact-set "substrate")
75 (sdegeo:set-contact-faces (find-face-id (position 0 0 Zsub)) "substrate")
76 (sdegeo:set-default-boolean "ABA")
77 (sdegeo:create-cuboid (position (- Xmax) (- Yg) 0)
78   (position (- (- Xsp) 0.02) Yg (/ Zg 2)) "Tungsten" "source")
79 (sdegeo:create-cuboid (position (+ Xsp 0.02) (- Yg) 0)
80   (position Xmax Yg (/ Zg 2)) "Tungsten" "drain")
81 (sdegeo:create-cuboid (position (- Xg) (+ Yg Tgate 0.02) Zgox)
82   (position Xg Ymax (* Zg 1.5)) "Tungsten" "gate")
83 (sdegeo:delete-region (find-body-id (position (- 0.03 Xmax) 0 (/ Zg 3))))
84 (sdegeo:delete-region (find-body-id (position (- Xmax 0.03) 0 (/ Zg 3))))
85 (sdegeo:delete-region (find-body-id (position 0 (- Ymax 0.03) (* Zg 1.4))))
86 (sdegeo:set-current-contact-set "source")
87 (sdegeo:set-contact-faces (find-face-id (position (- 0.03 Xmax) 0 0)) "source")
88 (sdegeo:set-current-contact-set "drain")
89 (sdegeo:set-contact-faces (find-face-id (position (- Xmax 0.03) 0 0)) "drain")
90 (sdegeo:set-current-contact-set "gate")
91 (sdegeo:set-contact-faces (find-face-id (position 0 (- Ymax 0.03) Zgox)) "gate")
92 ; Constant doping profile definitions
93 (sdedr:define-constant-profile "Const.Bulk" "BoronActiveConcentration" SubDop)
94 (sdedr:define-constant-profile-region "PlaceCD.Bulk" "Const.Bulk" "SubstrateSilicon")
95 (sdedr:define-constant-profile "Const.SOI" "BoronActiveConcentration" SOIDop)
96 (sdedr:define-constant-profile-region "PlaceCD.SOI" "Const.SOI" "SOI")
97 (sdedr:define-constant-profile "Const.Poly" "BoronActiveConcentration" PolyDop)
98 (sdedr:define-constant-profile-region "PlaceCD.Poly" "Const.Poly" "PolyGate")
99 ; Analytic doping profile definit
100 (sdedr:define-refinement-window "BaseLine.SourceFront" "Polygon"
101   (list (position (* Xmax -1.2) (- Yg SDpeak) (* Tsoi -1.2))
102     (position (- Xsp) (- Yg SDpeak) (* Tsoi -1.2))
103     (position (- Xsp) (- Yg SDpeak) (/ Tsoi 2))
104     (position (* Xmax -1.2) (- Yg SDpeak) (/ Tsoi 2))
105     (position (* Xmax -1.2) (- Yg SDpeak) (* Tsoi -1.2))))
106 (sdedr:define-gaussian-profile "Gauss.SourceDrain" "PhosphorusActiveConcentration"
107   "PeakPos" 0.0 "PeakVal" SDDop "ValueAtDepth" ImpMedianDop "Depth" SDdepth "Gauss" "Factor
108     " SDfactor)
109 (sdedr:define-analytical-profile-placement "PlaceAP.SourceFront"
110   "Gauss.SourceDrain" "BaseLine.SourceFront" "Both" "NoReplace" "Eval")

```

Für die Kontaktdefinition wird zunächst in den Zeilen 68 bis 72 die Darstellungsweise der Kontaktflächen eingestellt. Während der Substratkontakt in den Zeilen 74 und 75 einfach an die Rückseite gesetzt werden kann, wurde für die restlichen Kontakte ein Trick angewandt, um die Kontaktflächen von darüber liegendem Material zu befreien. In den Zeilen 77 bis 82 werden Metallquader definiert, die das an der Stelle vorhandene Material vernichten, da in Zeile 76 der Erzeugungsmodus wieder auf ABA umgestellt wurde.

Danach werden diese Metallquader in den Zeilen 83 bis 85 ihrerseits vernichtet, zurück bleiben Gräben an diesen Stellen. Schließlich werden in den Zeilen 86 bis 91 die Kontakte für Source, Drain und Gate gesetzt.

Die Erstellung der homogenen Dotierstoffprofile wird in den Zeilen 93 bis 98 durchgeführt. Die Definition der Gaußprofile gestaltet sich hingegen etwas aufwändiger. Dies soll am Beispiel nur eines Dotierstoffprofils gezeigt werden, da alle 12 erzeugten Implantationsprofile nach dem gleichen Schema aufgebaut sind. Zunächst wird in den Zeilen 100 bis 105 eine 2-dimensionale Fläche definiert, an der sich das Maximum der Dotierstoffkonzentration befinden soll. SourceFront bedeutet hierbei, dass es sich um die vordere Fläche der Siliziumfinne auf der Sourceseite handelt. DrainBack würde demnach die hintere Fläche auf der Drainseite sein.

In den Zeilen 106 und 107 wird das eigentliche Gaußprofil definiert. Dazu werden die Parameter aus den berechneten Dotierstoffprofilen genommen. Dabei beschreibt PeakPos den Ort der Maximalkonzentration, PeakVal die Maximalkonzentration, ValueAtDepth die Konzentration an der Stelle, die mit Depth festgelegt wird. Damit kann das Profil exakt an ein vorher simuliertes Profil angeglichen werden. Gauss definiert das Profil als Gaußprofil, Factor das Verhältnis zwischen vertikaler und horizontaler Eindringtiefe. In den Zeilen 108 und 109 wird das definierte Profil mit der 2-dimensionalen Fläche verknüpft und in die Struktur eingebunden.

Diese Kommandoabfolge wird nun für die übrigen Dotierstoffprofile 12 Mal analog wiederholt, weswegen die Zeilen 110 bis 199 nicht dargestellt sind.

#### *Sentaurus Structure Editor: Kommandodatei eines 3-dimensionalen FinFET mit high-κ Dielektrikum*

```
200 ; Meshing strategies
201 (sdedr:define-refinement-window "RefWin.Global" "Cuboid"
202   (position (- Xmax) (- Ymax) Zsub) (position Xmax Ymax (+ Zg 0.01)))
203 (sdedr:define-refinement-size "RefDef.Global"
204   Tsoi Tsoi Tsoi
205   0.001 0.001 0.001)
206 (sdedr:define-refinement-placement "Place.Global" "RefDef.Global" "RefWin.Global" )
207 ; Multiboxes
208 (sdedr:define-refinement-window "RefWin.Active"
209   "Cuboid" (position (- (/ (+ Xsp Xg) 2)) (- Yg) Zsoi) (position (/ (+ Xsp Xg) 2) Yg 0))
210 (sdedr:define-multibox-size "RefDefMB.Active"
211   (/ Lg 5) (/ Wg 5) (/ Tsoi 5)
212   0.001 0.001 0.001
213   1 1 1)
214 (sdedr:define-multibox-placement "PlaceMB.Active" "RefDefMB.Active" "RefWin.Active" )
215 ; Saving structure
216 (sde:save-model "n@node@sde")
217 ; Meshing structure (meshing done both in the DF-ISE and TDR format to show the command
218   line)
219 (sde:build-mesh "mesh" "-P -F tdr" "n@node@msh")
```

---

Zum Schluss muss das, die Struktur enthaltende, Gitter verfeinert werden, da es im Rohzustand nur die, für die Darstellung nötigsten, Gitterpunkte enthält. Dies geschieht mit Hilfe von sogenannten Refinementboxen. In den Zeilen 201 und 202 wird zuerst eine globale Box erstellt, die die gesamte Struktur enthält. Die Zeilen 203 bis 205 beschreiben die Verfeinerungsstrategie. Ein maximaler Gitterabstand von Tsoi wird definiert, was der Höhe des Siliziumstegs entspricht. Der minimale Gitterabstand wird auf 1nm festgesetzt, dem Generator wird damit erlaubt, wo notwendig bis auf 1nm herunter zu gehen. In Zeile 206 werden Ort der Verfeinerung und die Strategie miteinander verknüpft und in die Struktur eingesetzt.

Die Zeilen 208 bis 214 beschreiben eine zweite Verfeinerung, die jedoch nur das aktive Gebiet, bestehend aus Kanalregion und angrenzenden Gebieten, enthält. Der maximale Gitterabstand ist hier kleiner als bei der globalen Definition. Diese zweite Verfeinerung ist notwendig, da man die hohe Auflösung im aktiven Gebiet für ein genaue Ergebnisse benötigt, andererseits eine hohe Auflösung der gesamten Struktur zu nicht vertretbar hohen Rechenzeiten führen würde.

In Zeile 216 wird das Modell und in Zeile 218 das Gitter erzeugt und gespeichert. Die Meshdatei (\*.msh) und die Strukturdatei (\*.bnd) sind die Eingangsdateien für die nachfolgenden Simulationen mit einem elektrischen Simulator.

## 4.3 Elektrische Simulation

Die Nachbildung mittels Simulation bietet einerseits eine Möglichkeit zur Kontrolle von Messergebnissen, andererseits sind auch völlig neuartige Bauelemente simulierbar, die so noch nicht in der Realität hergestellt wurden. Die elektrischen Messergebnisse sind dabei von essentieller Bedeutung, da der Simulator ohne sie nicht auf den jeweiligen Prozess eingestellt werden kann. Als Beispiel ist hier die Dichte der Grenzflächenzustände zu nennen, die stark von der Prozesstechnologie abhängt und maßgeblich die Beweglichkeit der Ladungsträger bestimmt. Diese Dichte muss vor der Simulation elektrisch mittels Charge Pumping Messungen bestimmt werden und in die zu simulierende Struktur integriert werden, um möglichst nahe an die realen Verhältnisse heranzukommen.

Ist der Simulator einmal auf einen Prozess abgestimmt, ist es in einem bestimmten Rahmen möglich, Aussagen über modifizierte Bauelemente zu treffen, bei denen beispielsweise die Geometrie verändert wurde. Wie bei der Prozesssimulation ist auch bei der elektrischen Simulation ein Gitter notwendig, das über die zu simulierende Struktur gelegt wird und an dessen Punkten Werte wie Ladung, elektrisches Feld und Potential berechnet werden.

---

#### 4.3.1 Synopsys Medici

Synopsys Medici ist ein elektrischer Simulator für 1- und 2-dimensionale Strukturen [104]. Die mit Tsuprem4 erzeugten Strukturen können als Eingangsdaten an Medici übergeben und dann elektrisch simuliert werden. Das Programm berechnet für jeden Gitterpunkt eine Reihe von analytischen physikalischen Gleichungen. Dadurch werden für jeden Punkt Parameter wie Ladungsdichte, elektrisches Feld, elektrisches Potential (Abb. 4.3a), Ladungsträgerbeweglichkeit und Stromdichte bestimmt.

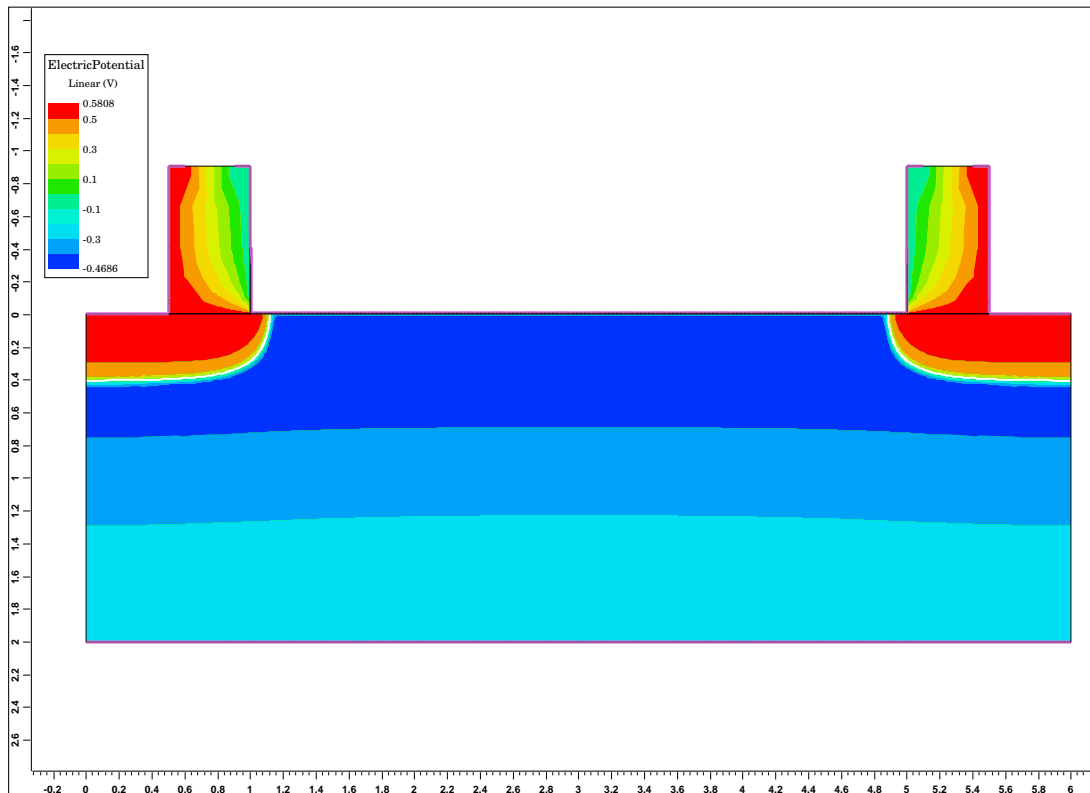
Für eine komplette Strom-Spannungs-Kennlinie muss diese Lösung für jede Spannung einzeln bestimmt werden. Dabei muss die gesamte Matrix konvergent sein, da jeder Gitterpunkt die Parameter seiner umliegenden Gitterpunkte beeinflusst. Abb. 4.3b zeigt Ausgangskennlinien, wie sie mit Medici berechnet wurden. Gerade die Ladungsträgerbeweglichkeit hat dabei einen sehr starken Einfluss auf die Charakteristik des MOSFET, da die Stromdichte direkt von ihr abhängt.

$$J = J_{n,drift} + J_{n,diff} + J_{p,drift} + J_{p,diff} = q\mu_n \left( nE + V_{th} \frac{\partial n}{\partial x} \right) + q\mu_p \left( pE - V_{th} \frac{\partial p}{\partial x} \right) \quad (4.1)$$

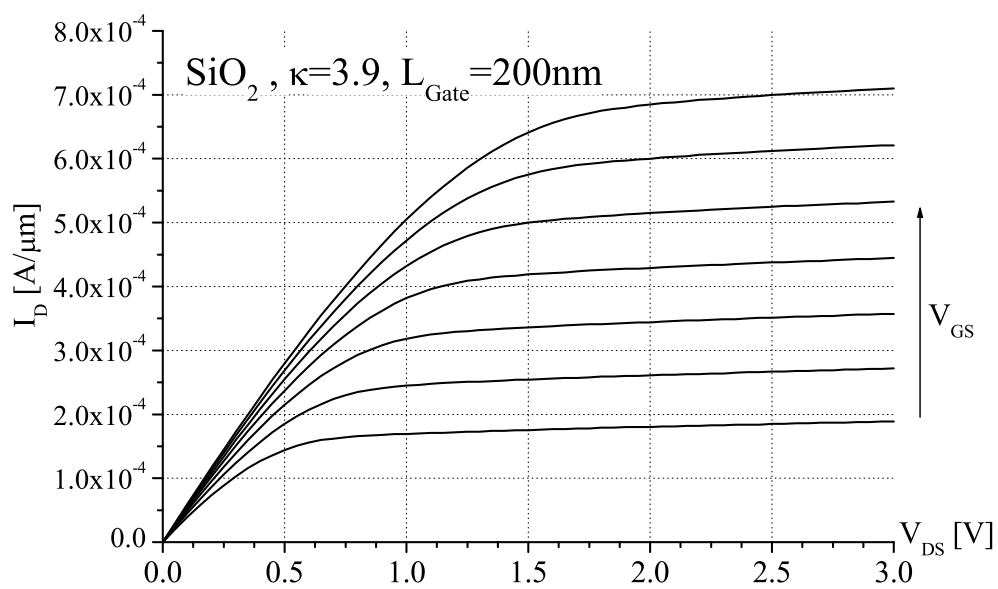
Medici stellt mehrere Modelle zur Verfügung, nach denen die Ladungsträgerbeweglichkeit berechnet werden kann. Ein wichtiger Schritt ist die Kombination von diesen Modellen für die verschiedenen Regionen eines MOSFET. Für das Siliziumsubstrat wird in dieser Arbeit ein analytisches Standardmodell verwendet, das auf empirischen Daten [105] und Fitting-Parametern [106] basiert.

$$\mu_{eff} = \mu_{min} + \frac{\mu_{max} \left( \frac{T}{300} \right)^\nu - \mu_{min}}{1 + \left( \frac{T}{300} \right)^\xi \left( \frac{N(x,y)}{N_{ref}} \right)^\alpha} \quad (4.2)$$

wobei  $\mu_{min}$  und  $\mu_{max}$  die Minimal- und Maximalwerte der Ladungsträgerbeweglichkeit,  $N(x,y)$  die lokale Dotierstoffkonzentration,  $N_{ref}$  eine gegebene Referenzkonzentration und  $T$  die absolute Temperatur bezeichnet.  $\alpha$ ,  $\nu$  und  $\xi$  sind Fitting-Parameter.



(a) Potentialverteilung in einem MOSFET



(b) Ausgangskennlinienschar eines MOSFET

Abb. 4.3: Medici: Simulationsdaten



Um die Region an der Grenzfläche Isolator-Halbleiter im Detail zu beschreiben, werden zusätzliche Oberflächenmodelle erforderlich, die Stoß- und Streueffekte an geladenen Dotierstoffatomen sowie die Rauigkeit der Grenzfläche mit einbeziehen. Durch den vertikalen Anteil des elektrischen Feldes im Kanal werden Stoßprozesse der Inversionsladungsträger mit der Grenzfläche zum Dielektrikum induziert, da das Feld eine Anziehungskraft auf diese Ladungsträger ausübt. Die Beweglichkeit der Ladungsträger wird dadurch verringert, dass durch die Stöße kinetische Energie an das Gitter verloren geht, sowie die insgesamt zurückgelegte Wegstrecke innerhalb des Kanals durch die Umwege verlängert wird. Die Beschaffenheit der Grenzfläche ist dabei von entscheidender Bedeutung.

$$\mu_{s,\perp} = G_{surf} \frac{\mu_{eff} \left(\frac{T}{300}\right)^{-EX_0}}{1 + \left(\frac{E_{eff,\perp}}{E_{ref}}\right)^{EX}} \quad (4.3)$$

wobei  $\mu_{eff}$  die aus dem analytischen Modell berechnete effektive Beweglichkeit darstellt.  $E_{eff,\perp}$  ist der vertikale Feldanteil, der vom Potential der Gateelektrode erzeugt wird,  $E_{ref}$  eine Referenzfeldstärke, der Faktor  $G_{surf}$  ein Maß für Effekte wie Oberflächenrauigkeit der Grenzfläche und Kristallspannungen,  $EX$  und  $EX_0$  sind Fitting-Parameter. Weiterhin wird ein zusätzliches Modell benutzt, um den Effekt der Geschwindigkeitssättigung der Ladungsträger unter dem Einfluss von hohen parallelen elektrischen Feldern zu beschreiben. Der parallele elektrische Feldanteil wird hierbei von der Drain-Source-Spannung hervorgerufen, die die Ladungsträger durch den Kanal treibt. Die Driftgeschwindigkeit der Ladungsträger im Kanal kann jedoch nicht beliebig weit ansteigen und ist durch die Sättigungsgeschwindigkeit nach oben hin begrenzt, weswegen die Beweglichkeit  $\mu_{s,\parallel}$  nicht proportional zum parallelen elektrischen Feld ist wie Gl. 4.4 zeigt.

$$\mu_{s,\parallel} = \frac{\mu_{eff}}{\left[1 + \left(\frac{\mu_{eff} E_{eff,\parallel}}{v_{sat}}\right)^\beta\right]^{\beta-1}} \quad (4.4)$$

mit  $E_{eff,\parallel}$  dem parallelen elektrischen Feld, welches vom Drainpotential verursacht wird,  $v_{sat}$  der Sättigungsgeschwindigkeit [3],  $\mu_{eff}$  der Beweglichkeit bei kleinen elektrischen Feldstärken und einem Fitting-Parameter  $\beta$ .

Wie Tsuprem4 kann auch Medici entweder interaktiv oder über eine Kommandodatei gesteuert werden. Die Kommandodatei ist eine ASCII-Text-Datei, in der die elektrische Simulation Schritt für Schritt durch Kommandos beschrieben wird. Folgend ist eine solche Kommandoliste dargestellt. Zeilen mit vorangestelltem \$-Zeichen sind Kommentarzeilen und werden vom Programm nicht bearbeitet.

Zunächst wird in Zeile 5 ein Simulationsgitter definiert und die Struktur re05.md geladen, die zuvor mit Tsuprem4 erstellt wurde. Hierbei handelt es sich um einen n-Kanal-MOSFET mit einer Gatelänge von  $4\mu\text{m}$  und einer Gateoxiddicke von 5nm. Mit ELEC.BOT wird die Unterseite eine Elektrode gesetzt. Zeile 6 bis 8 benennen die Tsuprem4-Elektroden in die gewohnten Namen der MOSFETs-Anschlüsse um.

Danach wird in Zeile 9 die Dielektrizitätszahl von Region Nummer 4 (Gate-Isolatorschicht) auf den Wert von nitridiertem Siliziumdioxid eingestellt. Mit dem INTERFACE-Kommando werden die Eigenschaften der Grenzfläche Gatedielektrikum-Siliziumsubstrat angepasst. N.ACC steht für eine Grenzflächenzustandsdichte der Akzeptorzustände von, N.DON für die der Donatorzustände und QF gibt die Dichte der Grenzflächenladung an.

**Listing 4.3:** *Synopsis Medici: Basis-Kommandodatei eines 2-dimensionalen MOSFET mit Siliziumdioxid-Dielektrikum*

```

1  $ TMA MEDICI
2  $ Replacement-Gate-MOSFET mit 5nm SiO2-Dielektrikum, Wolframtitanat-Gate, 4
   um Kanallänge
3  $ Idealstruktur nach Chargenbegleitschein
4  $ Definition des Isolatormaterials und des Siliziumsubstrats
5  MESH IN.FILE=re05.md TSUPREM4 ELEC.BOT
6  RENAME ELECTRODE OLDNAME=2 NEWNAME=Source
7  RENAME ELECTRODE OLDNAME=1 NEWNAME=Gate
8  RENAME ELECTRODE OLDNAME=5 NEWNAME=Drain
9  MATERIAL REGION=4 PERMITTI=4.5
10 INTERFACE N.ACC=2.33E12 N.DON=1E10 QF=1E10
11 $ Aluminium=4.1 ; Titan=4.3 ; Wolfram=4.55
12 CONTACT NAME=Gate WORKFUNC=4.55
13 MODELS ANALYTIC SRFMOB FLDMOB CONSRH AUGER BGN
14 MOBILITY GSURFN=0.83
15 SAVE OUT.FILE=BASE.MOD MESH W.MODELS
16 SYMBOLIC CARRIERS=0 NEWTON
17 METHOD DAMPED ITLIMIT=250
18 SOLVE V(Drain)=0 V(Gate)=0 V(Substrate)=0
19 $ Abspeichern der Lösung
20 SAVE OUT.FILE=BASE.SOL

```

Mit CONTACT in Zeile 12 wird die Austrittsarbeit der Gateelektrode auf den Wert von Wolfram gesetzt. Mit MODELS werden die verschiedenen physikalischen Modelle festgelegt, die der Simulator bei der Berechnung verwenden soll. Je mehr Modelle festgelegt werden, umso größer ist der Rechenaufwand. In diesem Fall wurden das analytische Beweglichkeitsmodell ANALYTIC zusammen mit Modellen für die vertikale (SRFMOB) und parallele (FLDMOB) Abhängigkeit vom elektrischen Feld ausgewählt. Statt SRFMOB stehen auch die Modelle SRFMOB2 und UNIMOB zur Verfügung, die ebenfalls den Einfluss des vertikalen elektrischen Feldes beinhalten. CONSRH gibt an, dass der Shockley-Read-Hall Rekombinationsmechanismus mit konzentrationsabhängigen Ladungsträgerlebensdauern mit simuliert wird [104], AUGER schaltet die Berechnung des Auger-Rekombinationsmechanismus ein. Durch BGN wird der Effekt der Bandlückenverkleinerung berücksichtigt.

Mit dem MOBILITY-Befehl in Zeile 14 können alle Parameter, die in den oben beschriebenen Formeln Gl. 4.2, Gl. 4.3 und Gl. 4.4 beschrieben wurden, eingestellt werden. Mit dem Parameter GSURFN wird die Qualität der Grenzfläche eingestellt. Eine Grenzfläche mit GSURFN = 1 beeinflusst die Beweglichkeit der Ladungsträger demnach nicht, Werte von GSURFN < 1 vermindern die Beweglichkeit.

In Zeile 15 wird das Simulationsgitter zusammen mit den spezifizierten Modellen für nachfolgende Simulationen gespeichert.

Zeile 16 bis 18 führen eine Lösung der Poisson-Gl. für die gesamte Struktur ohne von außen angelegte Spannungen durch. Durch SYMBOLIC werden die Arten beweglicher Ladungsträger, sowie die Lösungsmethoden festgelegt. CARRIERS=0 bedeutet hier, dass nur eine statische Lösung ohne bewegliche Ladungsträger und damit ohne Ströme durchgeführt werden soll, NEWTON schaltet die Newton-Iterationsroutine als Problemlöser ein. Mit METHOD werden Parameter angegeben, die vom Löser verwendet werden. ICCG (Incomplete Cholesky Conjugate Gradients) schaltet eine Algorithmusoptimierung zur beschleunigten Lösung von symmetrischen Matrizen zu, DAMPED aktiviert die automatische Dämpfung von Iterationsfehlern nach dem Bank-Rose-Verfahren [107]. ITLIMIT setzt die maximale Anzahl von Iterationen fest, die während eines Iterationsschritts durchgeführt werden. Dies verhindert sehr lange Laufzeiten, falls keine Konvergenz eintritt. Mit SOLVE wird der eigentliche Iterationsvorgang gestartet, alle Spannungen sind hierbei zu 0V angegeben. Zum Schluss wird die errechnete Lösung in eine Ausgabedatei geschrieben, um als Startlösung für nachfolgende Simulationen zu dienen.

**Listing 4.4:** *Synopsys Medici: Kommandodatei zur Bestimmung der Unterschwellenkennlinie eines 2-dimensionalen MOS-FET mit SiO<sub>2</sub>-Dielektrikum*

```

1 MESH IN.FILE=BASE.MOD
2 $ Laden der Lösung
3 LOAD IN.FILE=BASE.SOL
4 SAVE OUT.FILE=TEMP.SOL
5 $ Solve for different Vds (50mV to 350mV) and then ramp gate
6 LOOP STEPS=7
7     ASSIGN NAME=DRNBIAS N.VALUE=.05 DELTA=.05
8     ASSIGN NAME=OUTFIL C1=ST_FIL1 C2=ST_FIL2 C3=ST_FIL3 C4=ST_FIL4 C5=ST_FIL5 C6=ST_FIL6 C7=
      ST_FIL7
9     LOAD IN.FILE=TEMP.SOL
10    SYMBOLIC CARRIERS=0
11    METHOD ICCG DAMPED ITLIMIT=250
12    SOLVE V(Drain)=@DRNBIAS V(Gate)=.5
13    SAVE OUT.FILE=TEMP.SOL
14    SYMBOLIC NEWTON CARRIERS=1 ELECTRONS
15    METHOD ITLIMIT=250
16    LOG OUT.FILE=LOGFIL
17    SOLVE V(Drain)=@DRNBIAS V(Gate)=.5 ELEC=(Gate) VSTEP=.025 NSTEP=80
18    LOG CLOSE
19    PLOT.1D IN.FILE=LOGFIL X.AXIS=V(Gate) Y.AXIS=I(Drain) OUTFILE=@OUTFIL ^ORDER
20 L.END

```

Listing 4.4 zeigt eine Simulation, die typischerweise auf eine Basissimulation folgt, wie sie in Listing 4.3 beschrieben ist. In Zeile 1 wird die vorher gespeicherte Datei mit den Modellinformationen eingelesen, in Zeile 4 die Datei mit der Lösung der Poissongleichung, die sofort als temporäre Lösung in TEMP.SOL zwischengespeichert wird. Zeile 6 definiert eine Programmschleife, die 7 Mal mit veränderter Drainspannung durchlaufen wird. Der Drainspannung werden dazu Werte von 50 bis 350 mV zugewiesen. Den entsprechenden Namen der Ausgangsdateien werden in Zeile 8 festgelegt. Zu Beginn jedes Schleifendurchlaufs wird in Zeile 9 die elektrostatische Lösung vom letzten Durchlauf geladen.

---

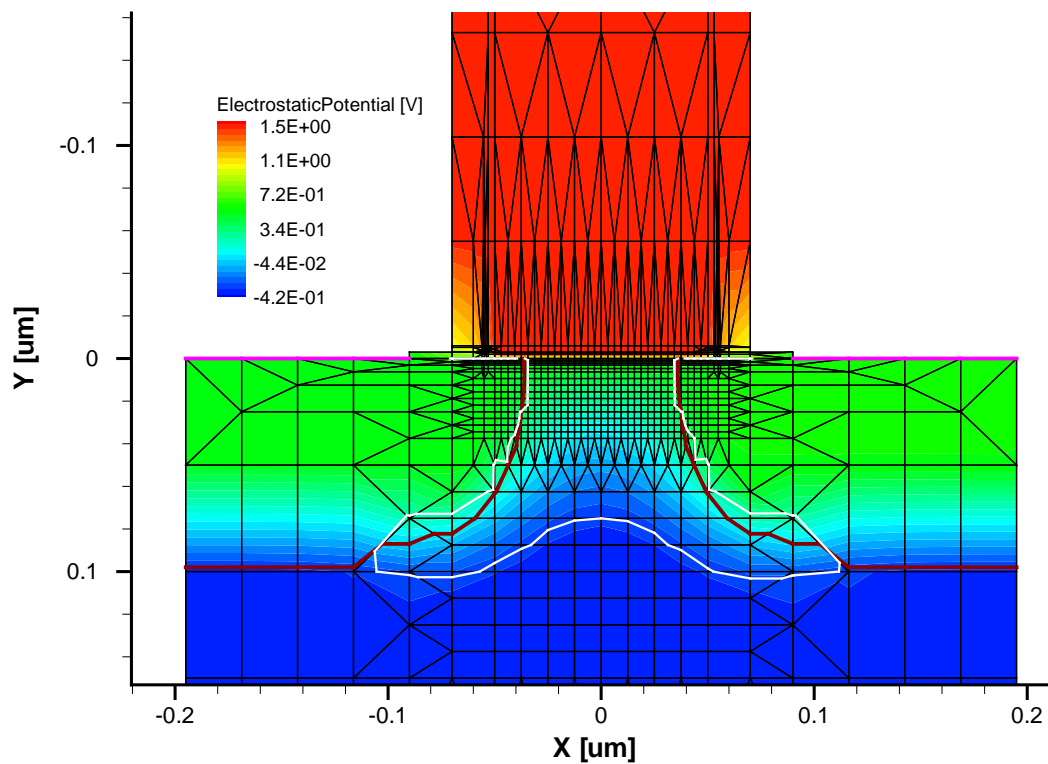
Von Zeile 10 bis 12 wird eine Lösung der Poisson-Gl. für die neue Drainspannung durchgeführt und als neue temporäre Lösung gespeichert. Die Gatespannung wird dabei auf 500mV gehalten.

Nun wird mit dem Befehl SYMBOLIC in Zeile 14 die Art der beweglichen Ladungsträger auf Elektronen gesetzt, da es sich in diesem Fall um einen n-Kanal MOSFET handelt. Würde man zusätzlich Löcher berücksichtigen, würde man CARRIERS=2 setzen. In Zeile 16 wird eine Log-Datei definiert, die die anfallenden Simulationsdaten aufnimmt. In Zeile 21 wird eine Spannungsrampe simuliert, wobei die Gatespannung von 500mV in 25mV-Schritten auf 2.5V durchlaufen wird. Für jeden der 80 Einzelschritte wird die komplette Gittermatrix zur Konvergenz gebracht und damit gelöst. Nach der Simulation wird die Log-Datei geschlossen, um keine Informationen mehr aufzunehmen. Mit dem PLOT.1D-Kommando in Zeile 19 werden die benötigten Daten aus der Log-Datei extrahiert, in diesem Fall ist dies der Drainstrom I(Drain) über der Gatespannung V(Gate). Die Datenpaare werden in die, am Anfang der Schleife definierte Datei geschrieben. L.END in Zeile 20 beendet die Schleife und startet einen erneuten Durchlauf, bis alle Durchläufe, bei jeweils um 50mV steigender Drainspannung, erfolgt sind. Da die TEMP.SOL-Datei dabei in jedem Schleifendurchlauf auf die neue Drainspannung aktualisiert wird und als Startzustand für die Newton-Iteration verwendet wird, erreicht man eine schnellere Konvergenz und damit eine Zeitersparnis.

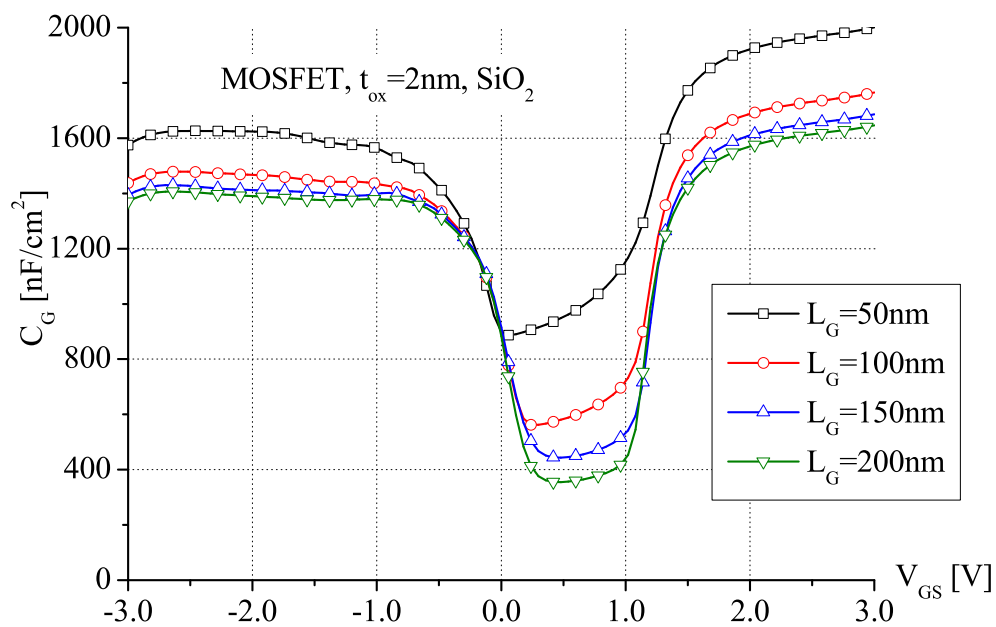
#### 4.3.2 Sentaurus Device

Sentaurus Device ist ein ähnliches elektrisches Simulationsprogramm wie Medici. Der entscheidende Vorteil gegenüber Medici ist die Fähigkeit, 3-dimensionale Strukturen simulieren zu können [108]. Das Programm kann verschiedene Eingangsstrukturen aus Prozesssimulatoren wie Sentaurus Process aber auch Tsuprem4 übernehmen oder von synthetischen Generatoren wie Sentaurus Structure Editor. Es erzeugt dabei ein eigenes Gitternetz über der Struktur, welches dann für die elektrische Simulation verwendet wird.

In Abb. 4.4a ist ein typisches Gitternetz von Sentaurus Device grafisch dargestellt, welches aus einzelnen Polygonen zusammengesetzt ist. An den Gitterpunkten werden physikalische Größen berechnet, zwischen den Gitterpunkten wird linear interpoliert. Im Bereich des aktiven Gebiets sind die Abstände der Gitterpunkte dichter, da dort eine höhere Präzision zur Beschreibung der Vorgänge erforderlich ist. Die Farben stellen das elektrische Potential dar, wobei die Skala von blau (-0.42V) bis rot (1.5V) reicht. 4.4b zeigt eine CV-Kurvenschar, die aus mehreren Sentaurus Device Simulationsdurchläufen gewonnen wurde.



(a) Potentialverteilung in einem MOSFET



(b) flächennormierte CV-Kurve von MOSFETs mit verschiedenen Gatelängen

Abb. 4.4: Sentaurus Device: Simulationsdaten

Die Simulation wird ebenfalls über eine Kommandodatei gesteuert, wie in Listing 4.5 am Beispiel einer Simulation der Ausgangskennlinie gezeigt wird. Der Stern \* kommentiert eine Zeile aus. Einige Kommandobeschreibungen wurden dem Handbuch zu Sentaurus Device [108] entnommen.

**Listing 4.5:** *Sentaurus Device: Ausgangskennlinie eines MOSFET*

```
1  !(
2  if { "@Type@" == "nMOS" } {
3      set SIGN      1.0
4      set EQNS      "Poisson Electron Hole"
5  } else {
6      set SIGN      -1.0
7      set EQNS      "Poisson Electron Hole"
8  }
9  )!
10 File {
11     * input files:
12     Grid=      "@tdr@"
13     Parameter="@parameter@"
14     * output files:
15     Plot=      "@tdrdat@"
16     Current="@plot@"
17     Output=    "@log@"
18 }
19 Electrode {
20     { Name="source"      Voltage=0.0 Resistor=40 }
21     { Name="drain"       Voltage=0.0 Resistor=40 }
22     { Name="gate"        Voltage=0.0 Resistor=40 }
23     { Name="substrate"   Voltage=0.0 Resistor=40 }
24 }
25 Physics{
26     EffectiveIntrinsicDensity( BandGapNarrowing OldSlotboom )
27 }
28 Physics(Material="Silicon"){
29     MLDA
30     Mobility(
31         PhuMob
32         HighFieldSaturation
33         EnormalHigh
34     )
35     Recombination(
36         SRH( DopingDep )
37     )
38     * Piezo(
39         * Model( Mobility( eSubband ) )
40     * )
41 }
42 Physics(MaterialInterface="Silicon/Oxynitride"){
43     Traps(
44         ( FixedCharge EnergyMid=0 Conc=1.0e10 )
45         ( Acceptor EnergyMid=0 Conc=6.4e11 )
46         ( Donor EnergyMid=0 Conc=1.0e10 )
47     )
48 }
```

---

Zeile 1 bis 9 definieren die Variable SIGN, die entweder +1 oder -1 gesetzt wird, je nachdem, welcher MOSFET-Typ vorliegt und die Variable EQNS, die Lösungsparameter enthält. Der Typ des MOSFETs wird über die Variable @Type@ aus einem übergeordneten Programm wie Sentaurus Workbench eingelesen. Alle mit @ begrenzten Variablen werden dem Programm von außen zugeführt.

Die File-Sektion von Zeile 10 bis 18 legt die Eingabedateien und Parameter fest, sowie die Ausgabedateien für berechnete Daten und Aufzeichnungen über den Simulationsverlauf. Die Elektrodendefinition definiert die verwendeten Elektroden, an denen elektrische Signale angelegt oder gemessen werden können. In diesem Fall werden die Anschlüsse für Source, Drain, Gate und Substrat definiert, die Potentiale alle auf 0V festgelegt und die Kontaktwiderstände auf  $40\Omega$  gesetzt.

Die Physik-Sektion gliedert sich in drei verschiedene Einheiten. Der erste Abschnitt in Zeile 25 bis 27 legt die Modelle für die Modellierung der Bandlücke für die gesamte Struktur fest. OldSlotBoom ist ein Modell, das die Verringerung der Bandlücke nach [109–111] beschreibt.

Die zweite Physik-Sektion von Zeile 28 bis 41 gilt nur für das Material Silizium und schaltet weitere Modelle und Modellparameter für die Simulation zu. MLDA bedeutet Modified local-density approximation und ist ein Modell zur Berechnung der Ladungsträgerkonzentrationen speziell in der Nähe der Isolator-Siliziumsubstrat-Grenzfläche nach [112].

In der Mobility-Untersektion werden ähnliche Beweglichkeitsmodelle wie bei Medici eingeschaltet. PhuMob spezifiziert ein Beweglichkeitsmodell welches von [113] bei der Firma Philips entwickelt wurde und welches die Beweglichkeiten der Minoritäts- und Majoritätsladungsträger im Substrat beschreibt. Das Modell beinhaltet Temperaturabhängigkeit, Elektron-Loch-Streuung und den Einfluss von ionisierten Dotierstoffatomen. HighFieldSaturation beschreibt die Geschwindigkeitssättigung der Ladungsträger in Folge des parallelen elektrischen Feldes, welches durch die Drainspannung verursacht wird. EnormalHigh bezieht den Einfluss des vertikalen elektrischen Feldes mit ein, welches von der Gatespannung erzeugt wird. Beide Modelle ähneln den, in Medici benutzten, Modellen. Das Shockley-Read-Hall Rekombinationsmodell wird in der Untersektion für Rekombination aktiviert. Es wird durch die Wahl von DopingDep eine einfache Konzentrationsabhängigkeit der Rekombinationsrate angenommen.

In der Piezo-Untersektion können mechanische Einflüsse eingestellt werden, beispielsweise das eSubband-Modell, welches die Änderung der Ladungsträgerbeweglichkeit aufgrund mechanischen Stresses beschreibt. Da die gesamte Sektion in diesem Beispiel durch \* auskommentiert wurde, werden Piezo-Effekte in der Simulation nicht berücksichtigt.

Die dritte Physik-Sektion legt Modelle und Parameter für die Grenzfläche Silizium-Oxynitrid fest. Mit Traps werden nun drei verschiedene Grenzflächenzustände definiert. FixedCharge gibt die Konzentration der festen Grenzflächenladung in  $\text{cm}^{-2}$  an. Acceptor gibt die Konzentration der Zustände mit Akzeptorcharakter, Donor die Zustandskonzentration mit Donatorcharakter an.

```

49 Plot{
50   *--Density and Currents, etc
51     eDensity hDensity
52     TotalCurrent/Vector eCurrent/Vector hCurrent/Vector
53     eMobility hMobility
54     eVelocity hVelocity
55     eQuasiFermi hQuasiFermi
56   *--Temperature
57     eTemperature Temperature hTemperature
58   *--Fields and charges
59     ElectricField/Vector Potential SpaceCharge
60   *--Doping Profiles
61     Doping DonorConcentration AcceptorConcentration
62   *--Generation/Recombination
63     SRH Band2Band * Auger
64     * AvalancheGeneration eAvalancheGeneration hAvalancheGeneration
65   *--Driving forces
66     eGradQuasiFermi/Vector hGradQuasiFermi/Vector
67     eEparallel hEparallel eENormal hENormal
68   *--Band structure/Composition
69     BandGap
70     BandGapNarrowing
71     Affinity
72     ConductionBand ValenceBand
73     eQuantumPotential hQuantumPotential
74   *--Gate Tunneling
75     * eBarrierTunneling hBarrierTunneling BarrierTunneling
76     * eDirectTunnel hDirectTunnel
77   *--Stresses
78     * StressXX StressXY StressXZ StressYY StressYZ StressZZ
79 }

```

Die Plot-Sektion enthält eine Liste von Parametern, die in die Ausgabedatei geschrieben werden sollen. Die Bedeutung der einzelnen Parameter ist in Tabelle C.1 in Anhang C aufgelistet.

In der Math-Sektion werden von Zeile 80 bis 85, Parameter für den Lösungsalgorithmus gesetzt. Mit dem Argument Extrapolate berechnet der Algorithmus den Startwert der Iteration aus dem zwei vorhergehenden Ergebnissen. NotDamped bezeichnet die Anzahl der Iterationsschritte beim Newton-Verfahren, in denen der Iterationsfehler ansteigen darf, der Parameter Iterations die Gesamtzahl an Iterationen pro Lösung. ExitOnFailure beendet den aktuellen Lösungsvorgang, falls der Algorithmus einen Fehler liefert.

Die Solve-Sektion von Zeile 86 bis 106 führt die eigentlichen Berechnungen aus. Das Kommando Coupled in Zeile 88 aktiviert einen Newton-Algorithmus, der die Poisson-Gl. löst, die Kontinuitätsgleichungen berücksichtigt und thermische und energetische Effekte einrechnet. Die maximale Anzahl an Iterationen pro Lösung wird auf 200 eingestellt, LineSearchDamping aktiviert die automatische Dämpfung von Iterationsfehlern ähnlich dem Bank-Rose-Verfahren [107].



Die Variable EQNS enthält den Wert 'Poisson Electron Hole' weswegen zunächst die Poissongleichung gelöst wird und anschließend eine Lösung unter Berücksichtigung von Elektronen und Löchern berechnet wird.

*Sentaurus Device: Ausgangskennlinie eines MOSFET*

```
80 Math {
81   Extrapolate
82   Notdamped=50
83   Iterations=200
84   ExitOnFailure
85 }
86 Solve {
87   *- Creating initial guess:
88   Coupled(Iterations=200 LineSearchDamping=1e-4){ Poisson }
89   Coupled { !(puts $EQNS)! }
90   *- Ramp to gate to Vg
91   Quasistationary(
92     InitialStep=1e-1 Increment=1.35
93     MinStep=1e-5 MaxStep=0.5
94     Goal { Name="gate" Voltage=!(puts [expr (@Vtgm@+@Vgseff@)])! }
95   ){ Coupled { !(puts $EQNS)! } }
96   *- Vd sweep
97   NewCurrentFile="IdVd_"
98   Quasistationary(
99     DoZero
100    InitialStep=1e-3 Increment=1.35
101    MinStep=1e-5 MaxStep=0.05
102    Goal { Name="drain" Voltage=!(puts [expr (@Vtgm@+$SIGN*2)])! }
103  ){ Coupled { !(puts $EQNS)! }
104    CurrentPlot( Time=(Range=(0 1) Intervals=100) )
105  }
106 }
```

Mit dem Quasistationary-Kommando von Zeile 91 bis 95 wird eine Spannungsrampe gestartet, die die finale Lösung über Zwischenlösungen berechnet, wobei die vorherige Lösung jeweils als Startwert der aktuellen Lösung verwendet wird. Dies verbessert die Konvergenz deutlich, vor allem, wenn sich die Randbedingungen, wie z.B. Gatespannung stark ändern sollen. InitialStep legt die Schrittweite am Anfang fest, Increment den Steigerungsfaktor der Schrittweite, MinStep die minimale und MaxStep die maximale Schrittweite. Goal definiert das Ziel der Simulation, die Gatespannung soll auf den Wert (@Vtgm@+@Vgseff@) verändert werden. Mit Coupled wird die Simulation gestartet. Nach der Einstellung der Gatespannung wird nun von Zeile 97 bis 106 eine Ausgangskennlinie aufgenommen. Dazu wird mit NewCurrentFile eine Ausgabedatei erstellt, die Simulationsdaten aufnehmen soll. Mit DoZero in Zeile 99 wird eine Startlösung generiert, die dann von der nachfolgenden Simulation der Drainspannungsrampe verwendet wird. Die Simulation ist schematisch die Gleiche wie zuvor bei der Gatespannungsrampe, mit dem Unterschied, dass nun die Schritte, bei denen Lösungen gespeichert werden sollen, fest angegeben werden. Dies geschieht in Zeile 104 mit dem Kommando CurrentPlot, welches die gesamte Spannungsrampe in 100 Intervalle unterteilt und für jeden Schritt eine Lösung aller in der Plot-Sektion angegebenen Parameter abspeichert.

## 4.4 Analyseprogramme

Analyseprogramme sind Programme zum Extrahieren der durch Prozess- oder elektrischer Simulation erlangten Daten. Da die Simulationsprogramme eine sehr große Anzahl an Datensätzen unterschiedlicher Parameter generieren, benötigt man ein Programm, mit dem man aus diesen Parametern auswählen und Kurven zusammenstellen und normieren kann.

### 4.4.1 Taurus Visual

Taurus Visual gehört zum Programmpaket um Tsuprem4 und Medici, kann aber auch Daten andere Programme verarbeiten. Es dient zur Anzeige von 2-dimensionalen Strukturen [114]. Es ist möglich, das Gitternetz einer Struktur einzublenden oder auch Parameter wie Dotierstoffkonzentrationen farblich auf der Struktur abzubilden, wie Abb. 4.5 am Beispiel eines n-Kanal MOSFET zeigt, bei dem die Konzentration der aktiven Phosphoratome und das Gitter dargestellt ist. Von der Struktur kann an beliebigen Stellen ein Querschnitt erstellt werden, der dann einen 1-dimensionalen Verlauf des ausgewählten Parameters über den Querschnitt darstellt. Abb. 4.6 zeigt die aktive Phosphorkonzentration entlang eines Querschnitts knapp unterhalb der Siliziumdioxid-Silizium-Grenzfläche.

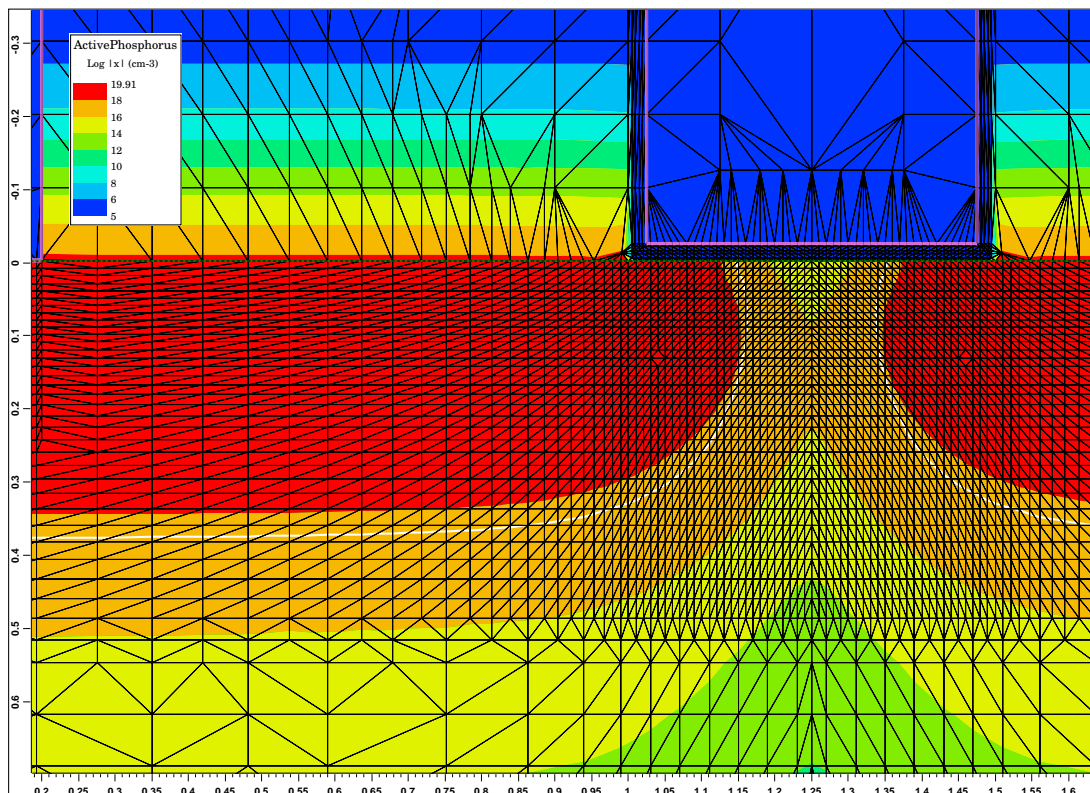


Abb. 4.5: Technisches Visualisierungsprogramm Taurus Visual: aktive Phosphorkonzentration in einem MOSFET

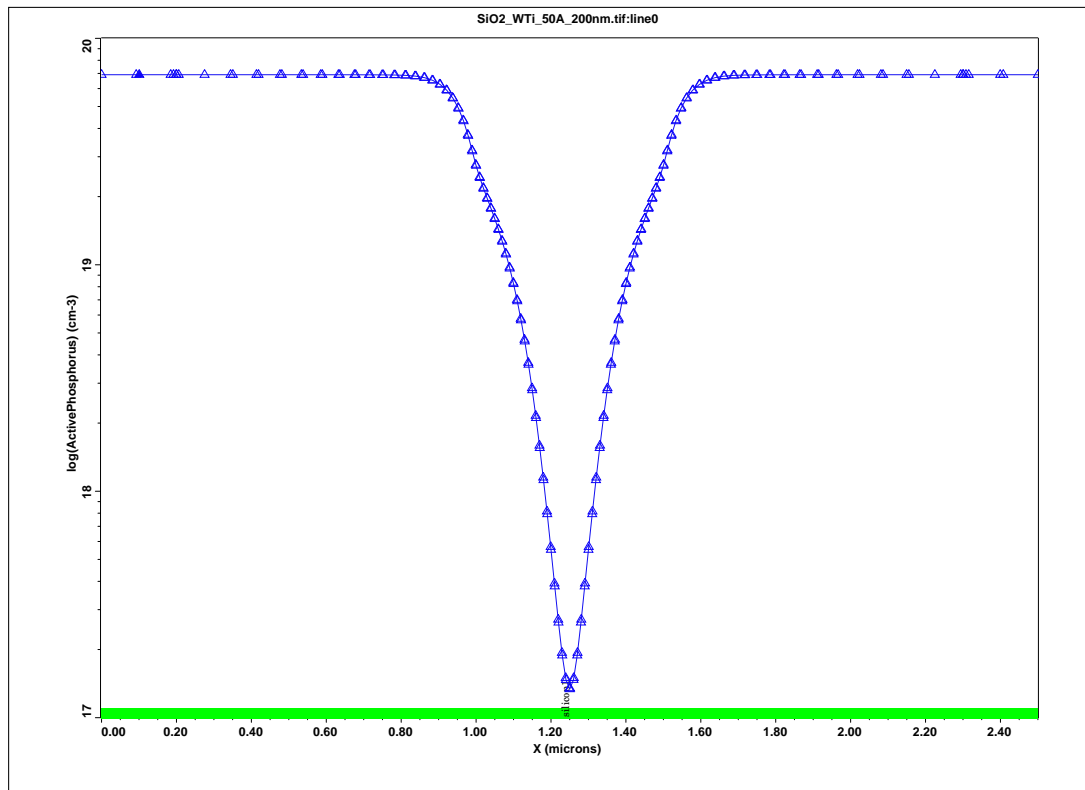


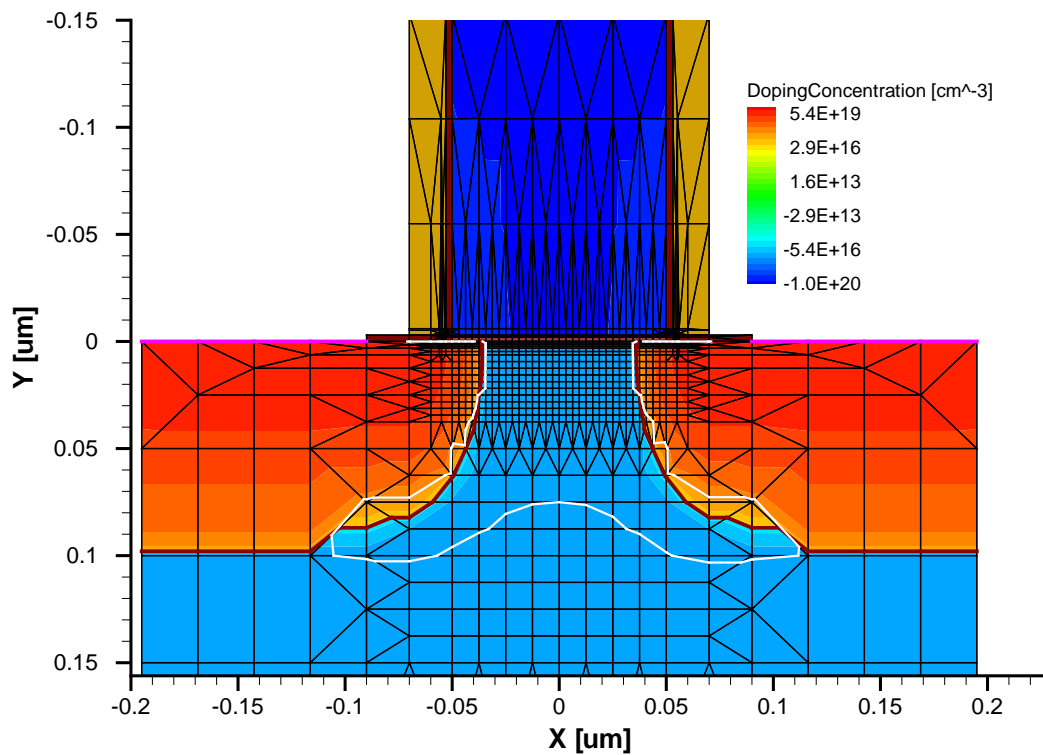
Abb. 4.6: Technisches Visualisierungsprogramm Taurus Visual: Verlauf der Phosphorkonzentration von Source nach Drain

#### 4.4.2 Tecplot

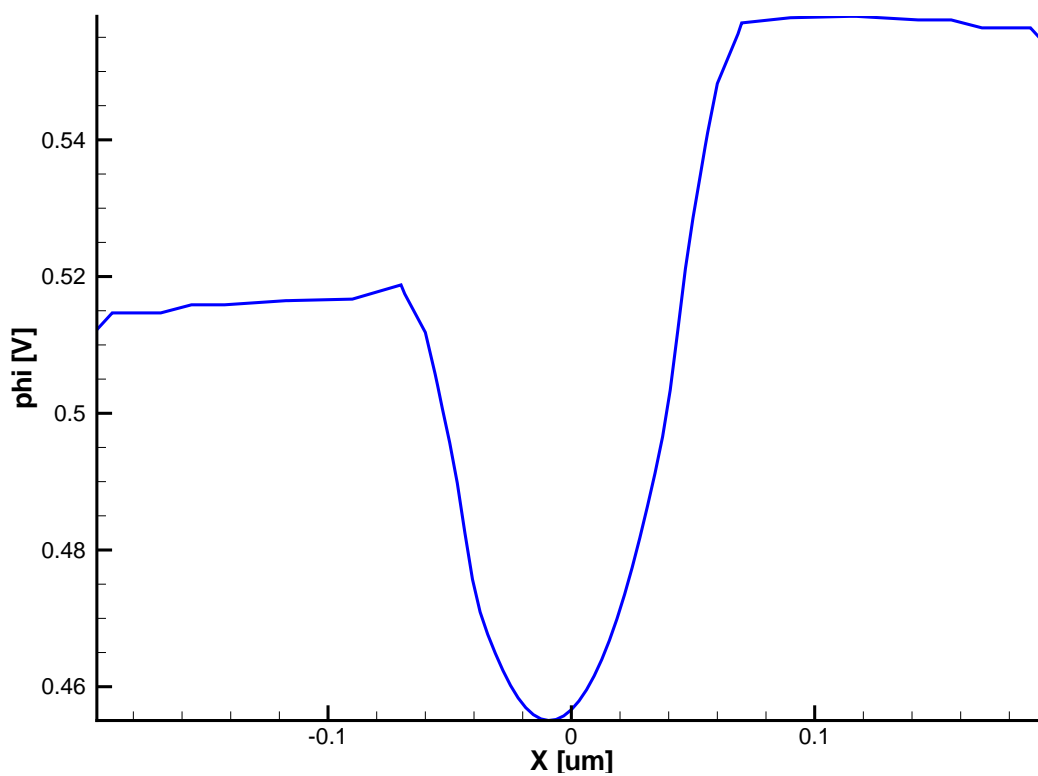
Tecplot ist ein ähnliches Programm wie Taurus Visual, das zur Anzeige von technischen Daten einer simulierten Struktur dient [115]. Abb. 4.7a zeigt eine 2-dimensionale Dotierstoffverteilung eines MOSFETs, wobei die Farbgebung die Dotierstoffkonzentration von blau ( $-1.0 \cdot 10^{20}$ , p-Dotierung) bis rot ( $5.4 \cdot 10^{19}$ , n-Dotierung) angibt.

Abb. 4.7b den Potentialverlauf bei einer Drainspannung von  $V_{DS} = 50\text{mV}$  über einem Querschnitt von Source nach Drain in einer Tiefe von 2nm unterhalb der Grenzfläche Oxid-Silizium. Die Einteilung der x-Achse ist die gleiche wie in Abb. 4.7a. Das Potential verläuft von 0.51V an Source über 0.46V in der Mitte des Kanalgebiets bis 0.55V bei Drain.

Alle Parameter, die bei Sentaurus Process oder Sentaurus Device in der Plot-Sektion zur Ausgabe gewählt werden, können mit Tecplot dargestellt werden. Es können in allen Raumrichtungen 2- oder 1-dimensionale Schnitte gemacht werden, um Parameter entlang dieser Schnitte zu betrachten.



(a) Dotierstoffkonzentration in einem MOSFET



(b) Potentialverlauf von Source nach Drain

Abb. 4.7: Technisches Visualisierungsprogramm Tecplot

---

### 4.4.3 Inspect

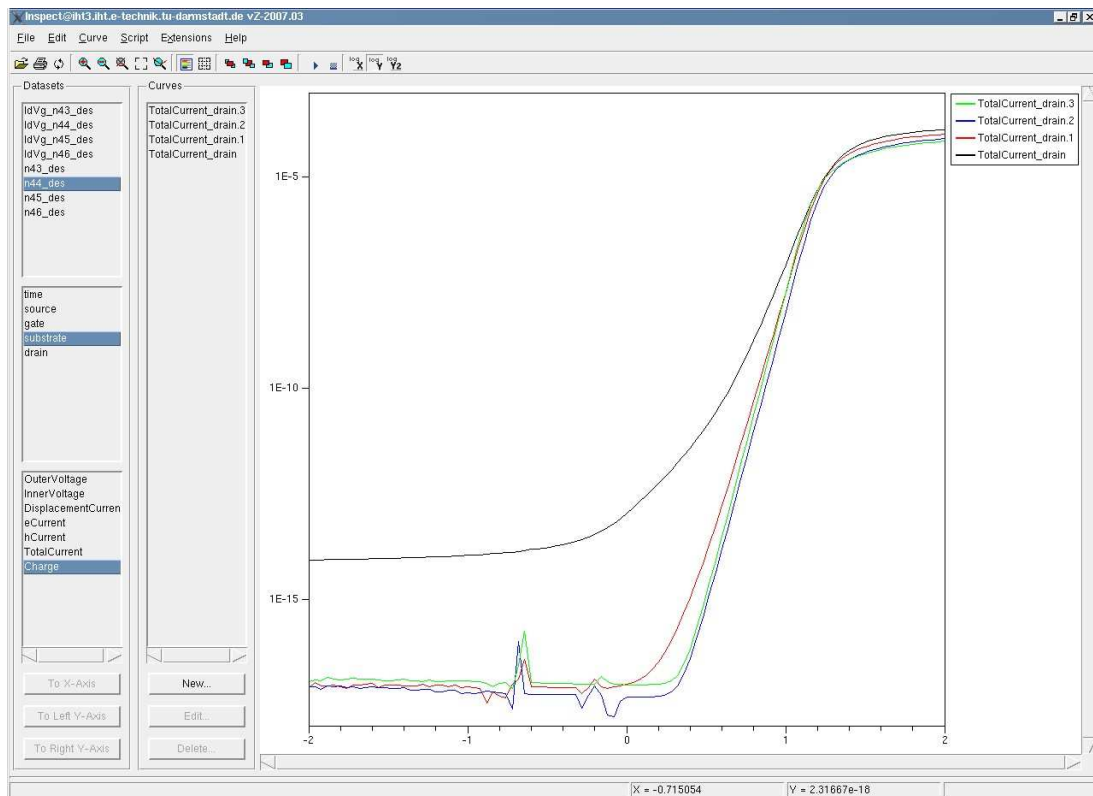
Inspect ist ein Analyseprogramm, mit dem manuelle und automatisierte Parameterextraktionen durchgeführt werden können [116]. Es eignet sich daher sehr gut zur Verwendung in Sentaurus Workbench, welches die entsprechenden Datensätze und Parameter an das Programm weiterreicht. Nach der Parameterextraktion gibt das Programm die berechneten Parameter an Sentaurus Workbench, wo diese als Datensatz in der Tabelle angezeigt werden. Selbstverständlich kann man Inspect auch zur einfachen Darstellung von Kurven verwenden, um diese manuell zu bearbeiten wie in Abb. 4.8 dargestellt.

Listing 4.6 zeigt eine Kommando-Datei einer automatisierten Parameterextraktion zweier Eingangskennlinien zur Bestimmung des DIBL-Effekts. Das Zeichen # kommentiert eine Zeile aus.

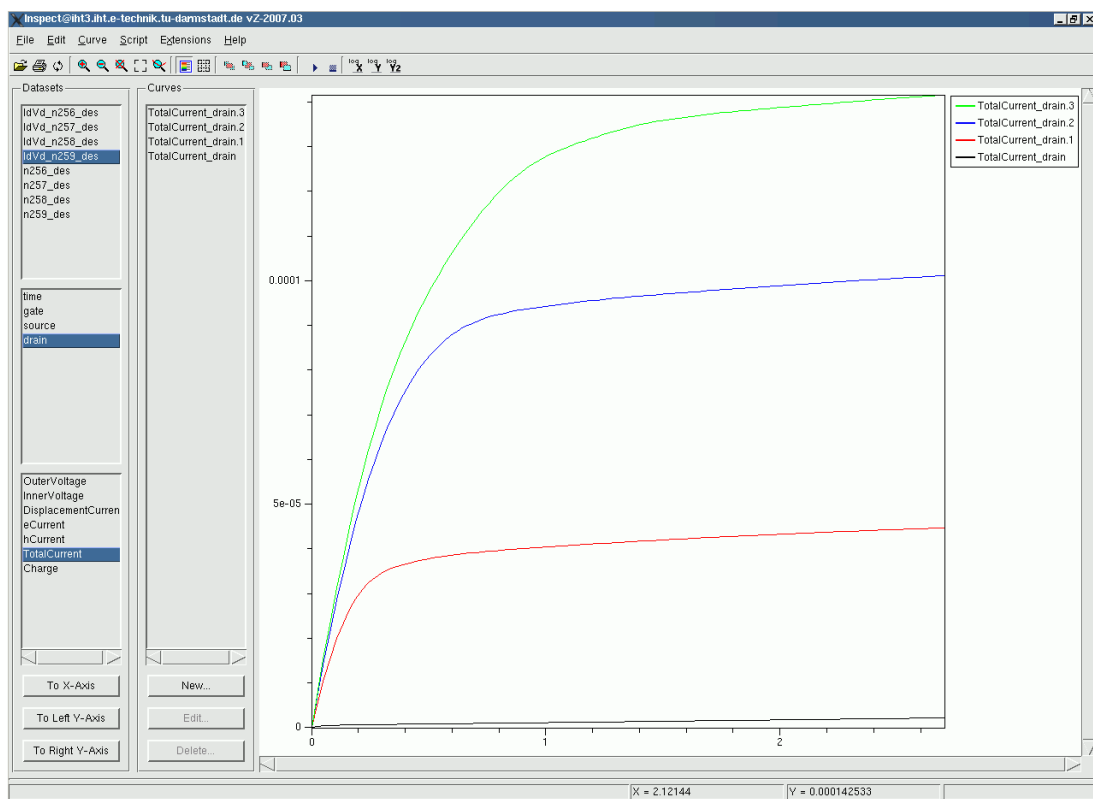
**Listing 4.6:** *Inspect: Parameterextraktion aus Eingangskennlinie eines MOSFET*

```
1 #-----#
2 #set DIBL x
3 set N @node@
4 set Lg @Lgate@
5 set Wg @Wgate@
6 set Vg @Vgs@
7 set Vds @Vds@
8 set Type @Type@
9 puts "Gate Length: $Lg um"
10 set ID "$Type"
11 set N ${Type}_${N}
12 #- Automatic alternating color assignment tied to node index
13 #-----#
14 set COLORS [list green blue red orange magenta violet brown]
15 set NCOLORS [llength $COLORS]
16 set color [lindex $COLORS [expr $i\%$NCOLORS]]
```

Von Zeile 3 bis 12 werden Variablen aus der Tabelle von Sentaurus Workbench eingelesen. Dabei sind Variablen, die von außerhalb des Programms kommen durch @ eingeschlossen. node gibt die Nummer des Tabellenfeldes zurück, bei der sich das Inspectmodul bei Sentaurus Workbench befindet. Lgate ist die Gatelänge, Wgate die Gateweite, Vgs die Gatespannung, Vds die Drainspannung und Type enthält entweder pMOS oder nMOS. Aus Type und node wird in Zeile 12 das Prefix der Eingabe- und Ausgabedateien generiert. Die Zeilen 14 bis 16 stellen Farbschemen ein, die allerdings nur bei einer Anzeige der Kurven gebraucht werden, was bei der automatisierten Durchführung nicht der Fall ist.



(a) *Unterschwellen-Kennlinien eines MOSFET*



(b) *Ausgangs-Kennlinien eines MOSFET*

Abb. 4.8: Analyseprogramm Inspect

#### *Inspect: Parameterextraktion aus Eingangskennlinie eines MOSFET*

```
17 #- INSPECT IdVg plotting
18 #-----#
19 # Plotting Id vs Vg curves
20 gr_setTitleAttr "IdVg Lg=$Lg Vds=$Vds"
21 proj_load IdVg_lin@plot@ PLT_LIN($N)
22 proj_load IdVg_sat@plot@ PLT_SAT($N)
23 cv_createDS IdVg_lin($N) \
24   "PLT_LIN($N) gate OuterVoltage" "PLT_LIN($N) drain TotalCurrent" y
25 cv_createDS IdVg_sat($N) \
26   "PLT_SAT($N) gate OuterVoltage" "PLT_SAT($N) drain TotalCurrent" y
27 cv_abs IdVg_lin($N) y
28 cv_abs IdVg_sat($N) y
29 cv_setCurveAttr IdVg_lin($N) "IdVg_lin $ID" \
30   $color solid 2 none 3 defcolor 1 defcolor
31 cv_setCurveAttr IdVg_sat($N) "IdVg_sat $ID" \
32   $color solid 2 none 3 defcolor 1 defcolor
33 gr_setAxisAttr X {Gate Voltage (V)} 16 {} {} black 1 14 0 5 0
34 gr_setAxisAttr Y {Drain Current (A/um)} 16 {} {} black 1 14 0 5 1
35 macro_define NORM { <c 1> * <s 2> }
36 cv_createWithFormula IdVg_lin "NORM(<IdVg_lin($N)>, 1)" A A A A
37 cv_createWithFormula IdVg_sat "NORM(<IdVg_sat($N)>, 1)" A A A A
38 cv_write txt DIBL_Lgate@Lgate@_lin.txt IdVg_lin
39 cv_write txt DIBL_Lgate@Lgate@_sat.txt IdVg_sat
```

In Zeile 20 wird mit `gr_setTitleAttr` ein Diagrammtitel generiert, welcher ebenfalls nur für die manuelle Verarbeitung interessant ist. Danach werden mit `proj_load` in Zeile 21 zunächst die Datensätze der Eingangskennlinien für den linearen Fall und in Zeile 22 für den Sättigungsfall geladen und in den Datenfeldern `PLT_LIN($N)` und `PLT_SAT($)` zwischengespeichert. Beide Datensätze wurden zuvor von Sentauros Device berechnet und unter den angegebenen Namen gespeichert. Aus diesen Datensätzen werden nun von Zeile 23 bis 26 mit dem Befehl `cv_createDS` Strom-Spannungs-Kurven erzeugt. Mit dem nachfolgenden Kommando `cv_abs` wird der Absolutwert von beiden Kurven gebildet, um die Rechnung zu vereinheitlichen. Mit `cv_setCurveAttr` werden Kurvenparameter für die Anzeige der Kurven gesetzt, `gr_setAxisAttr` setzt Achsenbeschriftungen, die aber ebenfalls nur für die manuelle Bearbeitung notwendig sind. Das Makro `NORM`, das in Zeile 35 definiert wird, wird verwendet, um Ströme, die in Ampere angegeben sind auf Ampere/ $\mu\text{m}$  zu normieren, damit Bauelemente miteinander verglichen werden können. Dies wird in Zeile 36 und 37 getan. Da es sich hier um eine 2-dimensionale Simulation handelt, die die Ströme schon in Ampere/ $\mu\text{m}$  ausgibt, ist der Normierungsfaktor hier 1. `cv_write` in den nächsten beiden Zeilen schreibt die so bearbeiteten Kennlinien als Tab-getrennte ASCII-Tabellen in Ausgabedateien, die für spätere Bearbeitung mit anderen Anzeigeprogrammen wie Origin benötigt werden.

Die eigentliche Parameterextraktion startet mit der Erzeugung einer halblogarithmischen Darstellung der Sättigungskennlinie mit dem Kommando `cv_log10Scale` in Zeile 41. Zunächst wird die Ableitung der Kurve mit `diff(<LOG>)` berechnet und mit `vecmax` die maximale Steigung der Ableitung bestimmt. Mit `vecvalx` wird dann der x-Wert bestimmt (eine Spannung), bei der die maximale Steigung erreicht wird.

Diese drei Berechnungen sind in Zeile 42 in einer Kommandoeinheit verschachtelt worden. Nun wird in Zeile 43 der Stromwert  $I_o$  bestimmt, der bei der vorher bestimmten Spannung auftritt.  $I_o$  soll später die Stelle sein, bei der die beiden Kurven miteinander verglichen werden. Deswegen wird in den Zeilen 44 bis 46 ein Abgleich durchgeführt, der sicherstellt, dass sich diese Vergleichsstelle nicht bei zu kleinen Strömen befindet, die eventuell verrauscht sein könnten.

*Inspect: Parameterextraktion aus Eingangskennlinie eines MOSFET*

```

40 #- Extraction
41 cv_log10Scale IdVg_sat LOG y
42 set Slope_x [cv_compute "vecvalx(diff(<LOG>),vecmax(diff(<LOG>)))" A A A A]
43 set Io [cv_compute "vecvaly(<IdVg_sat>,$Slope_x)" A A A A]
44 set Imin [cv_compute "vecmin(<IdVg_sat>)" A A A A]
45 if { $Io < 1e-12 } { set Io 1e-12 }
46 if { $Io < $Imin } { set Io $Imin }
47 set Vti_lin [cv_compute "vecvalx(<IdVg_lin>,$Io*1.01)" A A A A]
48 set Vti_sat [cv_compute "vecvalx(<IdVg_sat>,$Io*1.01)" A A A A]
49 if { $Type == "nMOS" } {
50     set SIGN 1.0
51 } else {
52     set SIGN -1.0
53 }
54 cv_create Vd_lin "PLT_LIN($N) gate OuterVoltage" \
55     "PLT_LIN($N) drain OuterVoltage" y
56 set Vd_lin [cv_compute "vecvaly(<Vd_lin>,$SIGN*1e-4)" A A A A]
57 cv_create Vd_sat "PLT_SAT($N) gate OuterVoltage" \
58     "PLT_SAT($N) drain OuterVoltage" y
59 set Vd_sat [cv_compute "vecvaly(<Vd_sat>,$SIGN*1e-4)" A A A A]
60 set DIBL [expr 1000*($Vti_lin-($Vti_sat))/($Vd_sat-($Vd_lin))]
61 puts "DIBL: [format %.0f $DIBL] mV/V"
62 puts "Io: [format %.3e $Io]"
63 puts "Slope_x: [format %.3e $Slope_x]"
64 puts "Imin: [format %.3e $Imin]"
65 puts "Vti_lin: [format %.3f $Vti_lin]"
66 puts "Vti_sat: [format %.3f $Vti_sat]"
67 ft_scalar DIBL [format %.0f $DIBL]

```

In Zeile 47 und 48 werden dann die Spannungen an der Stelle  $I_o$  aus der linearen und der Sättigungskurve bestimmt. Es folgt eine Überprüfung des MOSFET-Typs, welche das Vorzeichen entsprechend pMOS oder nMOS setzt. Die Zeilen 54 bis 59 dienen dazu, die jeweiligen Drainspannungen zu ermitteln. Da diese in den bisher erzeugten Kurven nicht enthalten sind, müssen neue Kurven erzeugt werden und die Drainspannungen ausgelesen werden. In Zeile 60 wird der DIBL-Wert aus den zuvor bestimmten Spannungen berechnet und auf die Einheit mV/V normiert. Die Zeilen 61 bis 66 dienen der Ausgabe der berechneten Größen in die Ausgabedatei von Inspect, welche nur zur Kontrolle verwendet wird. Zeile 67 erzeugt schließlich mit dem Befehl `ft_scalar` den Eintrag des DIBL-Werts in die Tabelle von Sentaurus Workbench.



---

## 4.5 Simulationsmanagement mit Sentaurus Workbench

Sentaurus Workbench ist eine Programmumgebung, in der Simulationsprojekte tabellarisch organisiert werden können [117]. Es Simulationsprogramme wie Prozesssimulatoren, Programme zur elektrischen Simulation und Auswerteprogramme können hintereinander geschaltet werden und werden durch Sentaurus Workbench miteinander verknüpft, indem es Datenvermittler zwischen den Programmen fungiert. Abb. 4.9a zeigt ein Projekt bestehend aus einer Strukturzeugung eines MOSFETs mittels Sentaurus Structure Editor, einer nachfolgenden elektrischen Simulation durch Sentaurus Device und einer Auswertung der Eingangskennlinien durch Inspect. Weiter folgen eine zweite Device-Simulation und Parameterextraktion durch Inspect zur Bestimmung des DIBL-Werts und eine dritte Simulationseinheit zur Berechnung der Ausgangscharakteristik des MOSFETs. In Abb. 4.9b ist eine Auflistung der mit Inspect extrahierten Parameter zu sehen, die für jede Struktur berechnet wurden.

Der zusätzliche Aufwand zur Erzeugung der Tabelle und die Einordnung und Parametrisierung der einzelnen Simulationsprogramme wird durch den großen Vorteil der Automatisierung aufgewogen. Ist die Umgebung einmal erstellt, lassen sich sehr schnell veränderte oder zusätzliche Bauelement-Parameter hinzufügen, die für die Erzeugung verwendet werden sollen.

Sentaurus Workbench bietet eine komplette Verwaltung aller Simulationsprogramme und deren Kommando- und Parameterdateien, sowie eine Schnittstelle zwischen den Programmen. Dadurch ist es möglich, sehr aufwändige Projekte unbeaufsichtigt ablaufen zu lassen. Es ist nicht nötig, auf das Ende der Prozesssimulation zu warten und dann manuell die elektrische Simulation zu starten, was gerade bei langen Simulationszeiten einen nicht vertretbaren Aufwand darstellt. Die parametrisierte Darstellung stellt ein Werkzeug dar, mit welchem sich Simulationen über große Parameterbereiche abdecken lassen, aus denen dann die interessanten Fälle bequem über die tabellarische Darstellung der Ausgabewerte gewählt werden können, um spezifischere Simulationen durchzuführen.

Table (a) displays simulation results for various parameters across multiple runs. The parameters include ImpAng, Vgs, Vds, Vtgm, gm, SS, Idmax, Iratio, DIBL, and Ron. The table is organized into columns for each parameter, with rows representing individual simulation runs. Some cells are highlighted in yellow, indicating specific data points of interest.

(a) Tabelle mit eingefügten Simulationsprogrammen und Eingabevariablen

Table (b) displays extracted component parameters for various simulation runs. The parameters include Type, Lgate, Wgate, Lspc1, Lspc2, Hins, Hepi, EpiDope, SubDope, GateWork, SDDope, LDDope, ImpAng, Vgs, and Vds. The table is organized into columns for each parameter, with rows representing individual simulation runs. Some cells are highlighted in yellow, indicating specific data points of interest.

(b) Tabelle mit extrahierten Bauelementparametern

Abb. 4.9: Sentaurus Workbench

---

## 5 Simulationsergebnisse Gate-First MOSFET-Strukturen

---

### 5.1 Kalibrierung der Simulation

Mit den, aus elektrischen Messungen gewonnen, Daten konnten erste Simulationsläufe durchgeführt werden. Die Simulationsergebnisse wurden dazu mit den tatsächlichen Kennlinien verglichen und die Modell-Parameter entsprechend angepasst, um eine bessere Näherung zu erreichen. Dieser Prozess umfasste meist mehrere Durchläufe erneuten Anpassens bis eine zufriedenstellende Genauigkeit erreicht war. Der Simulator wurde also von seinen idealen Anfangsbedingungen auf die realen physikalischen Bedingungen des Bauelements kalibriert.

### 5.2 MOSFETs mit $\text{Pr}_2\text{O}_3$ -Dielektrikum und Poly-Siliziumgate

Zunächst werden Messergebnisse von Gate-First-MOSFETs mit high- $\kappa$  Dielektrikum vorgestellt, um später einen Vergleich mit den Bauelementen zu haben, die in Gate-Last-Technik hergestellt wurden. Zur Erzeugung dieser Gate-First-MOSFETs wurde ein leicht modifizierter Standard-CMOS-Prozess eingesetzt, bei dem die Abscheidung des kristallinen Gate-Dielektrikums mit Molekularstrahlepitaxie durchgeführt wurde. Als Material wurde Praseodymoxid ( $\text{Pr}_2\text{O}_3$ ) verwendet, welches nach [80] einen  $\kappa$ -Wert von 36 aufweisen soll, nach den, am IHT durchgeführten, Messungen aber einen Wert von etwa 30 besitzt. Dies ist einerseits dadurch begründbar, dass die Dielektrizitätskonstante nicht nur durch das Material selbst, sondern auch von der Beschaffenheit der Elektrodenmaterialien abhängt, die in diesem Fall aus schwach dotiertem Siliziumsubstrat und einem hoch-dotierten Polysiliziumgate bestehen. Das Dielektrikum, welches in einen Gatestack eingebaut ist, wird also von den Elektroden beeinflusst und verhält sich elektrisch anders als das Material, welches nicht von anderen Materialien kontaktiert wird. Andererseits wurde der  $\kappa$ -Wert von 36 direkt nach der Abscheidung des  $\text{Pr}_2\text{O}_3$  auf den Siliziumwafer gemessen, während die elektrischen Messungen am fertigen Bauelement durchgeführt wurden, bei dem das  $\text{Pr}_2\text{O}_3$  schon mehrere Hochtemperaturschritten des Gate-First-Prozesses durchlaufen hatte und dadurch möglicherweise strukturell verändert wurde.

In Abb. 5.1 sind Kanalleitwerte über der Gatespannung aufgetragen, die mit Gl. 3.1 aus den Eingangskennlinien von n-Kanal MOSFETs berechnet wurden. Im Bild wird die gemessene Kennlinie mit zwei simulierten Kennlinien mit stark unterschiedlichen Grenzflächenzustandsdichten verglichen. Aus den Kennlinien der Kanalleitwerte wurden mit Gl. 3.4 die effektiven Beweglichkeiten und mit Gl. 3.2 die Einsatzspannungen bestimmt.

Um die Simulation der Messung möglichst optimal anzugleichen, war die erste Bestrebung die Anpassung der Unterschwellensteilheit an den gemessenen Verlauf. Für die Simulation wurde eine Dielektrizitätszahl für  $\text{Pr}_2\text{O}_3$  von  $\kappa = 30$  angenommen. Da die Unterschwellensteilheit maßgeblich von der Dichte der Grenzflächenzustände abhängt, kann die Steigung der simulierten Kennlinie durch Verändern dieser Dichte mit der Steigung der gemessenen Kennlinie in Übereinstimmung gebracht werden. Dies ist in Abb. 5.2 zu sehen, wo die Unterschwellensteilheit der idealen Simulationskennlinie einen guten Wert von  $S = 72\text{mV/V}$  aufweist und durch Erhöhen der Grenzflächenzustandsdichte auf  $N_{\text{it}} = 10^{13}\text{cm}^{-3}$  auf  $S = 235\text{mV/V}$  verschlechtert wird.

Die Messung zeigt eine sehr niedrige Elektronenbeweglichkeit von nur  $\mu_{\text{eff}} = 40\text{cm}^2/\text{Vs}$ . Die simulierte Kurve mit niedriger Grenzflächenzustandsdichte weist einen um Faktor 5.5 höheren Wert von  $220\text{cm}^2/\text{Vs}$  auf.

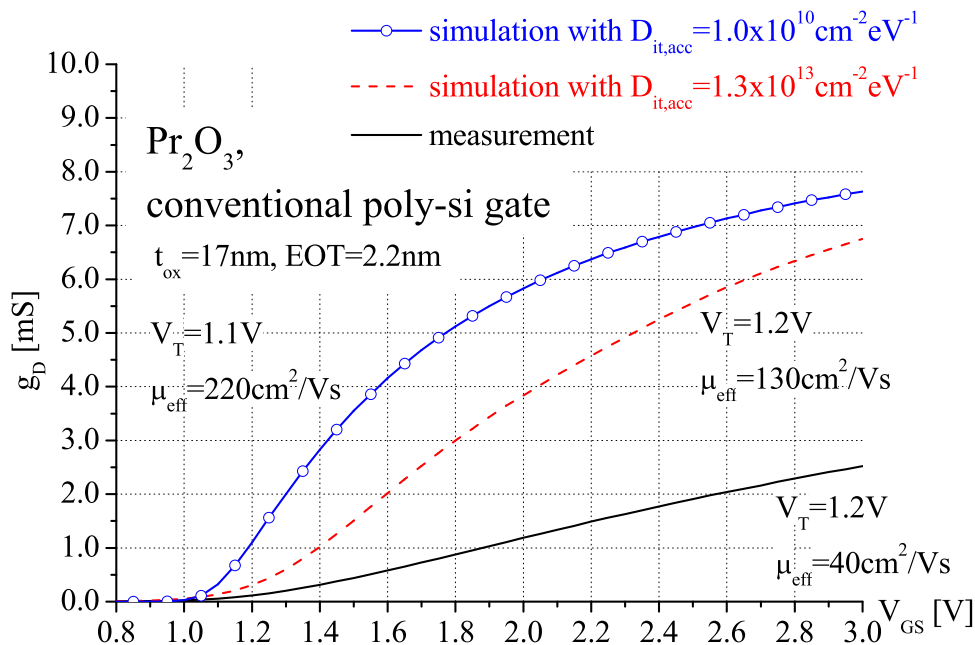


Abb. 5.1: n-MOSFET mit  $\text{Pr}_2\text{O}_3$ -Dielektrikum und Polysilizium-Gateelektrode, Gatelänge  $L_G = 4\mu\text{m}$

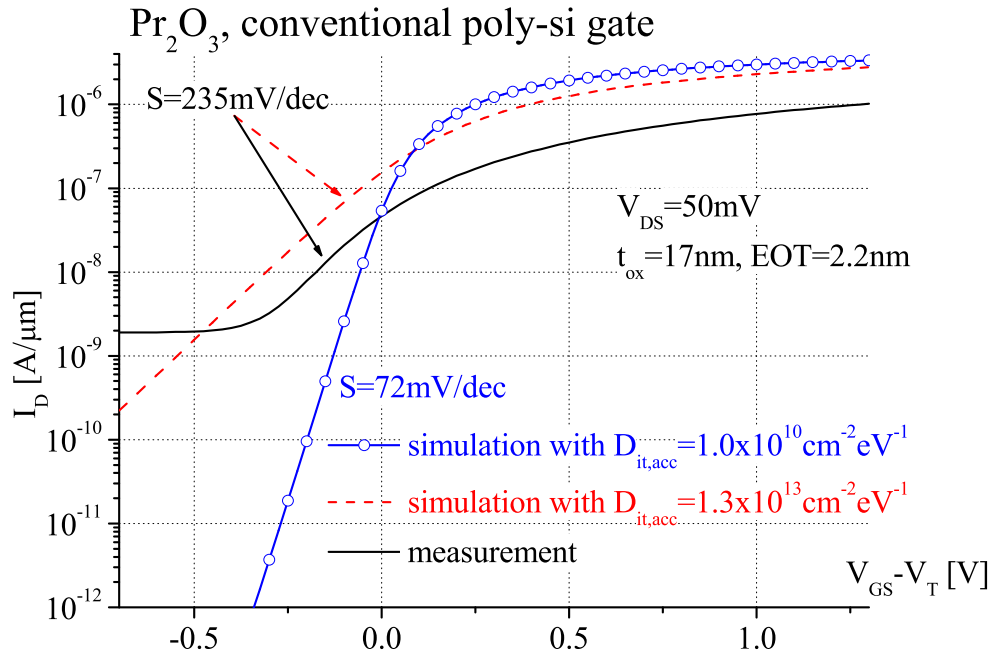


Abb. 5.2: Vergleich der Unterschwellencharakteristiken

Selbst wenn in der Simulation eine sehr hohe Grenzflächenzustandsdichte von  $N_{it} = 10^{13} \text{ cm}^{-3}$  angenommen wird, ergibt sich eine immer noch um den Faktor 3.25 höhere Beweglichkeit von  $130 \text{ cm}^2/\text{Vs}$ . Dies deutet darauf hin, dass die Ladungsträgerbeweglichkeit im  $\text{Pr}_2\text{O}_3$ -Bauelement durch die Beschaffenheit der Grenzfläche weiter gesenkt wird. Mit dem Parameter  $G_{surf}$  aus Gl. 4.3 kann die simulierte Kennlinie auf die gemessene Kennlinie angepasst werden. Die Beweglichkeit der Ladungsträger an der Grenzfläche wird durch  $G_{surf} < 1$  verschlechtert, in diesem Fall musste  $G_{surf} = 0.83$  gesetzt werden, um die gemessene Kennlinie abzubilden.

Abb. 5.3 und 5.4 vergleichen die Ausgangskennlinienfelder des gemessenen und des simulierten MOSFETs ohne Berücksichtigung des  $G_{surf}$ -Parameters. Auch hier ist die verminderte Beweglichkeit erkennbar, welche sich in einem um den Faktor 4 kleineren Drainstrom zeigt.

Aus dem Vergleich der gemessenen mit den simulierten Unterschwellenkennlinien erkennt man, dass die Ladungsträgerbeweglichkeit bei den gemessenen Bauelementen niedriger ist, als theoretisch erwartet. Durch Verringerung des  $G_{surf}$ -Wertes und damit verbundener Absenkung der Beweglichkeit in der Simulation, kann die Steigung der simulierten Kurve an die gemessene angepasst werden. Allerdings weist der Kanalleitwert des simulierten MOSFETs selbst bei Anpassung der Beweglichkeit einen immer noch 3 mal höheren Wert auf, als der des gemessenen Transistors. Die Absenkung der Beweglichkeit reicht also alleine nicht aus, um die niedrigeren Stromwerte zu erklären, wie auch der Vergleich der Ausgangskennlinien zeigt, bei der die Stromstärken des gemessenen Bauelements jeweils um Faktor 3 unter denen der Simulation liegen.

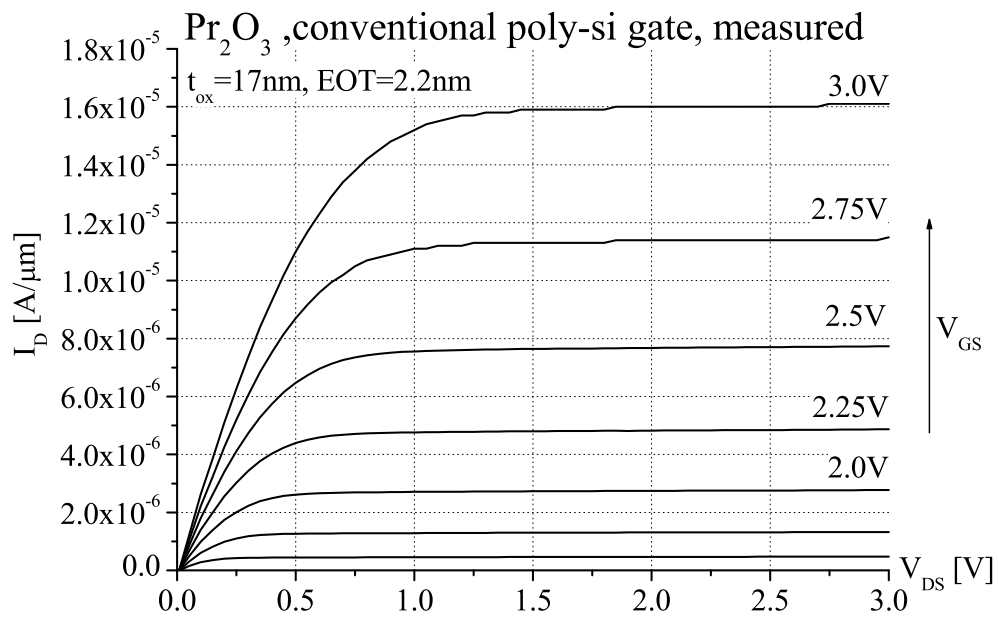


Abb. 5.3: Ausgangskennlinie (gemessen)

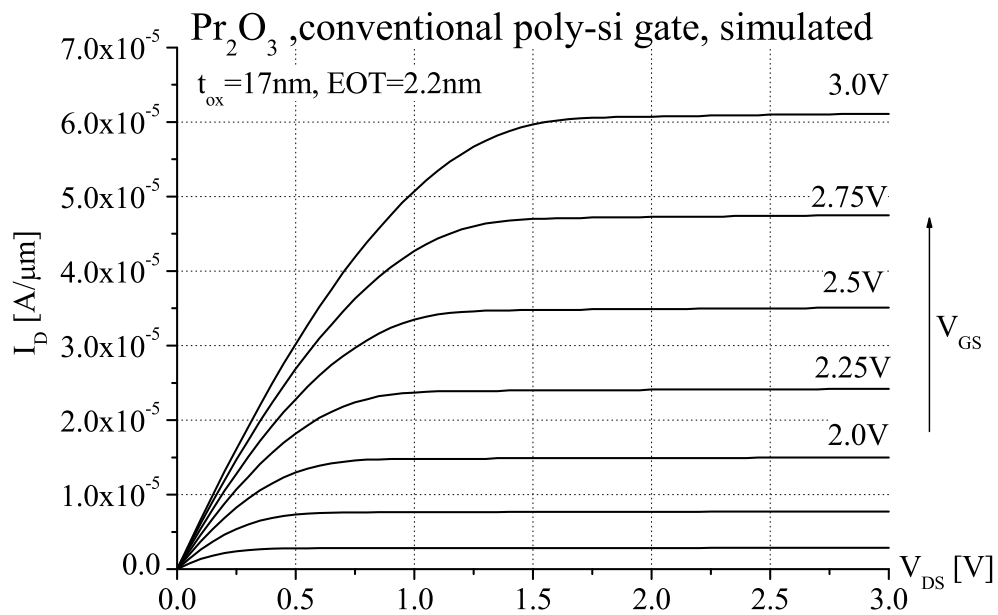
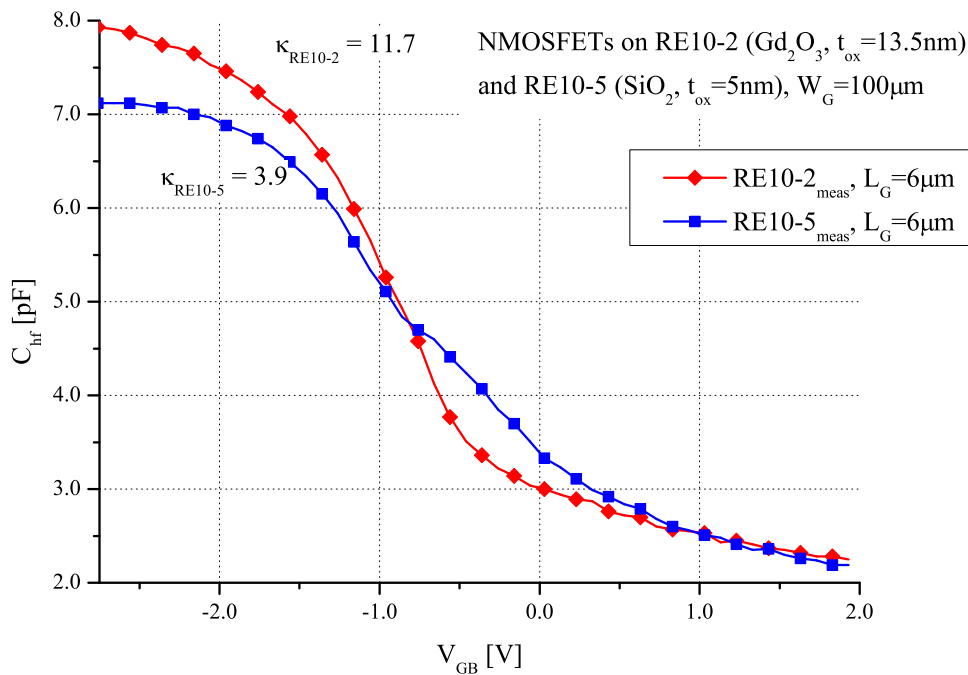


Abb. 5.4: Ausgangskennlinie (simuliert)

Eine Möglichkeit wäre, dass der Wert der Dielektrizitätskonstanten durch die CV-Messungen als zu hoch bestimmt wurde, was darauf hindeutet, dass das  $\text{Pr}_2\text{O}_3$  während der Hochtemperaturschritte des Gate-First-Prozesses degradiert wurde. Dies würde nicht nur die niedrigen Ströme des gemessenen MOSFET erklären, sondern ebenfalls die im Unterschwellbereich auftretenden Leckströme von  $2\text{nA}/\mu\text{m}$  (Abb. 5.2). Die betrachteten Transistoren sind die weltweit ersten funktionierenden MOSFETs mit kristallinen high- $\kappa$ -Dielektrikum und wurden 2003 am IHT gefertigt. Sie zeigen, dass Transistoren mit diesen Materialien möglich sind, auch wenn sie ihre Leistungsfähigkeit aufgrund der herstellungsbedingten Degradierung des Dielektrikums noch nicht voll ausschöpfen können. Da die verwendeten high- $\kappa$ -Materialien nicht so temperaturbeständig sind wie Siliziumdioxid, ist es nötig, einen material-schonenden Prozess zur Herstellung zu verwenden, den Gate-Last-Prozess.

### 5.3 Gate-Last MOSFETs mit $\text{Si}_2\text{O}$ - und $\text{Gd}_2\text{O}_3$ -Dielektrikum mit Metallgate

Die wichtigste Kenngröße, die die high- $\kappa$ -Bauelemente von den Referenzbauelementen unterscheidet, ist der Wert der Dielektrizitätszahl  $\kappa$  des high- $\kappa$ -Materials. Um ihn zu bestimmen, werden Kapazitäts-Spannungs-Kennlinien von Referenz- und  $\text{Gd}_2\text{O}_3$ -Bauelementen miteinander verglichen, wie dies in Abb. 5.5 dargestellt ist.



**Abb. 5.5:** Gatekapazität von nMOSFETs mit 13.5nm  $\text{Gd}_2\text{O}_3$ -Dielektrikum und 5nm  $\text{SiO}_2$ -Dielektrikum,  $W_{\text{Gate}} = 100\mu\text{m}$

Um einen Vergleich zwischen MOSFETs verschiedener Gatelänge zu ermöglichen und eine Aussage über die Dielektrizitätszahl der  $Gd_2O_3$  zu treffen, werden die Kapazitätswerte auf die Gatefläche normiert. Die elektrisch gemessene Gatefläche entspricht dabei der Fläche des aktiven Gebiets (Gatelänge mal Gateweite), der Fläche der Überlappungszonen und der für Kontakte vorgesehenen Fläche. Da die Gatestruktur aufgrund des Gate-Last-Prozesses in einem Graben liegt, ist der exakte Kapazitätswert theoretisch nur schwer zu ermitteln. Da Referenz- und high- $\kappa$ -MOSFETs aber beide auf die gleiche Art und Weise mit dem Gate-Last-Prozess hergestellt wurden und die Dielektrizitätszahl von  $SiO_2 = 3.9$ , sowie die Gateoxiddicken bekannt sind, lässt sich die Dielektrizitätszahl der  $Gd_2O_3$ -MOSFETs wie folgt abschätzen

$$\kappa_{Gd_2O_3} = \frac{C_{Gd_2O_3}}{C_{SiO_2}} \cdot \frac{d_{Gd_2O_3}}{d_{SiO_2}} \cdot \kappa_{SiO_2} = \frac{7.93pF}{7.12pF} \cdot \frac{5.0nm}{13.5nm} \cdot 3.9 = 11.7 \quad (5.1)$$

Aus den Kennlinien ergibt sich rechnerisch die Dielektrizitätszahl  $\kappa(Gd_2O_3) = 11.7$ . Abb. 5.6 zeigt die Abnahme der flächenspezifischen Gatekapazität bei zunehmender Gatelänge, was mit den Source-/Drainüberlappgebieten zusammenhängt, die bei kurzen Kanälen einen größeren Anteil der Gatefläche einnehmen als bei langen Kanälen.

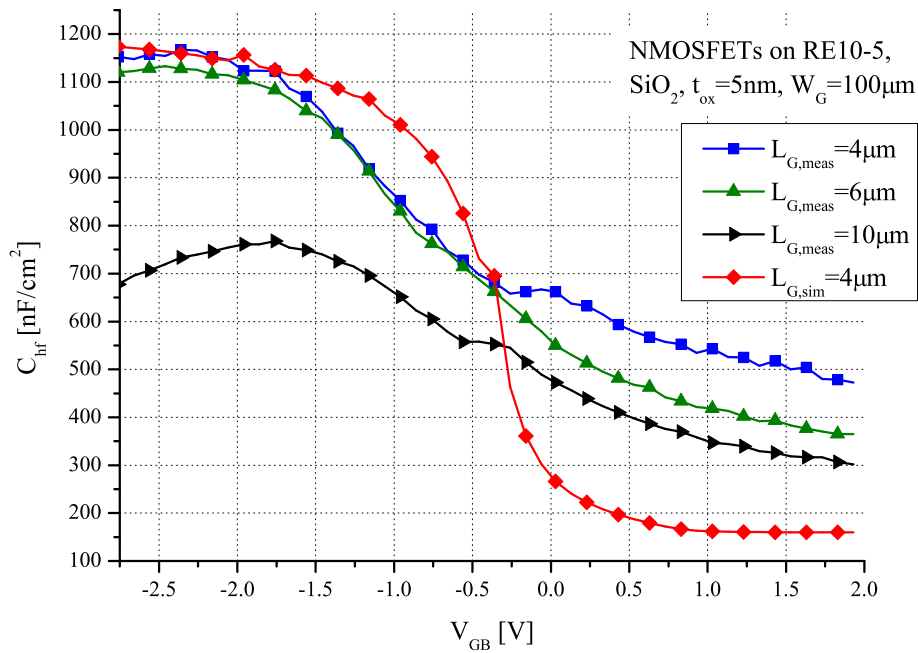


Abb. 5.6: Abhängigkeit der Gatekapazität von der Gatelänge

Abb. 5.7 vergleicht Unterschwellenkennlinien eines elektrisch gemessenen  $SiO_2$  Referenz-Bauelements mit Simulationsdaten für zwei verschiedene Fälle. Das gemessene Bauelement wurde mit dem Replacement-Gate-Prozess gefertigt und dient als Referenz, um die ebenfalls mit dem Gate-Last-Prozess gefertigten high- $\kappa$  Bauelemente vergleichen zu können.



Auch hier ist die Unterschwellensteilheit des simulierten Bauelements mit idealen Grenzflächen besser als der des gemessenen Bauelements. Das simulierte Bauelement weist eine Unterschwellensteilheit von  $S = 80\text{mV/dec}$  auf. Die Angleichung der Grenzflächenzustandsdichte des simulierten Bauelements, bringt dessen Unterschwellensteilheit sehr genau an den gemessenen Wert von  $S = 110\text{mV/dec}$ . Allerdings entspricht eine Unterschwellensteilheit von  $S = 110\text{mV/dec}$  einer hohen Grenzflächenzustandsdichte von  $D_{it} = 10^{12}\text{cm}^{-2}\text{eV}^{-1}$ , was ein unerwartet hoher Wert für  $\text{SiO}_2$  ist.

Mögliche Erklärung für diese hohe Grenzflächenzustandsdichte ist die Abschirmung der Wasserstoffatome durch die Metall-Gateelektrode während der Formiergastemperung, die im Prozess zur Absättigung dieser Zustände durchgeführt wird.

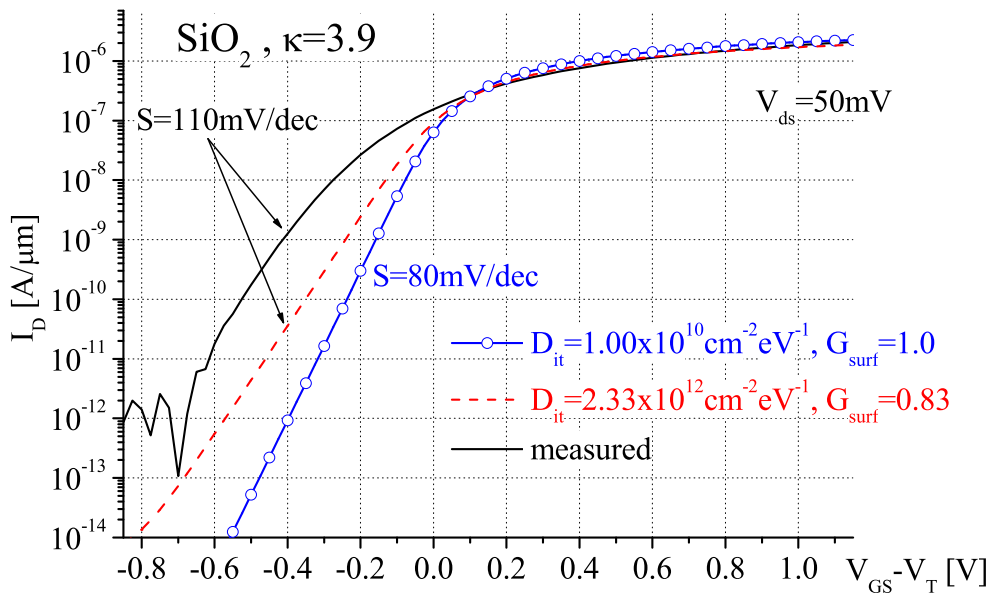


Abb. 5.7: n-MOSFET mit  $\text{SiO}_2$ -Dielektrikum und Gateelektrode aus Wolfram

Interessanterweise treten diese hohen Grenzflächenzustandsdichten ebenso bei den Bauelementen mit  $\text{Gd}_2\text{O}_3$ -Dielektrika auf, die mit dem gleichen Gate-Last-Prozess hergestellt wurden (Abb. 5.8). Die Simulation zeigt eine theoretisch erreichbare optimale Unterschwellensteilheit von  $80\text{mV/dec}$  auf, während die gemessenen Bauelemente Werte von  $150\text{mV/dec}$  zeigen. In welchem Umfang die durch die Metall-Gateelektrode gestörte Formiergastemperung für die schlechteren Unterschwellensteilheiten verantwortlich ist, wird Gegenstand weiterer Forschungen sein. Es gibt allerdings Berichte über verminderte Qualität der Grenzfläche und des Dielektrikums nach Formiergastemperung [118], weswegen dieser Ansatz verbessert werden muss.

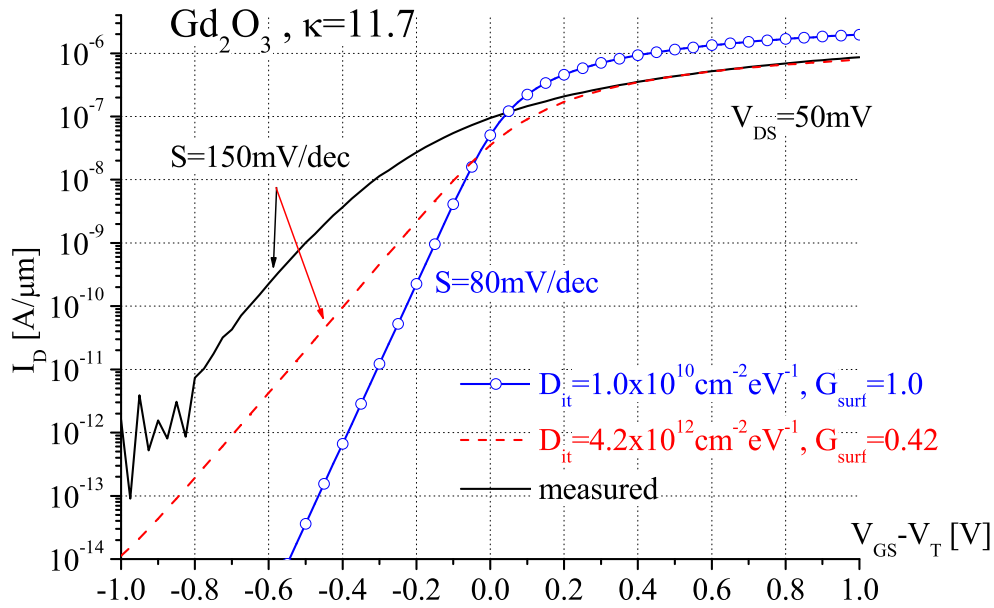


Abb. 5.8: n-MOSFET mit  $\text{Gd}_2\text{O}_3$ -Dielektrikum und Gateelektrode aus Wolfram

## 5.4 Vergleich von Gate-Last mit Gate-First high- $\kappa$ MOSFETs

Wenn man nun die Gate-Last MOSFETs mit Metallgate und  $\text{Gd}_2\text{O}_3$ -Dielektrika mit den konventionell prozessierten MOSFETs mit Poly-Siliziumgate und  $\text{Pr}_2\text{O}_3$ -Dielektrika vergleicht, kann man eine um Faktor 2.5 höhere Beweglichkeit beobachten, wie Abb. 5.9 zeigt. Die Beweglichkeit der Gate-Last high- $\kappa$ -MOSFETs liegt dabei etwa bei der Hälfte der von MOSFETs mit  $\text{SiO}_2$ -Gatedielektrikum.

Die Unterschwellensteilheit der Gate-Last-Bauelemente ist mit  $S = 150\text{mV/dec}$  etwas schlechter als der der  $\text{SiO}_2$ -Bauelemente mit  $S = 110\text{mV/dec}$ , stellt aber gegenüber den Gate-First-Bauelementen eine Verbesserung dar, welche  $S = 235\text{mV/dec}$  aufweisen (Abb. 5.10). Die Leckströme der Gate-Last-MOSFETs sind im Vergleich mit den Gate-First-Bauelementen um etwa Faktor 100 reduziert. Es tritt kein konstanter Leckstrom auf, wie es das Bauelement mit  $\text{Pr}_2\text{O}_3$ -Dielektrika zeigt.

Die MOSFETs mit SiO<sub>2</sub>-Gatedielektrikum besitzen eine höhere Beweglichkeit, als die bisher hergestellten high- $\kappa$ -Bauelemente und damit bessere Transistoreigenschaften, da die Grenzfläche von Si-SiO<sub>2</sub> den Ladungstransport in geringerem Maße stört, als es bei der Si-high- $\kappa$ -Grenzfläche der Fall ist. Zu beachten ist allerdings, dass die untersuchten high- $\kappa$ -Bauelemente Prototypen sind, bei denen noch keine langjährige Prozess Erfahrung besteht, wie bei SiO<sub>2</sub>. Außerdem werden Bauelemente mit äquivalenten Oxiddicken von EOT = 5nm miteinander verglichen. Diese Oxidschichten sind noch ausreichend dick, um Leckströme, wie sie durch direkte Tunnelprozesse auftreten, größtenteils zu verhindern. Bei weiter skalierten Bauelementen werden äquivalente Oxiddicken unterhalb EOT = 1nm benötigt, laut der International Technology Roadmap for Semiconductors [119] verlangt die Prozesstechnik bereits 2008 nach EOT = 0.9nm. Da die direkte Tunnelwahrscheinlichkeit exponentiell mit der Abnahme der Schichtdicke ansteigt, würden bei den SiO<sub>2</sub>-Bauelementen sehr hohe Leckströme fließen, während die high- $\kappa$ -Bauelemente bei gleichem EOT aber höherer physikalischer Dicke geringere Leckströme aufweisen würden.

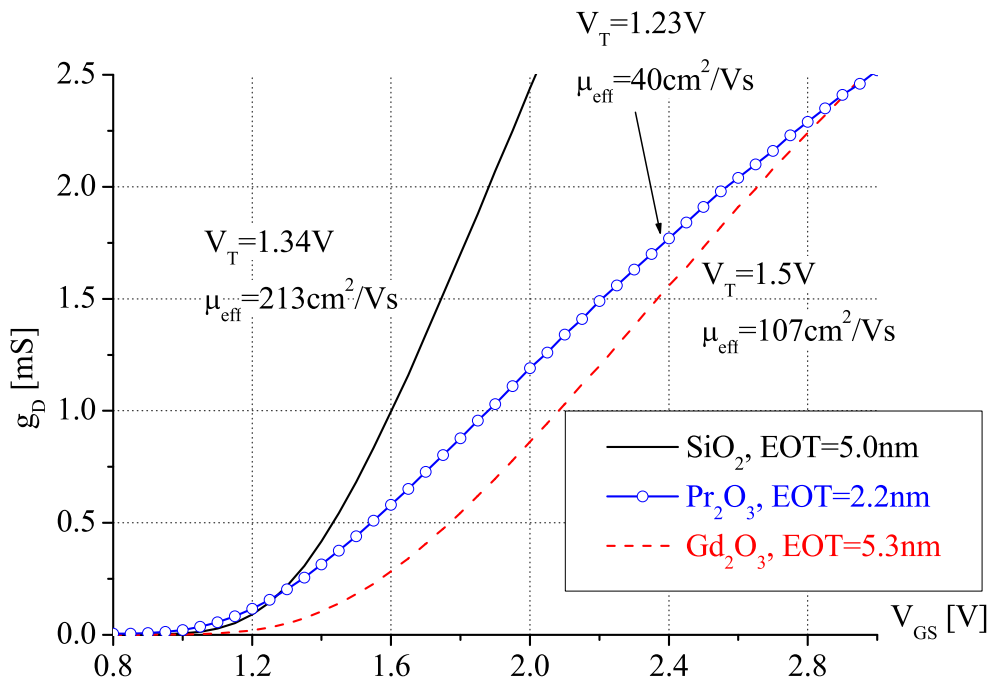


Abb. 5.9: Kanalleitwerte von MOSFETs mit SiO<sub>2</sub>-, Pr<sub>2</sub>O<sub>3</sub> und Gd<sub>2</sub>O<sub>3</sub>-Dielektrikum

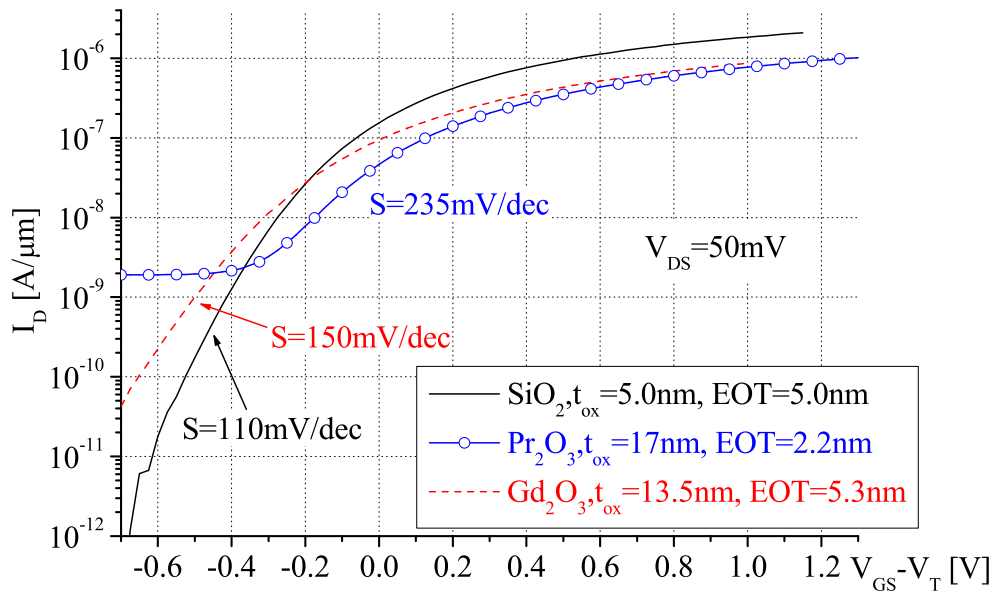


Abb. 5.10: Vergleich der Unterschwellencharakteristiken

Offensichtlich ist die Qualität der Grenzfläche bei den Gate-Last Bauelementen verglichen mit den konventionellen Bauelementen verbessert. Die Grenzfläche hat durch den Gate-Last-Prozess weniger Schaden genommen, als dies mit dem herkömmlichen CMOS-Prozess möglich gewesen wäre. Dies resultiert aus der schonenden Herstellungsweise mit CMP-basierter Gateformation der Metallgate Bauelemente, wobei die Grenzfläche des aktiven Gebiets und das Dielektrikum keinen schädigenden Prozessschritten wie reaktivem Ionenätzen (RIE) oder Hochtemperaturschritten ausgesetzt sind, wie dies im Standard CMOS-Prozess der Fall ist.

Aus den angepassten simulierten Kennlinien kann die Dichte der Akzeptorzustände an der Grenzfläche zu  $D_{\text{it}}(\text{SiO}_2) = 2.33 \cdot 10^{12} \text{cm}^{-2} \text{eV}^{-1}$  und  $D_{\text{it}}(\text{Gd}_2\text{O}_3) = 4.2 \cdot 10^{12} \text{cm}^{-2} \text{eV}^{-1}$  bestimmt werden. Diese Werte sind in guter Übereinstimmung mit den Ergebnissen aus energieaufgelösten Charge Pumping Messungen [53].

Abb. 5.11 vergleicht den Kanalleitwert von gemessenen und simulierten  $\text{Gd}_2\text{O}_3$ -Bauelementen. Bauelemente mit idealen Grenzflächen und Grenzflächen verminderter Qualität wurden simuliert. Die idealen Bauelemente besitzen eine um den Faktor 2.7 höhere Ladungsträgerbeweglichkeit als die Gemessenen. Eine Einflussgröße, die die Beweglichkeit verschlechtert, ist die Grenzflächenzustandsdichte, wie zuvor erwähnt.

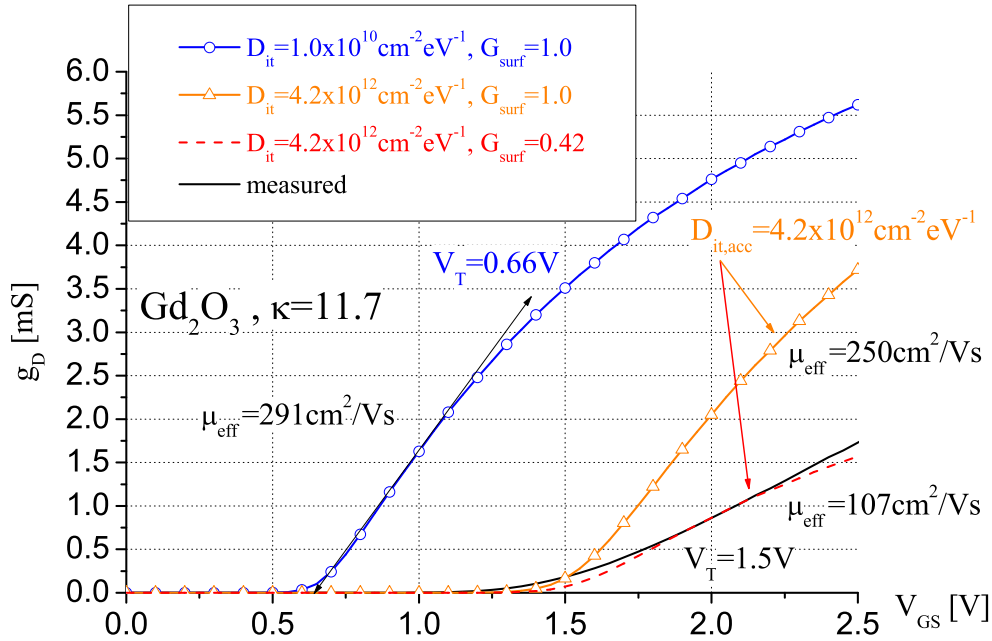


Abb. 5.11: Kanalleitwert und Beweglichkeiten von n-MOSFETs mit  $\text{Gd}_2\text{O}_3$ -Dielektrikum und Wolfram-Gateelektrode mit idealer Grenzfläche, Grenzflächen-Akzeptorzustandsdichte und zusätzlicher Aufrauung der Grenzfläche

Allerdings kann selbst bei einer Grenzflächenzustandsdichte von  $D_{it} = 4.2 \cdot 10^{12} \text{ cm}^{-2} \text{ eV}^{-1}$  durch Simulation ein Wert der Beweglichkeit von  $\mu_{\text{eff}} = 250 \text{ cm}^2/\text{Vs}$  bestimmt werden, wobei die Grenzfläche bis auf die Zustände als perfekt angenommen wird, das heißt  $G_{\text{surf}} = 1$ . Um nun die durch Messungen bestimmte Beweglichkeit  $\mu_{\text{eff}} = 107 \text{ cm}^2/\text{Vs}$  zu erhalten, muss die Grenzfläche künstlich verschlechtert werden, was mit dem Herabsetzen des  $G_{\text{surf}}$ -Parameters auf 0.42 realisiert wird.

Aus Abb. 5.12 wurden die Einsatzspannungen und effektiven Beweglichkeiten der high- $\kappa$  Bauelemente aus den Steigungen der Kennlinien mit Hilfe von Gl. 3.4 und Gl. 3.2 zu  $V_T = 1.5 \text{ V}$  und  $\mu_{\text{eff}} = 107 \text{ cm}^2/\text{Vs}$  extrahiert. Es ist offensichtlich, dass die Beweglichkeit der high- $\kappa$ -Bauelemente nur etwa der halben Beweglichkeit der Referenzbauelemente mit  $\text{SiO}_2$ -Dielektrikum von  $\mu_{\text{eff}} = 213 \text{ cm}^2/\text{Vs}$  entspricht. Eine aus dem Herstellungsprozess resultierende schlechtere Grenzflächenqualität könnte ein Grund sein.

Der entscheidende Vorteil der thermischen Oxidation bei den Referenzbauelementen ist die Tatsache, dass die Silizium- $\text{SiO}_2$ -Grenzfläche niemals den Kontakt zur Außenwelt erfahren hat, da die Grenzfläche während der Oxidation in das Innere des Substratmaterials wandert. Dies steht im Gegensatz zu den high- $\kappa$ -Bauelementen, bei denen das kristalline high- $\kappa$ -Material durch Molekularstrahlepitaxie auf die Oberseite der Siliziumoberfläche aufgewachsen wird. Um die Ladungsträgerbeweglichkeit zu verbessern, muss die Dichte der Grenzflächenzustände gesenkt und die Qualität der Grenzfläche (Rauigkeit und Kristallverspannungen) verbessert werden.

Nachdem alle wichtigen Parameter durch Anpassen der Kennlinien eingestellt wurden, können Ausgangskennlinien simuliert werden. Die zugehörigen Kurvenscharen finden sich in Abb. 5.13 für die Referenzbauelemente und 5.14 für die high- $\kappa$ -Bauelemente. Wegen der relativ großen Kanallängen von  $L_{\text{gate}} = 4\mu\text{m}$  ist der Effekt der Kanallängenmodulation, wie erwartet, kaum erkennbar. Die Übereinstimmung zwischen elektrischer Messung und simulierten Kennlinien ist recht gut bei den high- $\kappa$ -Bauelementen.

Bei den Bauelementen mit  $\text{SiO}_2$ -Dielektrikum sind allerdings kleinere Abweichungen bei höheren Gatespannungen zu erkennen. Eine mögliche Erklärung für dieses Verhalten hängt mit den verwendeten Oberflächen-Beweglichkeitsmodell der Simulation zusammen, das bei gegebenen Parametern nur für einen begrenzten Bereich von elektrischen Feldstärken eine ausreichende Genauigkeit besitzt. Bei größerer Änderung des elektrischen Feldes durch die Gatespannung, muss das Modell nachjustiert werden, falls für diesen Bereich eine erhöhte Genauigkeit gefordert ist.

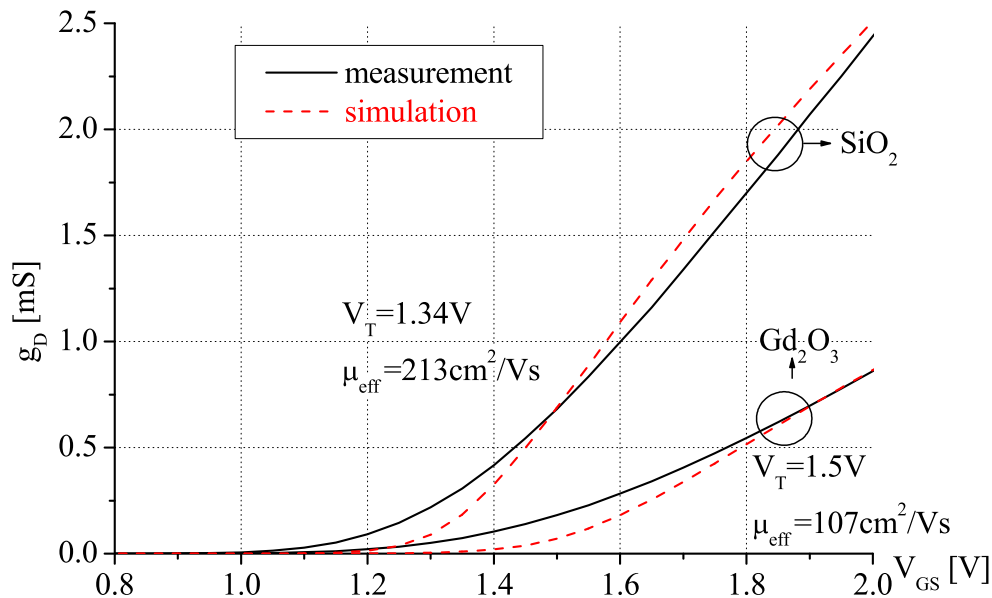
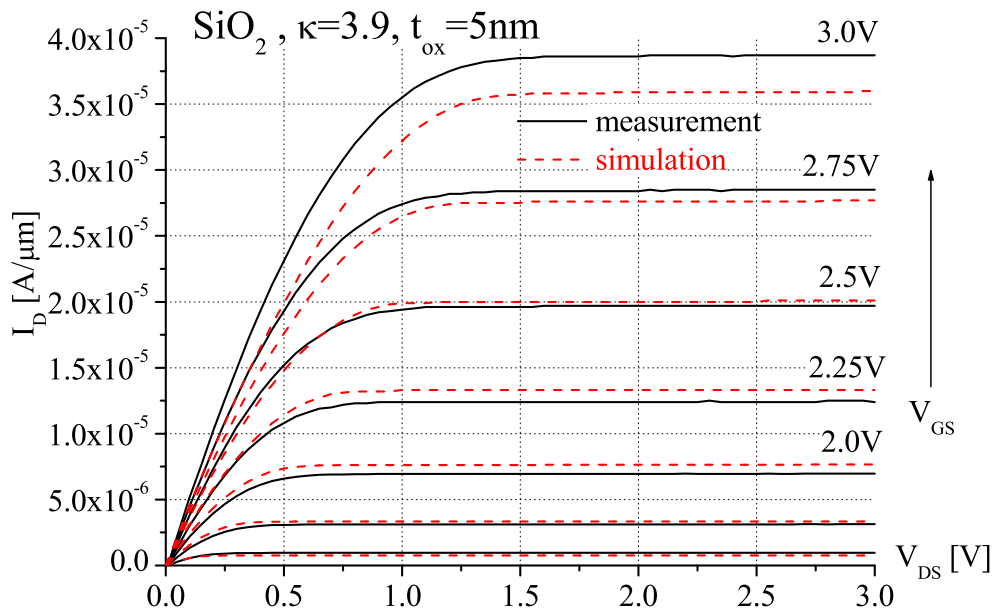


Abb. 5.12: Vergleich des Kanalleitwerts von  $\text{SiO}_2$ - und  $\text{Gd}_2\text{O}_3$ -MOSFETs



**Abb. 5.13:** Ausgangskennlinien nach Anpassung der Simulationsmodelle an die elektrisch gemessenen Eingangs- und Unterschwellen-Kennlinien ( $\text{SiO}_2$ -Dielektrikum,  $t_{\text{ox}} = 5.0\text{nm}$ )

Wie Abb. 5.15 zeigt, weisen die  $\text{Gd}_2\text{O}_3$ -MOSFETs bei gleicher effektiver Gatespannung  $V_{\text{GS}} - V_{\text{T}}$  nur etwa halb so große Drainströme auf, wie die  $\text{SiO}_2$ -Referenzbauelemente. Dies steht mit den Beobachtungen bei der Untersuchung der Kanalleitwerte und des Unterschwellenverhaltens im Einklang, bei denen bei den high- $\kappa$ -MOSFETs eine, gegenüber den Referenz-Bauelementen um Faktor 2 niedrigere, Ladungsträgerbeweglichkeit festgestellt wurde. Da sich die Beweglichkeit gemäß Gl. 2.9 proportional auf den Drainstrom auswirkt, ergeben sich die halbierten Drainströme bei den high- $\kappa$ -MOSFETs.

Wäre die Ladungsträgerbeweglichkeit gleich der der Referenzbauelemente, würden die Drainströme auf gleichem Niveau liegen und die high- $\kappa$ -Bauelemente hätten bei einer um Faktor 2.5 größeren physikalischen Oxiddicke identische elektrische Eigenschaften, wie die Referenzbauelemente. Dies spricht bei fortschreitender Skalierung für den Einsatz von high- $\kappa$ -Dielektrika, da  $\text{SiO}_2$ -Dielektrika früher an die untere Grenze der Schichtdicke von etwa 1nm stoßen. Ein Dielektrikum aus  $\text{Gd}_2\text{O}_3$  würde dabei bei gleichen elektrischen Eigenschaften noch eine physikalische Dicke von 2.5nm besitzen.

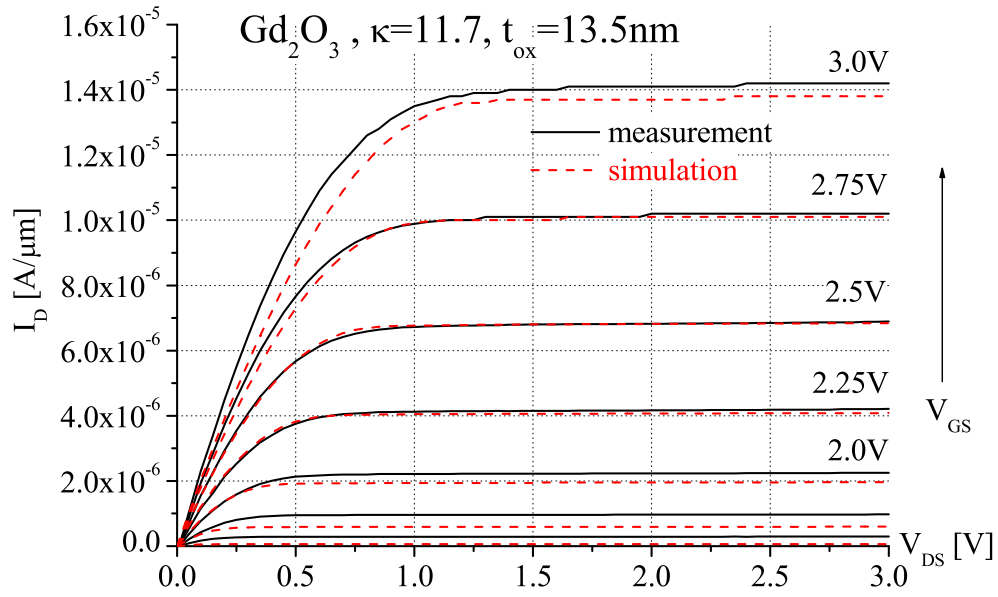


Abb. 5.14: Ausgangskennlinien von  $\text{Gd}_2\text{O}_3$ -MOSFETs,  $t_{\text{ox}} = 13.5\text{nm}$  ( $\text{EOT} = 5.3\text{nm}$ )

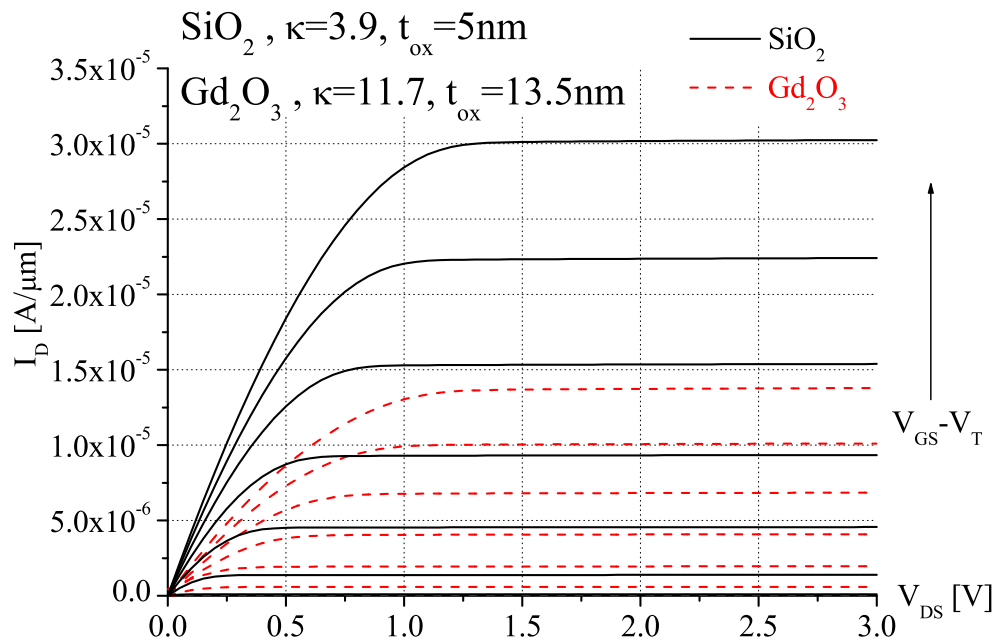


Abb. 5.15: Vergleich der Ausgangskennlinien von Referenz- und high- $\kappa$ -MOSFETs von  $V_{\text{GS}} - V_T = 0.0\text{V}$  bis  $1.5\text{V}$



Um den bestehenden Vorteil des high- $\kappa$  Materials zu verdeutlichen, sind die Kapazitäts-Spannungs-Kennlinien eines MOSFETs mit 5nm dickem SiO<sub>2</sub>-Dielektrikum (Abb. 5.16) einem MOSFET mit 13.5nm dickem Gd<sub>2</sub>O<sub>3</sub>-Dielektrikum (Abb. 5.17) gegenüber gestellt worden. Beide Transistoren besitzen eine äquivalente Oxiddicke (EOT) von 5nm, was einer physikalischen Dicke der Gd<sub>2</sub>O<sub>3</sub>-Schicht von 13.5nm entspricht. Die CV-Kennlinien wurden für quasistatisches und hochfrequentes Gatespannungssignal aufgenommen, sowie für den Fall der tiefen Verarmung (deep depletion). Die Kapazitätskennlinien stimmen wie erwartet miteinander überein, wie auch aus Abb. 5.17 deutlich wird. Da die Kapazität in Akkumulation der Oxidkapazität entspricht, kann diese aus der Kennlinie bei  $V_G = -3V$  zu  $C_{G,NF,acc} = 750nF/cm^2$  ermittelt werden. Dies bedeutet, dass sich die high- $\kappa$  Gatekapazität trotz der größeren geometrischen Dicke elektrisch gleichwertig zur Referenzkapazität verhält.

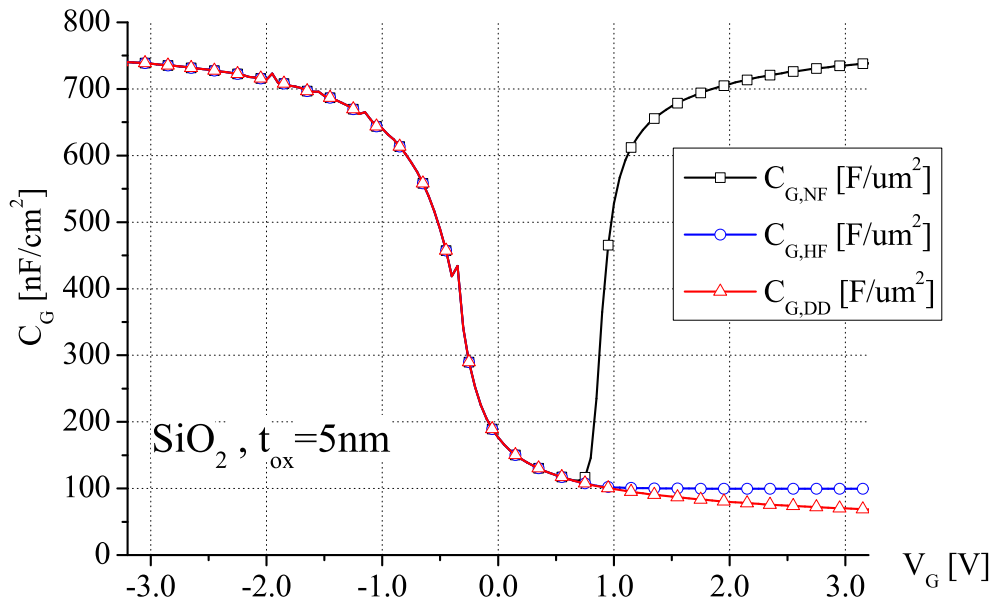


Abb. 5.16: Gate-Kapazitäten von n-MOSFETs mit 5nm-SiO<sub>2</sub>-Dielektrikum

In Abb. 5.18 ist die CV-Kennlinie eines high- $\kappa$ -Bauelements mit einer physikalischen Dielektrikumsdicke von 5.3nm gezeigt, welche einer äquivalenten Oxiddicke (EOT) von etwa 2nm entspricht. Die geometrische Dicke ist hier vergleichbar mit der des Referenzbauelements mit SiO<sub>2</sub>-Dielektrikum, die elektrischen Eigenschaften sind jedoch die eines Bauelements mit dünnerem Dielektrikum, wie der höhere Kapazitätsbelag von 1900nF/cm<sup>2</sup> in Akkumulation zeigt.

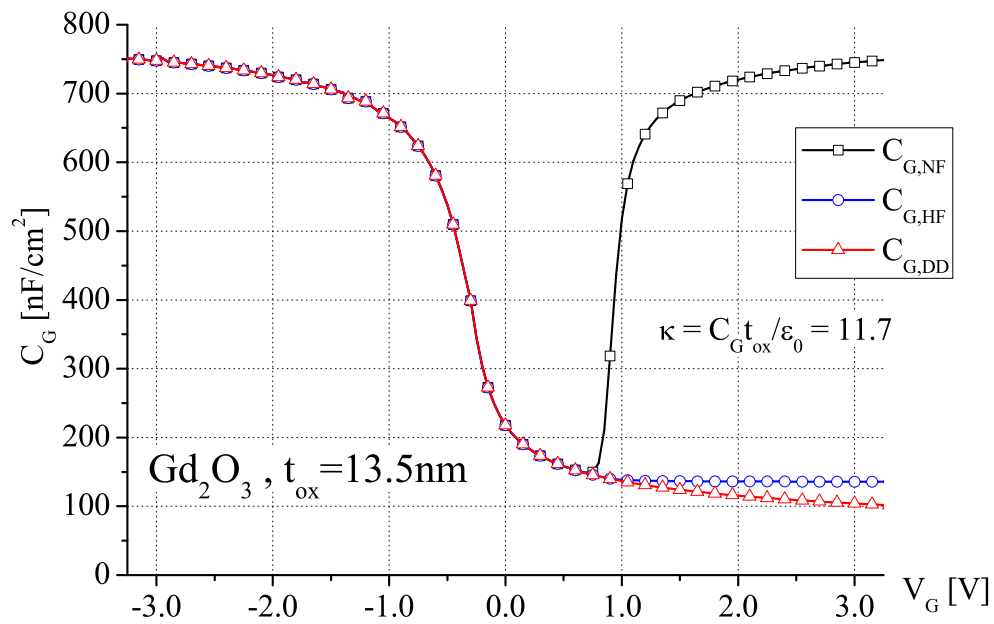


Abb. 5.17: Gate-Kapazitäten von n-MOSFETs mit 13.5nm-Gd<sub>2</sub>O<sub>3</sub>-Dielektrikum (EOT = 5.3nm)

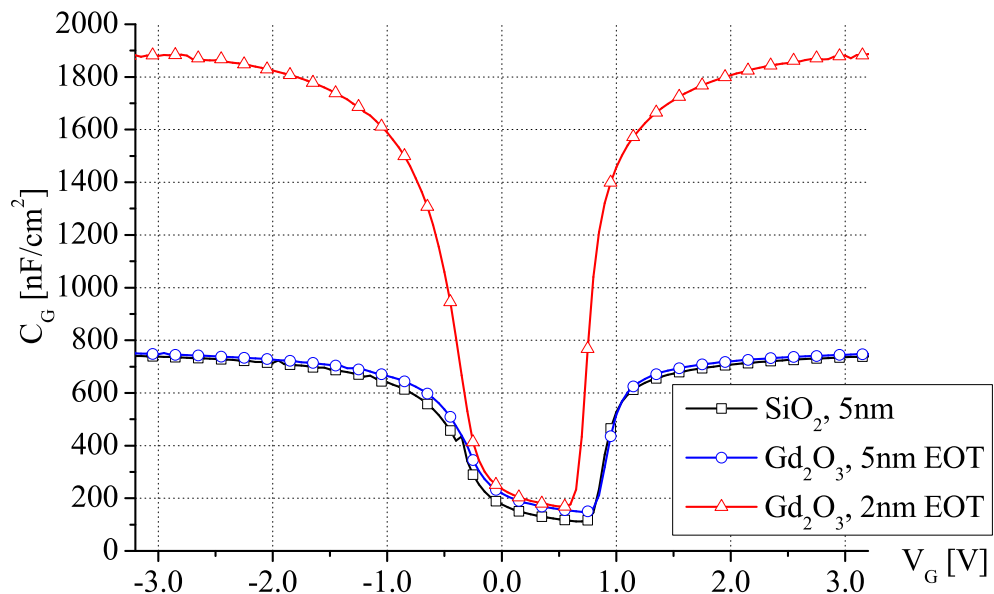


Abb. 5.18: Vergleich der quasistatischen CV-Kennlinien

## 5.5 Gateleckströme der Gate-Last MOSFETs

Abb. 5.19 zeigt die Leckströme durch das  $\text{SiO}_2$ -Dielektrikum bei den Referenz-MOSFETs mit n-Kanal, die in Gate-Last Technik hergestellt wurden. Die Bauelemente mit Gatelängen von  $20\mu\text{m}$  und  $100\mu\text{m}$  weisen sehr hohe Leckströme von der Gateelektrode zum Substrat hin auf, weswegen diese nicht für weitergehende Messungen geeignet sind. Die Bauelemente mit Gatelängen von  $4\mu\text{m}$ ,  $6\mu\text{m}$  und  $10\mu\text{m}$  zeigen hingegen keine erhöhten Leckströme, was auf gute Isolationseigenschaften ihrer Dielektrika hinweist. Mögliche Erklärung für die hohen Leckströme bei den Bauelementen mit großen Gatelängen könnten auf den CMP-Prozess zurückzuführen sein, der zum Planarisieren des Gatestacks verwendet wird. Bei großen, gleichförmigen Flächen wird mehr Material abgetragen, als bei kleineren Flächen, was gerade an den Rändern zu Verbindungen zwischen Gateelektrode und Substrat führen kann. Bei kleineren Flächen tritt dieser Effekt sehr viel schwächer auf, da das Polierpad durch dichter beieinander liegende Ränder besser abgestützt wird. Diese Erklärung wird allerdings durch Abb. 5.20 in Frage gestellt, welches die Leckströme der pMOSFETs desselben Wafers zeigt. Wie zu sehen ist, weisen alle Bauelemente niedrige Leckströme auf, was bedeutet, dass die Dielektrika gut isolierend sind. Für die Charakterisierung wurden hauptsächlich die Bauelemente mit Gatelängen von  $L_{\text{Gate}} = 4\mu\text{m}$  verwendet, bei denen sowohl die pMOSFETs als auch die nMOSFETs funktional sind.

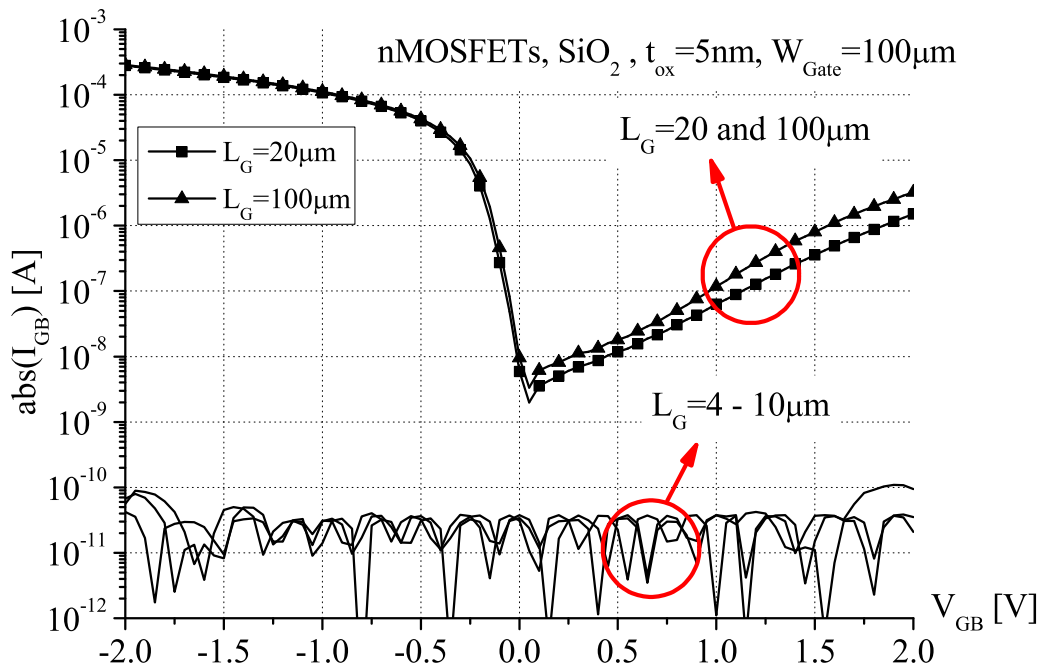


Abb. 5.19: Gate-Leckströme von Referenz-nMOSFETs mit  $\text{SiO}_2$ -Dielektrikum

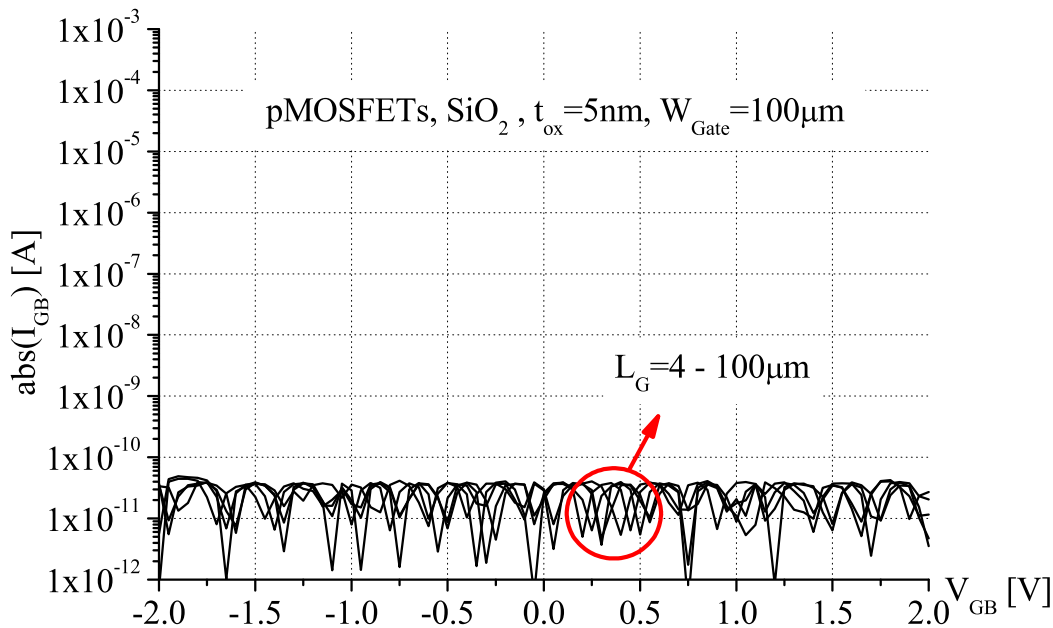


Abb. 5.20: Gate-Leckströme von Referenz-nMOSFETs mit SiO<sub>2</sub>-Dielektrikum

Eine ähnliche Situation wie schon bei den Referenzbauelementen zeigt sich bei den high- $\kappa$  Bauelementen, deren Leckstromverläufe in Abb. 5.21 dargestellt sind. Während die nMOSFETs mit 4  $\mu\text{m}$  und 6  $\mu\text{m}$  der Erwartung entsprechend funktionieren, treten bei den Bauelementen mit Gatelängen ab 10  $\mu\text{m}$  ebenfalls hohe Leckströme auf, weswegen nur die Bauelemente mit 4  $\mu\text{m}$  zur Charakterisierung herangezogen wurden.

Abb. 5.22 zeigt den Vergleich der Leckströme von Referenz- und high- $\kappa$ -Bauelementen für verschiedene Gatespannungen. Man sieht einen Anstieg der Leckströme bei steigender Gatespannung, was auf Fowler-Nordheim-Tunneleffekte durch die Energiebarriere zurückzuführen ist. Die Leckströme der Gd<sub>2</sub>O<sub>3</sub>-Bauelemente liegen etwa um eine Größenordnung über denen der Referenzbauelemente. Da Gd<sub>2</sub>O<sub>3</sub> einen kleineren Bandabstand als SiO<sub>2</sub> besitzt, ist der Abstand zwischen Fermi-niveau der Gatelektrode und der Leitungsbandunterkante des Isolationsoxids (band offset) geringer, was zu einem stärker ausgeprägten FN-Tunneleffekt führt. Als zweite Ursache ist die hohe Dichte der Grenzflächenzustände bei den betrachteten high- $\kappa$  MOSFETs zu nennen, wodurch die Wahrscheinlichkeit des Tunnelns über Störstellen (trap assisted tunneling) erhöht wird. Beide Effekte erhöhen somit den Gesamtleckstrom, wie er bei den Messkurven der Gd<sub>2</sub>O<sub>3</sub>-MOSFETs zu sehen ist.

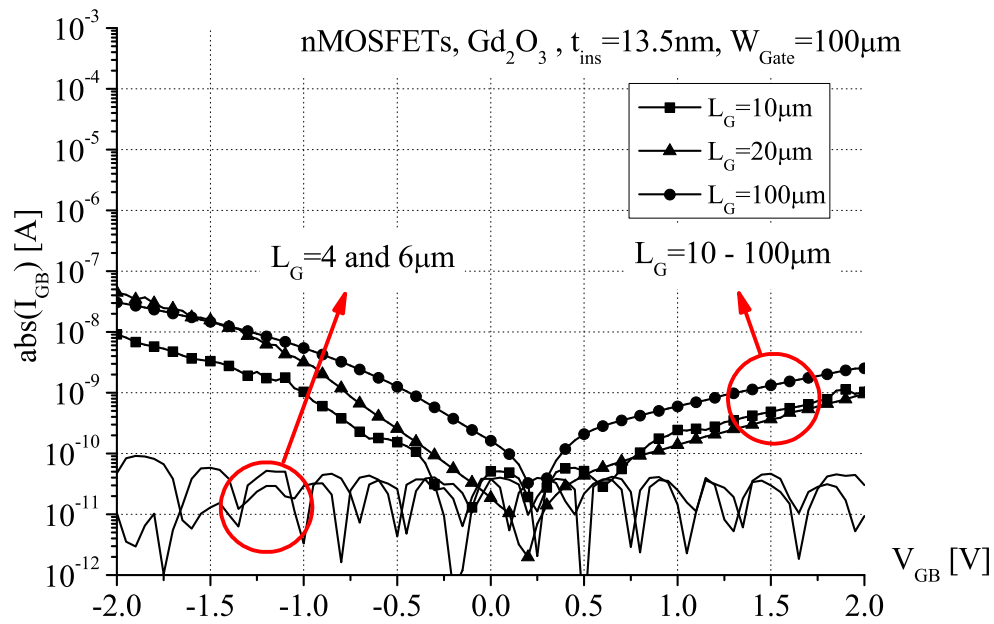


Abb. 5.21: Gateleckströme für verschiedene Gatespannungen der  $4\mu\text{m}$   $\text{Gd}_2\text{O}_3$ -nMOSFETs

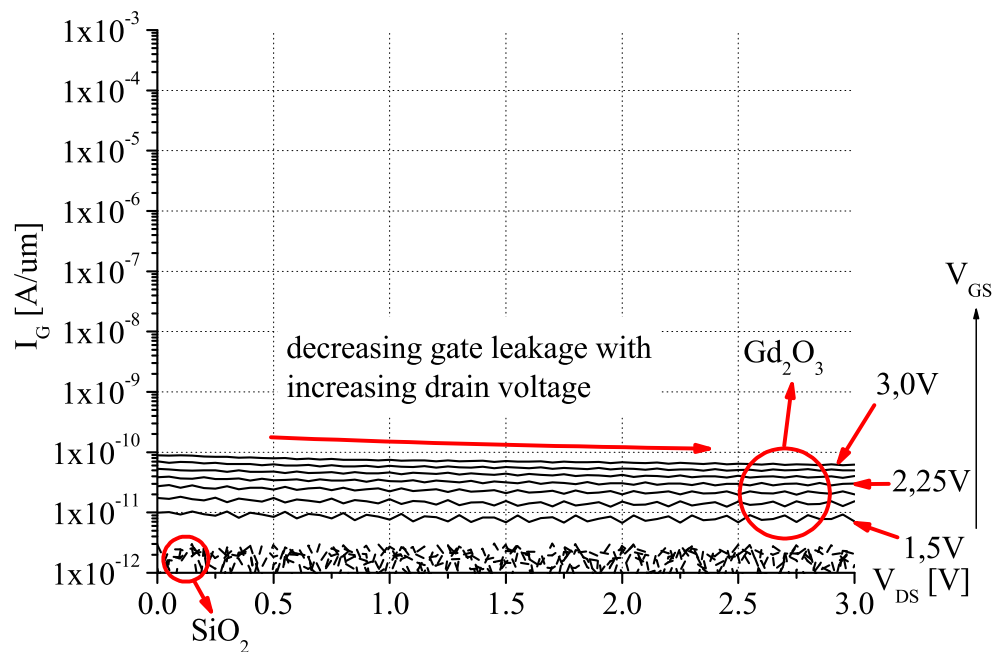
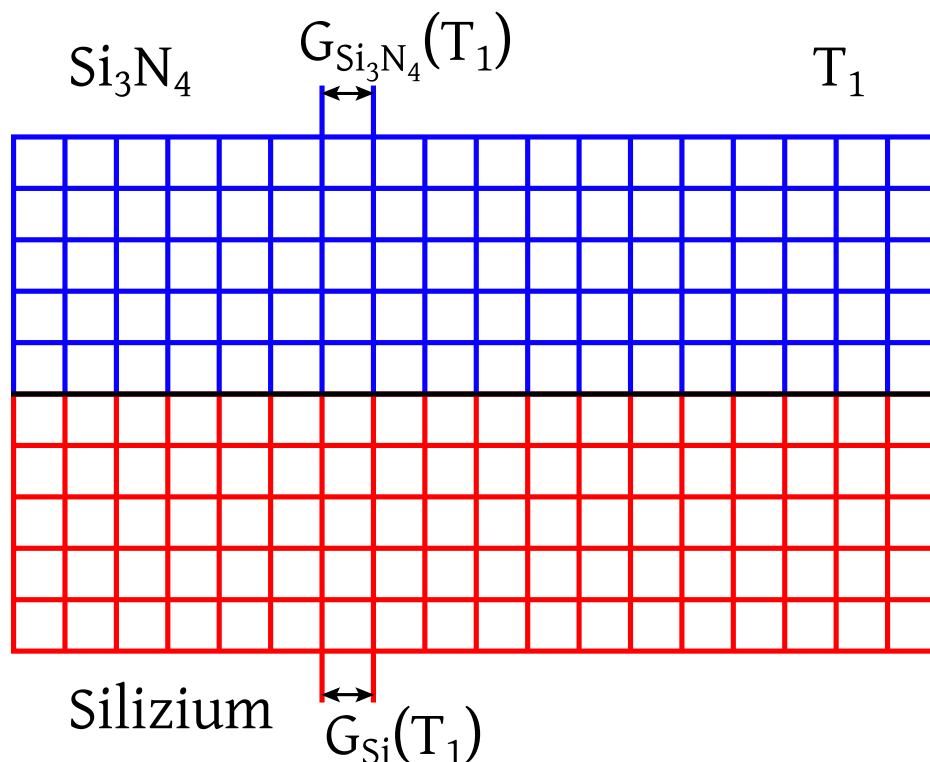


Abb. 5.22: Gateleckströme für verschiedene Gatespannungen der  $4\mu\text{m}$   $\text{SiO}_2$ - und  $\text{Gd}_2\text{O}_3$ -nMOSFETs

## 5.6 Simulation von mechanischem Stress beim Gate-Last-Prozess

Wie in den vorherigen Abschnitten beschrieben, besitzen die, mit dem Gate-Last-Prozess hergestellten, Bauelemente eine schlechtere Ladungsträgerbeweglichkeit, als durch die Simulationsergebnisse erwartet wurde. Dies wurde durch Angleichen der Kennlinien von gemessenen und simulierten Bauelementen zum Teil auf eine erhöhte Dichte der Grenzflächenzustände zurückgeführt. Allerdings musste die Beweglichkeit in der Simulation zusätzlich durch Einstellen der Oberflächenqualität vermindert werden, um auf die gemessenen Werte zu kommen.



**Abb. 5.23:** Mechanischer Stress durch thermische Fehlanpassung bei der Schichtabscheidung: Abscheiden einer Nitridschicht bei Temperatur  $T_1$

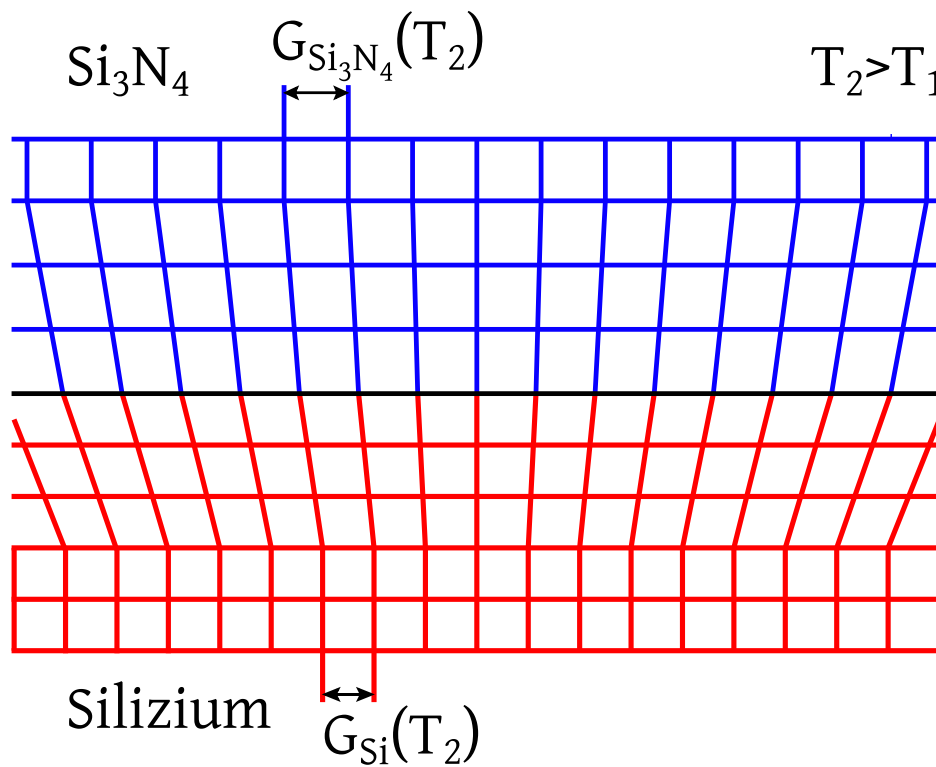


Abb. 5.24: Mechanischer Stress durch thermische Fehlanpassung bei der Schichtabscheidung: Zugspannung bei Temperatur  $T_2 > T_1$

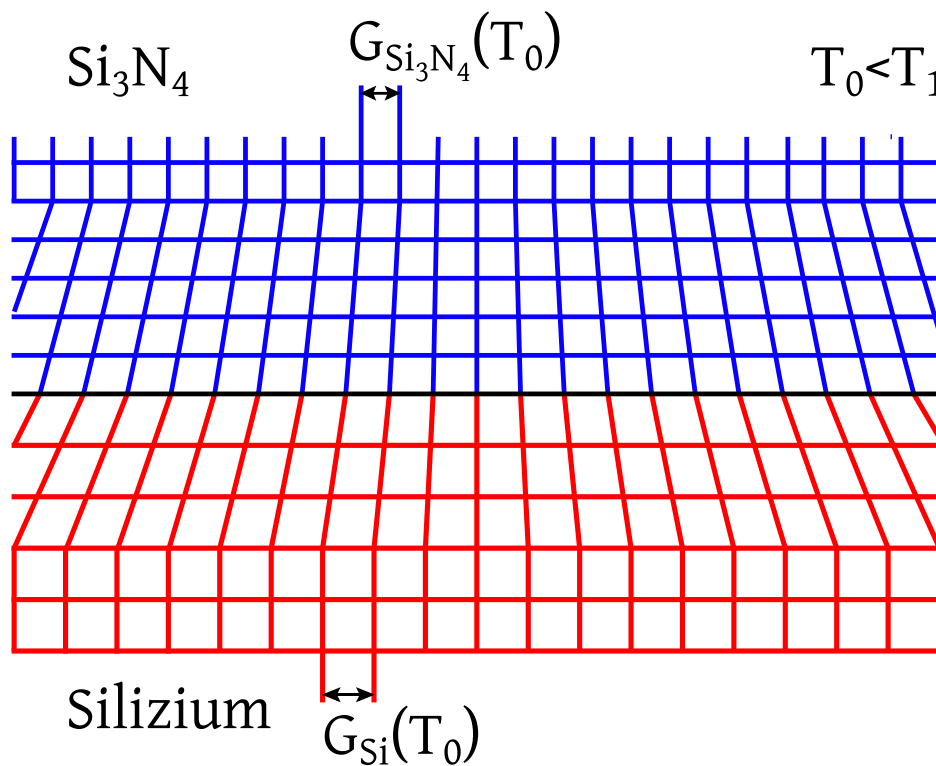
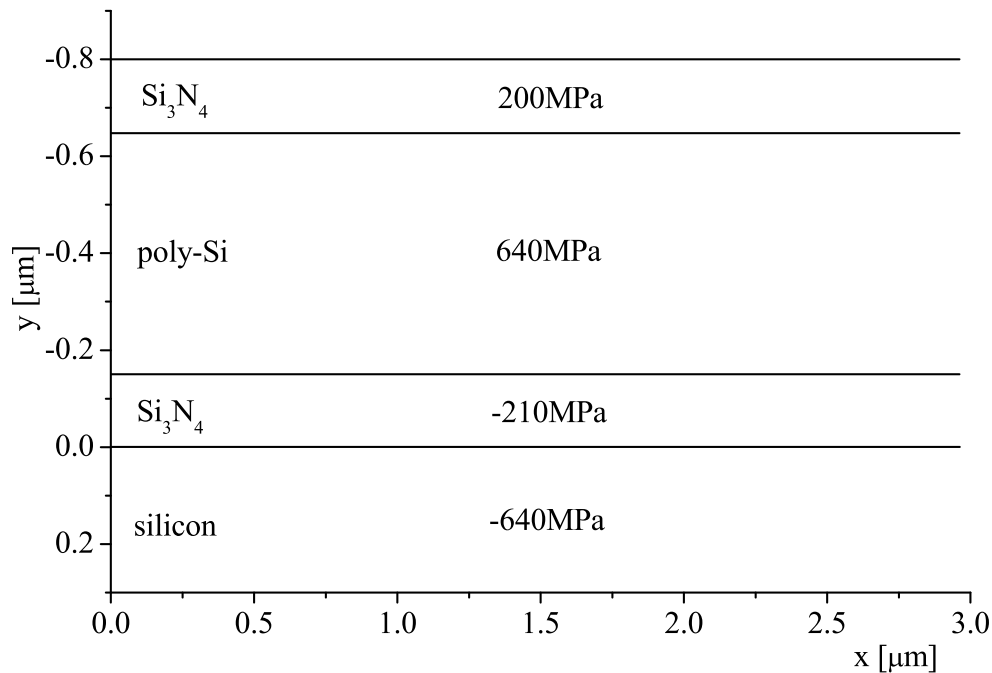


Abb. 5.25: Mechanischer Stress durch thermische Fehlanpassung bei der Schichtabscheidung: Druckspannung bei Temperatur  $T_0 < T_1$



**Abb. 5.26:** Mechanischer Stress durch thermische Fehlanpassung bei der Schichtabscheidung: maximaler Stress nach Abscheiden der Nitridschichten

Um den Einfluss von mechanischen Spannungen auf die Beweglichkeit beim Gate-Last-Prozess zu untersuchen, wurden Simulationen durchgeführt und mit Messwerten verglichen. Da, die beim Gate-Last-Prozess verwendeten, Siliziumnitridschichten im Allgemeinen unterschiedliche thermische Ausdehnungskoeffizienten als Silizium haben, können durch den Prozess mechanische Spannungen im Bauelement auftreten. Die mechanischen Spannungen hängen von der Dicke der aufgetragenen Schicht und der Abscheidetemperatur ab, da der thermische Ausdehnungskoeffizient eines Materials selbst temperaturabhängig ist

$$\alpha = \alpha_{ref} + \alpha_{rate} (T - T_{ref}) \quad (5.2)$$

Tritt eine Zugspannung auf, wird das Siliziumgitter etwas gedehnt, wodurch der Gitterabstand leicht ansteigt, was eine niedrigere Atomdichte und damit eine größere Beweglichkeit der Elektronen bewirkt (Abb. 5.24). Umgekehrt bewirken Druckspannungen Stauchungen des Siliziumgitters, die Gitterkonstante sinkt, die Atomdichte steigt, wodurch die Elektronenbeweglichkeit sinkt (Abb. 5.25). Mechanische Spannungen können also die Ladungsträgerbeweglichkeit positiv oder negativ beeinflussen und damit auch das Bauteilverhalten.



---

In der technischen Anwendung können beispielsweise die Source-/Draingebiete von p-Kanal-MOSFETs durch Ätzprozesse entfernt und durch eine Siliziumgermaniumlegierung ( $\text{Si}_x\text{Ge}_y$ ) ersetzt werden. Da die Germaniumatome einen größeren Radius und damit eine größere Gitterkonstante als Silizium besitzen, wachsen sie verspannt auf und setzen das daneben liegende Kanalgebiet unter Druckspannung, was die Löcherbeweglichkeit erhöht. Je höher der Germaniumanteil  $y$  gewählt wird, umso stärker wirkt sich dieser Effekt aus. Die dabei entstehenden Spannungen bewegen sich im Bereich von einigen GPa. Die Einbringung von Germanium ist laut aktuellen Berichten bis zu einer Maximalkonzentration von  $y = 0.3$  möglich [120, 121], bei der eine Leistungssteigerung der Transistoren um etwa 30% beobachtet wurde. Bei n-Kanal-MOSFETs kann stattdessen Siliziumcarbid ( $\text{Si}_x\text{C}_y$ ) verwendet werden, was durch die kleineren Kohlenstoffatome eine Zugspannung im Kanalgebiet erzeugt und die Elektronenbeweglichkeit steigert.

Zusätzlich ist es möglich, das Kanalgebiet durch Nitridschichten zu verspannen, sogenannte Stress Liner, die oberhalb des Gatestacks abgeschieden werden und je nach Abscheideprozess entweder eine Zug- oder eine Druckspannung auf das darunter liegende Kanalgebiet ausüben können [41, 121].

Zunächst wurden Simulationen ohne die Berücksichtigung der thermischen Fehlanpassung von Silizium und Siliziumnitrid durchgeführt. Nach der Erstellung der Stressmodelle und Materialparameter wurde ein zweiter Simulationslauf zur Bestimmung der zusätzlich erzeugten mechanischen Spannung durchlaufen, um den Einfluss der Nitridschicht zu beschreiben. Die benötigten Parameter wurden experimentellen Ergebnissen entnommen [65, 122]. Abb. 5.27 und 5.28 zeigen den Verlauf der mechanischen Beanspruchung während des Gate-Last-Prozesses. Negative Werte beschreiben Druckspannungen, positive Werte zeigen Zugspannungen an. Alle Werte sind in Pascal [Pa] angegeben.

Wie die Prozesssimulation in Abb. 5.26 zeigt, erzeugt die Schichtfolge Druckspannungen im Siliziumsubstrat, was zu einer verminderten Ladungsträgerbeweglichkeit führen könnte, wenn die Spannungen permanent im Bauelement vorherrschen würden. Dies ist jedoch nicht der Fall, wie Abb. 5.23 und 5.24 darstellt. Nach dem Prozessverlauf übersteigt die Druckspannung im Kanal den Wert von -20 bis -40MPa nicht, nur an Kanten können höhere Werte bis -200MPa auftreten. Die Maximalwerte während des Gate-Last-Prozesses betragen jedoch -640MPa (Druckspannung) bis 1GPa (Zugspannung).

Um eine Aussage bezüglich der elektrischen Eigenschaften der Bauelemente zu erhalten, werden die prozess-simulierten Modelle mit mechanischen Spannungen mit einem Device-Simulator elektrisch simuliert und mit Simulationsergebnissen von stressfreien Bauelementen verglichen. Bei den stressfreien Bauelementen wurde die Berechnung der mechanischen Einflüsse in der Simulation deaktiviert. Sie dienen als Referenz mit nahezu idealen Unterschwellen-Charakteristiken, wie Abb. 5.29 für die Bauelemente mit 5nm  $\text{SiO}_2$ -Dielektrikum und Abb. 5.30 für die Bauelemente mit  $\text{Gd}_2\text{O}_3$  high- $\kappa$ -Dielektrikum zeigt. Durch die Implementierung der Stressmodelle ergibt sich ein Einfluss durch kompressiven Stress von 20 bis 50MPa, was sich aber nur in einer sehr schwachen Verschiebung der Kennlinien äußert. Die Ausgangskennlinien werden ebenfalls nur in geringer Weise beeinflusst, wie die Abbildungen 5.31 und 5.32 aufzeigen.

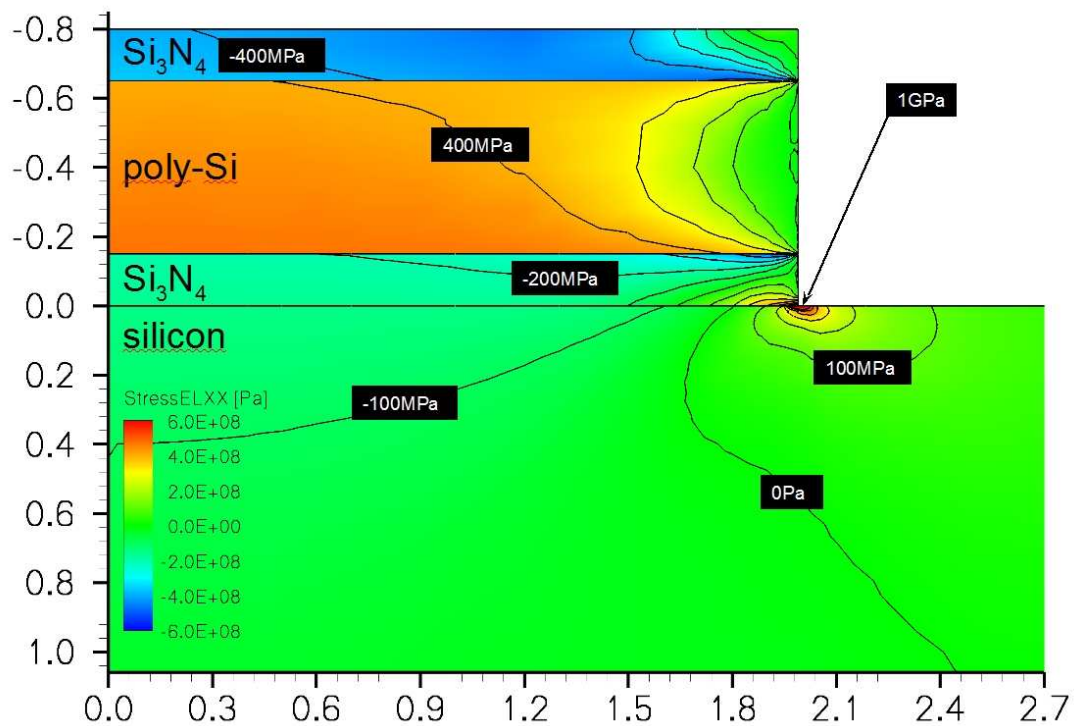


Abb. 5.27: Simulierter mechanischer Stress in Kanalrichtung während Gate-Last-Prozess nach Formierung des Dummy-Gates

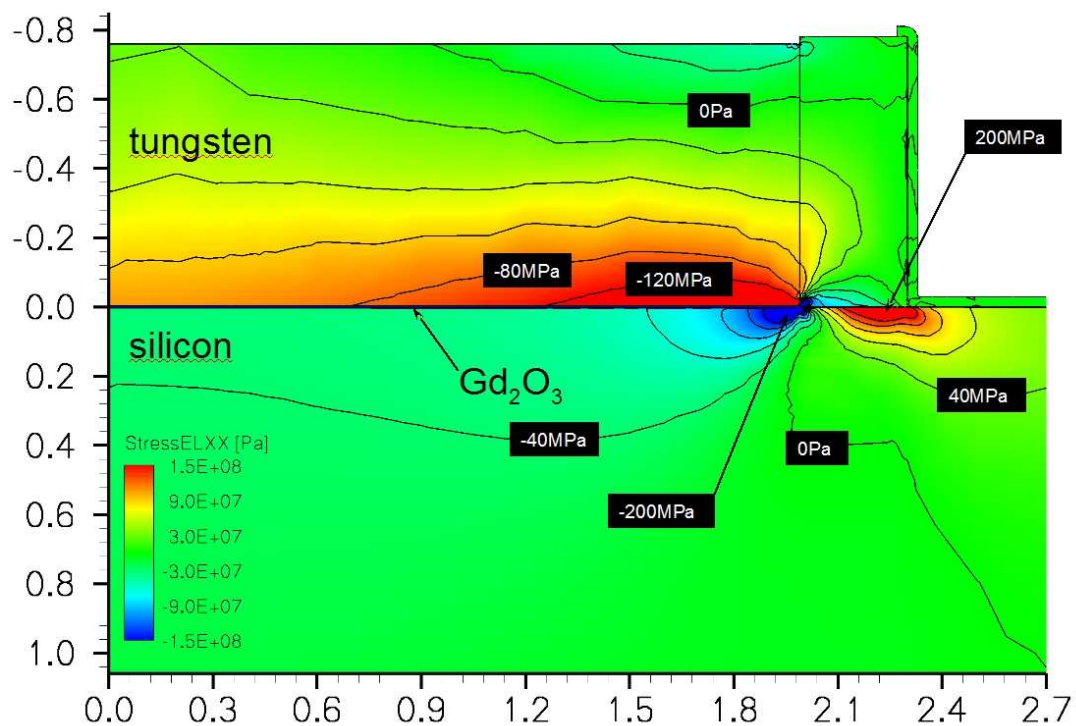


Abb. 5.28: Simulierter mechanischer Stress in Kanalrichtung während Gate-Last-Prozess nach Entfernen des Dummy-Gates und Abscheidung des eigentlichen Gate-Stacks

Da die ermittelten mechanischen Spannungen offensichtlich keine signifikanten Auswirkungen auf das Bauelement-Verhalten haben, wurden die Spannungen in weiteren Simulationen manuell erhöht, um zu untersuchen, ab welchen Werten sich Abweichungen vom idealen Verhalten zeigen. Dazu wurden die Bauelemente mit mechanischem Stress zwischen 150MPa Zugspannung und 1GPa Druckspannung beaufschlagt. In Abb. 5.31 und 5.32 kann man bei beiden Bauelementen eine leichte Zunahme des Drainstroms für 150MPa Zugspannung erkennen, was über die Erhöhung der Ladungsträgerbeweglichkeit, in diesem Fall Elektronen, erklärt werden kann. Bei 150MPa Druckspannung sinkt der Drainstrom und damit die Beweglichkeit leicht ab. Dieser Wert wird jedoch im prozess-simulierten Bauelement nicht erreicht, welches eine Druckspannung im Kanal von nur 20 - 50MPa aufweist. Selbst mit 150MPa oder 500MPa Druckspannung liegt die Kennlinie des simulierten Bauelements immer noch weit von der Kennlinie des gemessenen Bauelements entfernt. Erst mit 1GPa Druckspannung liegt der simulierte Drainstrom im Bereich des gemessenen Drainstroms.

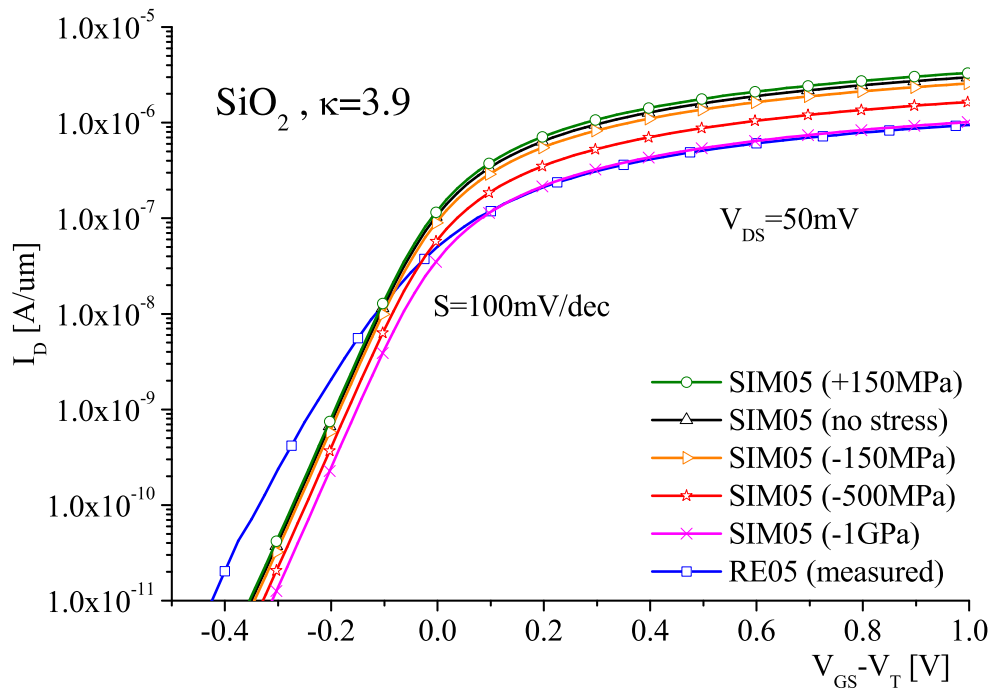


Abb. 5.29: Stress Unterschwellenbereich RE05

Es ist demnach ausgeschlossen, dass die niedrige Ladungsträgerbeweglichkeit auf Spannungen im Siliziumsubstrat zurückzuführen ist. Allerdings ist es möglich, dass durch die mechanischen Spannungen während des Gate-Last-Prozesses Punktdefekte an der Grenzfläche erzeugt werden, die im späteren Betrieb als Störung wirken können. Loiko und van Zeijl [123, 124] beschreiben die Korrelation zwischen mechanischer Spannung und Bauelementausfällen aufgrund von Punktdefekten bei vergleichbaren mechanischen Spannungen, wie die im Prozess auftretenden maximalen Druckspannungen von 640MPa und maximale punktuelle Zugspannungen von 1GPa.

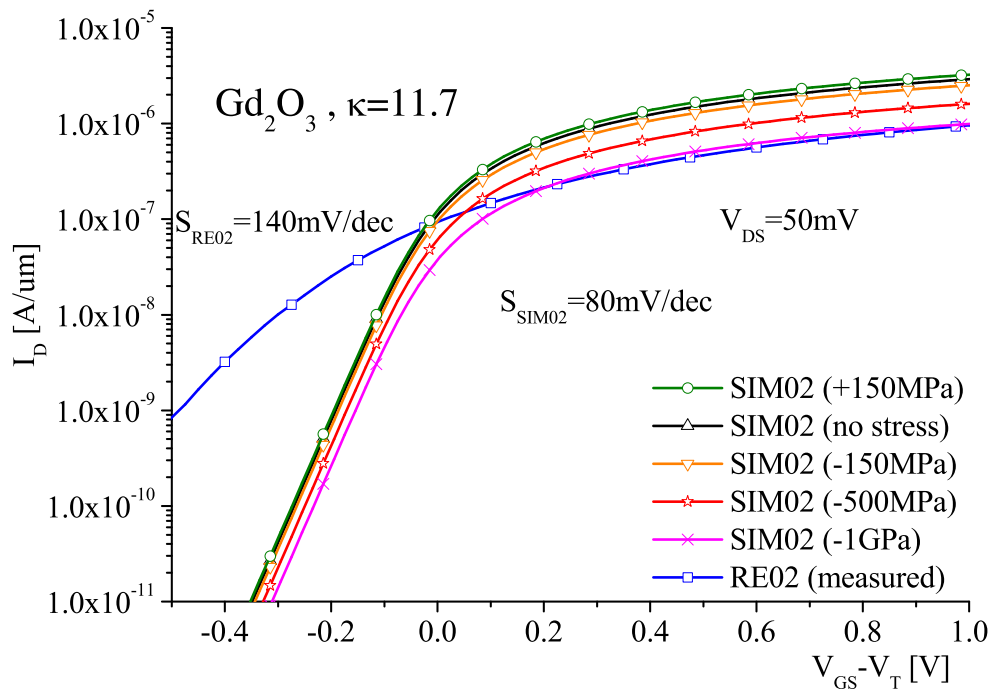


Abb. 5.30: Stress Unterschwellenbereich RE02

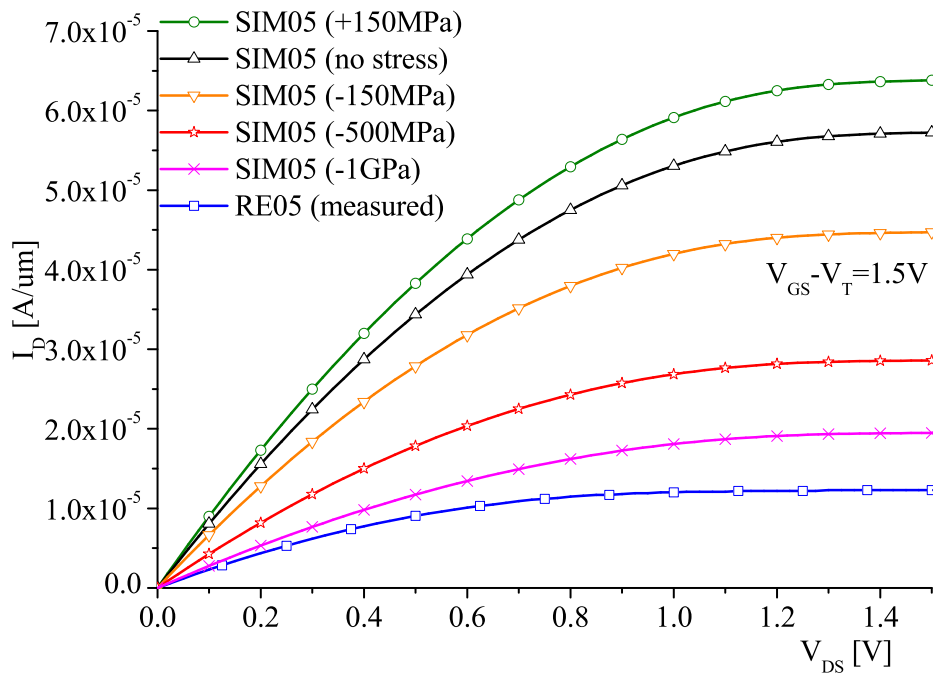


Abb. 5.31: Stress Output RE05

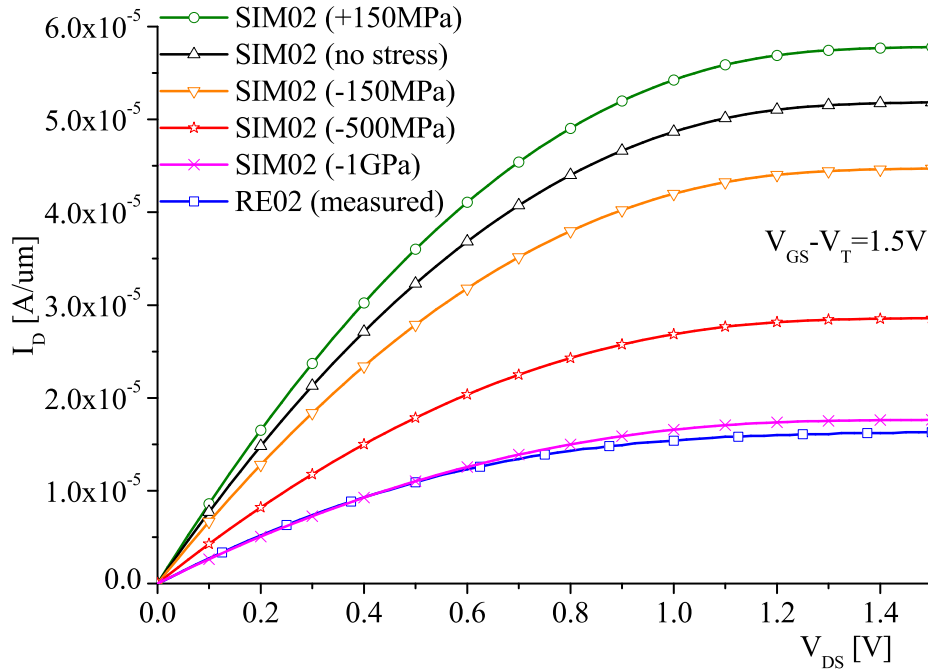


Abb. 5.32: Stress Output RE02

## 5.7 Simulation von skalierten Bauelementen

In den vorhergehenden Abschnitten wurden die Eigenschaften der Bauelemente, die in Gate-Last-Prozesstechnik gefertigt wurden, durch elektrische Messungen und Simulationen untersucht. Mit Hilfe der, an experimentelle Daten angepassten, Computersimulation ist es überdies möglich, belastbare Aussagen über skalierte Bauelemente zu treffen, ohne diese herstellen zu müssen. In den nächsten Abschnitten werden Bauelemente diskutiert, bei denen die Gatelänge von  $L_{\text{Gate}} = 4\mu\text{m}$  auf  $200\text{nm}$  reduziert wurde bei ansonsten gleich bleibenden Bauteilparametern, wie in den vorherigen Abschnitten präsentiert. Danach folgen stärker skalierte Bauelemente, bei denen zusätzlich Parameter wie die Gateisolatordicke oder die Substratdotierung angepasst wurden. Abb. 5.33 zeigt den Vergleich der Eingangskennlinien eines Gate-Last-MOSFETs mit  $L_{\text{Gate}} = 4\mu\text{m}$  und  $200\text{nm}$  mit  $\text{Gd}_2\text{O}_3$ -Dielektrikum und Metall-Gateelektrode. Der Drainstrom ist bei  $200\text{nm}$  Gatelänge wesentlich höher als bei  $4\mu\text{m}$ , da der Drainstrom sich umgekehrt proportional zur Gatelänge verhält, wie in Gl. 2.10 beschrieben. Interessant ist die höhere Beweglichkeit der Kurzkanaltransistoren gegenüber den Langkanalbauelementen, was auf die Erniedrigung der Substratdotierung durch die Raumladungszonen der Source- und Draingebiete zurückzuführen ist, die bei kurzen Kanälen einen größeren Anteil am Kanalgebiet einnehmen als bei langen Kanälen. Die bessere Beweglichkeit ist ebenfalls an der Unterschwellenkennlinie in Abb. 5.34 zu sehen, da der Ausgangsstrom im eingeschalteten Zustand größer ist als bei den Langkanaltransistoren.

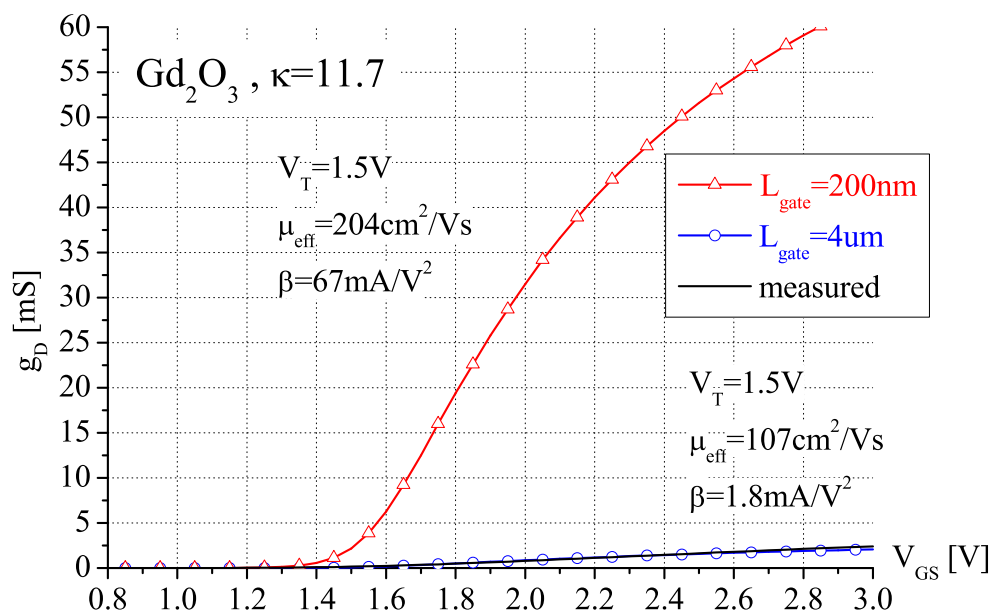


Abb. 5.33: Vergleich der Kanalleitwerte von high- $\kappa$  n-MOSFETs mit Gatelängen von  $4\mu\text{m}$  und  $200\text{nm}$

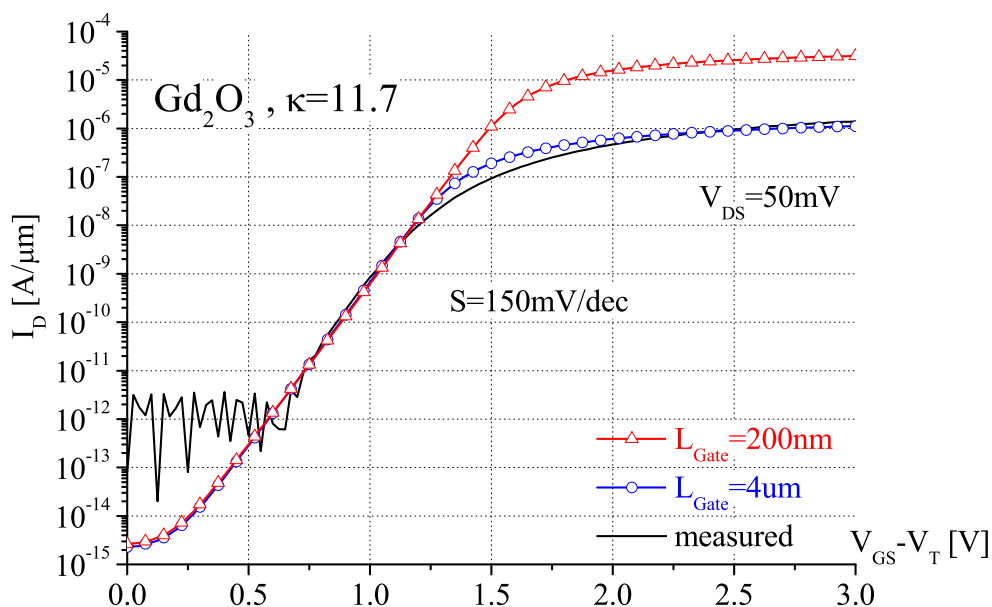


Abb. 5.34: Vergleich der Kanalleitwerte von high- $\kappa$  n-MOSFETs mit Gatelängen von  $4\mu\text{m}$  und  $200\text{nm}$

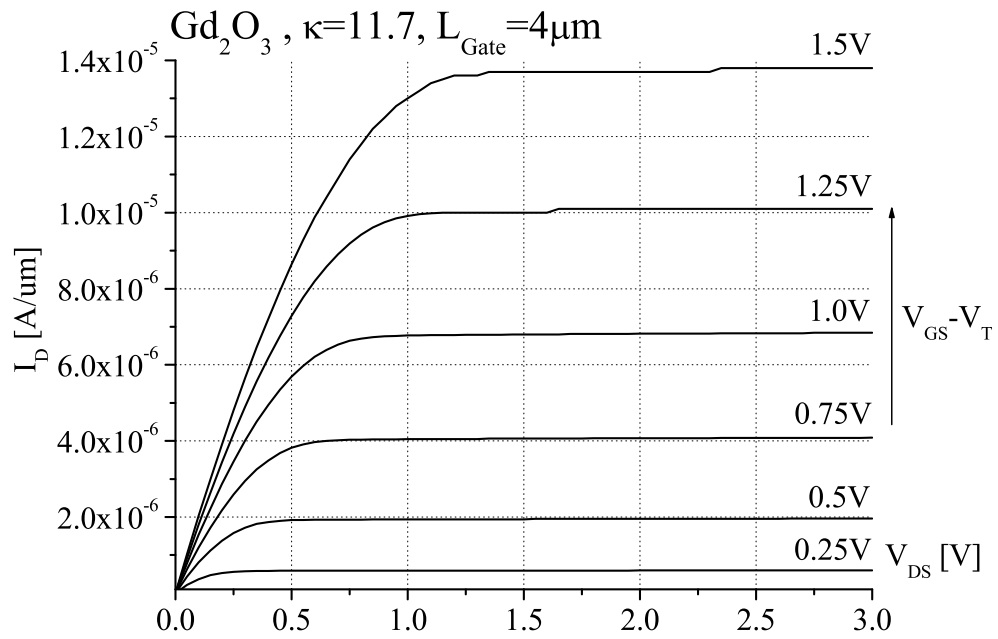


Abb. 5.35: Ausgangskennlinien von high- $\kappa$  n-MOSFETs mit  $4\mu\text{m}$  Gatelänge

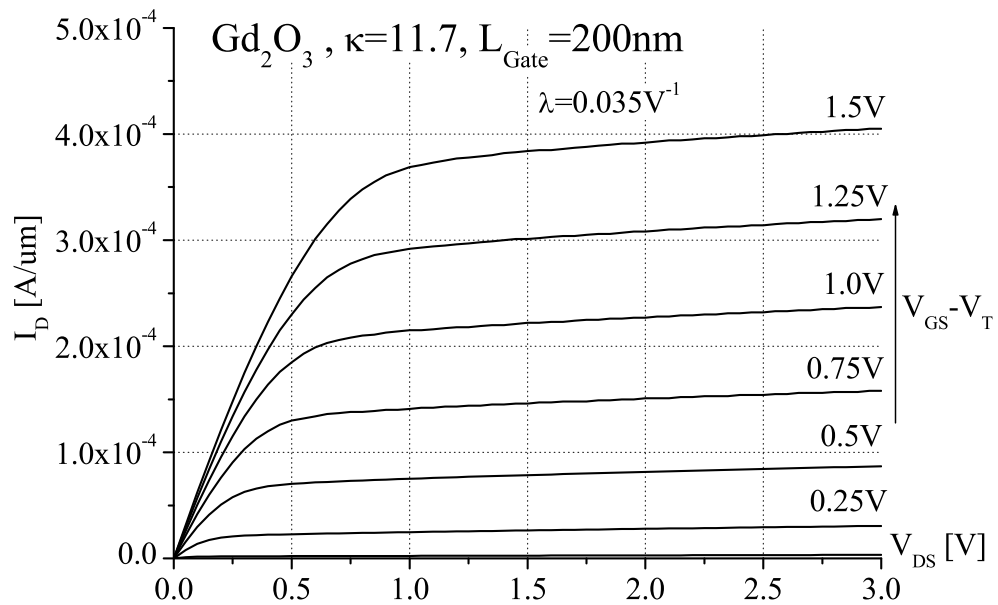


Abb. 5.36: Ausgangskennlinien von high- $\kappa$  n-MOSFETs mit  $200\text{nm}$  Gatelänge

Abb. 5.35 und 5.36 vergleichen das Ausgangsverhalten von Lang- und Kurzkanaltransistoren. Die Kurzkanaltransistoren sind durch einen, um den Faktor 25 - 30, höheren Strom bei allen Gatespannungen gekennzeichnet, was der Erwartung entspricht, dass der Drainstrom umgekehrt proportional von der Gatelänge abhängt. Bei den Kurzkanaltransistoren ist der Effekt der Kanallängenmodulation sichtbar, was sich in einem Ansteigen des Drainstroms über die Sättigungsspannung hinaus bemerkbar macht.

Abb. 5.37 zeigt den Vergleich der Unterschwellensteilheiten von nMOSFETs mit Gatelängen bis zu 50nm. Die Unterschwellensteilheit wird dabei bei sinkenden Gatelängen immer schlechter von  $S_{200} = 69\text{mV/dec}$  beim MOSFET mit einer Gatelänge von 200nm bis auf  $S_{50} = 107\text{mV/dec}$  bei 50nm Gatelänge. Dies ist mit der Erniedrigung der Barrierenhöhe zu erklären, die bei kleineren Kanallängen immer weiter von den Raumladungszonen der Source-/Drainübergänge beeinflusst wird. Die Transistoren mit kurzen Kanälen schalten nicht mehr so gut ab, wie die mit langen Kanälen, was einem größeren Drainstrom im Unterschwellenbereich bedingt, der wiederum einer schlechteren Unterschwellensteilheit entspricht.

Die Transistoren mit kürzeren Kanälen haben dementsprechend auch einen Drainstrom im Ausgangskennlinienfeld (Abb. 5.38), wo die 50nm-Bauelemente bei  $V_{DS} = 1\text{V}$  einen um den Faktor 1.7 größeren Drainstrom treiben, als die Bauelemente mit 200nm Gatelänge. Dagegen ist die Kanallängenmodulation bei den Kurzkanaltransistoren stärker als bei den Langkanaltransistoren.

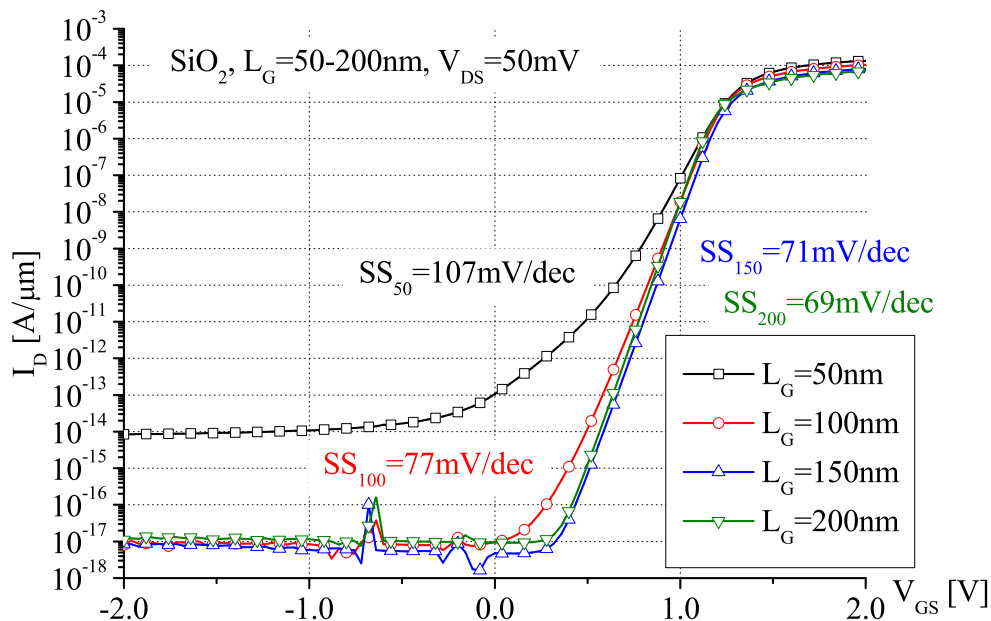


Abb. 5.37: Unterschwellencharakteristik von Kurzkanal-nMOSFETs mit 2nm-SiO<sub>2</sub>-Dielektrikum



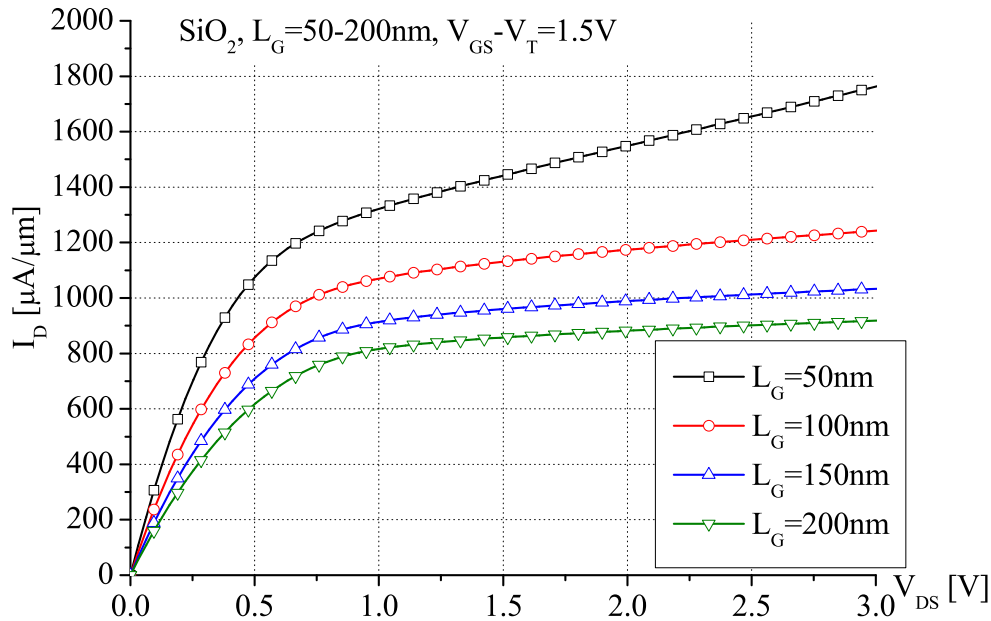


Abb. 5.38: Ausgangskennlinien von Kurzkanal-nMOSFETs mit 2nm-SiO<sub>2</sub>-Dielektrikum

Durch den Einsatz von high- $\kappa$ -Materialien als Gatedielektrika bei gleicher physikalischer Oxiddicke kann das Schaltverhalten von MOSFETs verbessert werden, da der Gatedurchgriff durch die kleinere äquivalente Oxiddicke verstärkt wird. Dies ist gut an den Unterswellenkennlinien zu erkennen, wie sie in Abb. 5.39 und 5.40 dargestellt sind. Die angegebenen Oxiddicken sind die physikalischen Dicken. Bei den 200nm-Bauelementen treten nur schwache Kurzkanaleffekte auf, weswegen nur eine schwache Verbesserung von 69mV/dec auf 66mV/dec bei den Bauelementen mit Gd<sub>2</sub>O<sub>3</sub>-Dielektrika zu beobachten ist. Bei den Bauelementen mit 50nm langen Gates treten die Kurzkanaleffekte schon stärker hervor. Hier bringt der Einsatz des high- $\kappa$  Dielektrika eine 25-prozentige Verbesserung der Unterswellensteilheit von 107mV/dec auf 86mV/dec.

Der hohe Gatedurchgriff ist in den CV-Kennlinien in Abb. 5.41 anhand der wesentlich höheren Kapazität des high- $\kappa$ -Bauelements mit gleicher geometrischer Dicke sichtbar. Die Bauelemente mit 5nm Gd<sub>2</sub>O<sub>3</sub>- und 2nm SiO<sub>2</sub>-Dielektrika besitzen wegen ihrer ähnlichen äquivalenten Oxiddicke etwa die gleiche Kapazität. Schließlich zeigt auch ein Vergleich der Ausgangskennlinien in Abb. 5.42, dass die Bauelemente mit 5nm Gd<sub>2</sub>O<sub>3</sub>-Dielektrika elektrisch gleichwertig zu den Bauelementen mit 2nm SiO<sub>2</sub>-Dielektrika sind, was sich in fast identischen Ausgangskennlinien äußert. Bei gleicher geometrischer Dicke liefert der Gd<sub>2</sub>O<sub>3</sub>-Transistor bei  $V_{DS} = 1\text{V}$  einen um Faktor 1.6 höheren Drainstrom.

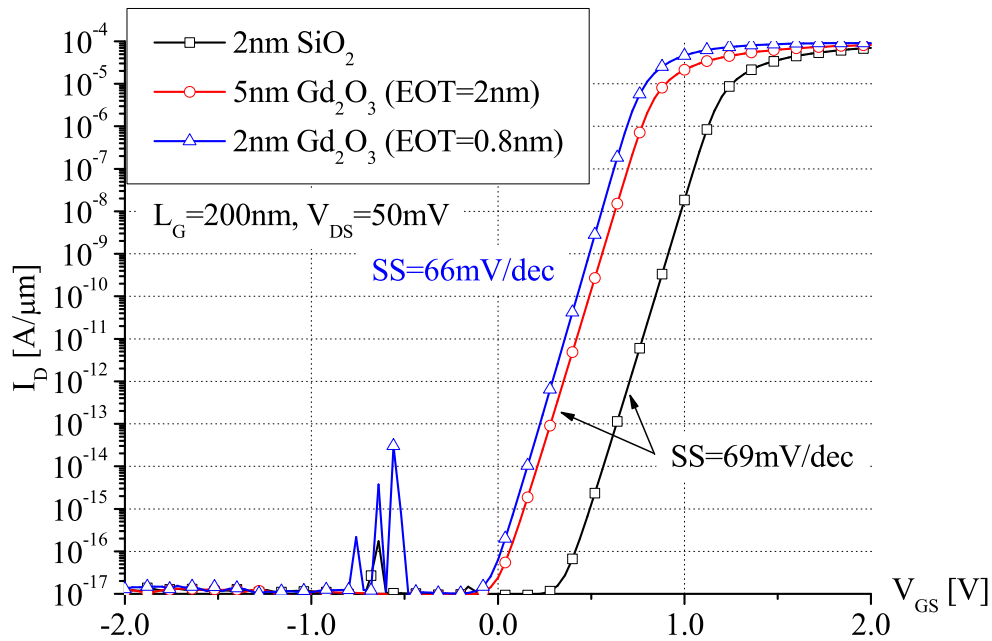


Abb. 5.39: Vergleich der Unterschwellenkennlinien von Referenz- und high- $\kappa$  Kurzkanal-MOSFETs mit 200nm Gatelänge

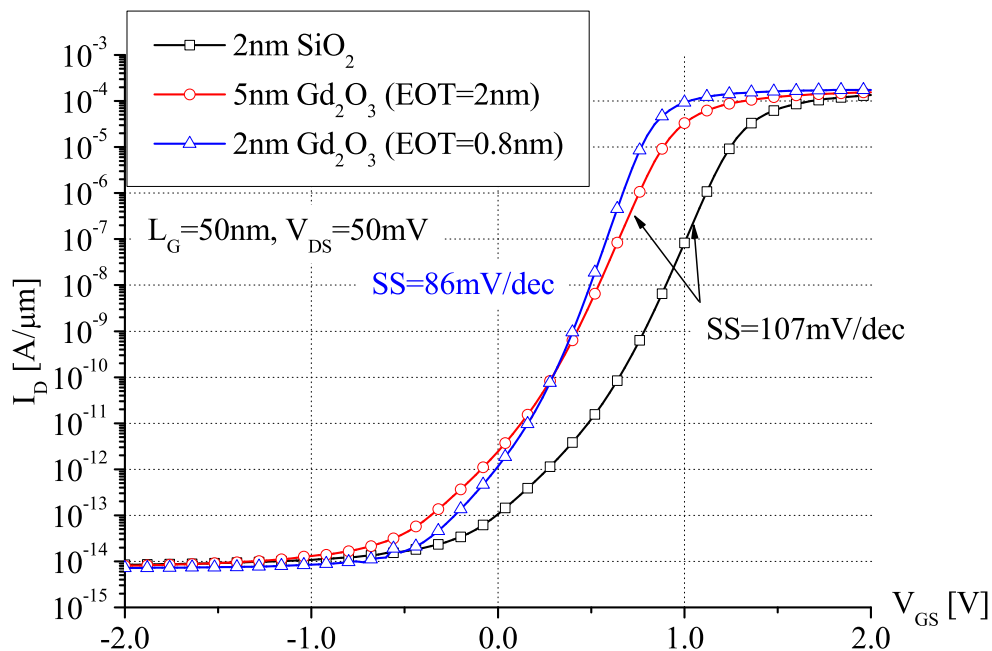


Abb. 5.40: Vergleich der Unterschwellenkennlinien von Referenz- und high- $\kappa$  Kurzkanal-MOSFETs mit 50nm Gatelänge

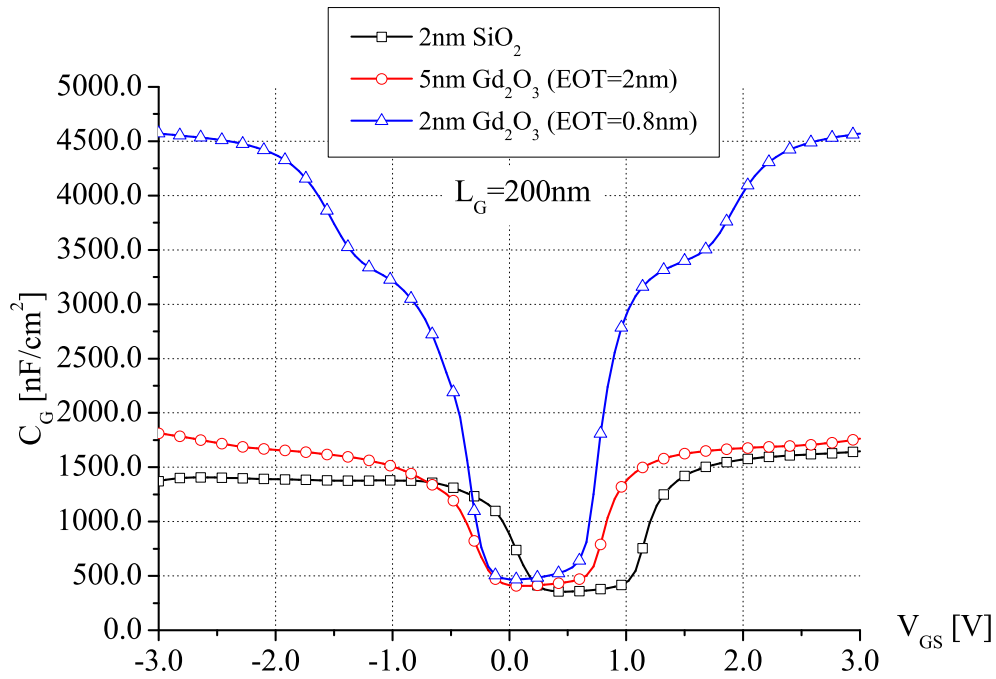


Abb. 5.41: Vergleich der Gatekapazitäten von Referenz- und high- $\kappa$  Kurzkanal-MOSFETs mit 200nm Gatelänge

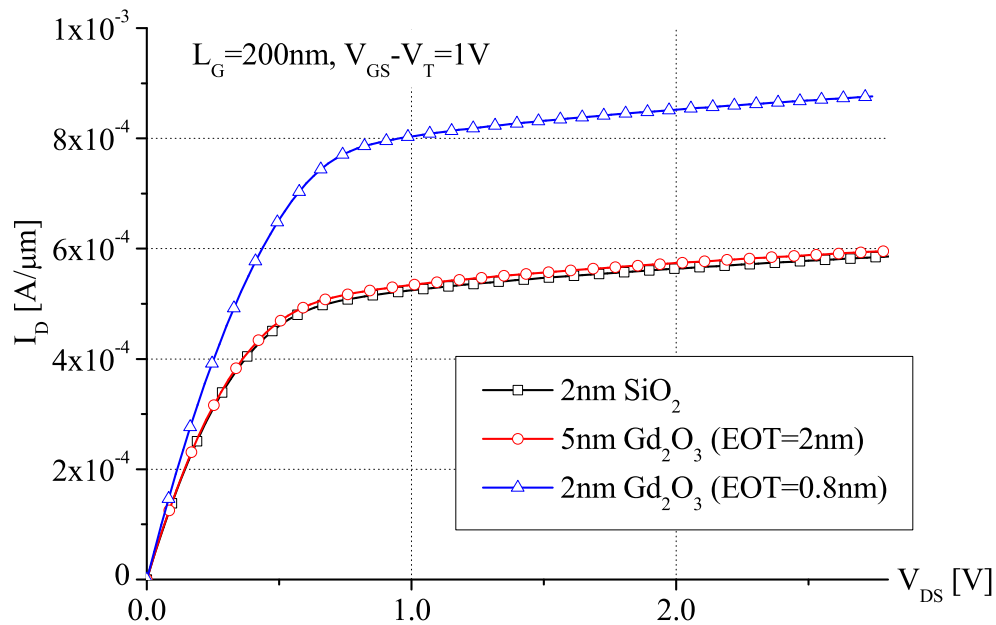


Abb. 5.42: Vergleich der Ausgangskennlinien von Referenz- und high- $\kappa$  Kurzkanal-MOSFETs mit 200nm Gatelänge

---

Alle Ergebnisse der MOSFET-Simulationen für Referenzbauelemente und high- $\kappa$ -Bauelemente mit dicken und dünnen Gatedielektrika ist in A.1 in Anhang A zusammengefasst. Dabei beträgt die Austrittsarbeit der Gateelektrode bei allen Bauelementen  $E_A = 4.8\text{eV}$ , die Dotierstoffkonzentration von Source und Drain  $N_{SD} = 5 \cdot 10^{19}\text{cm}^{-3}$ , die Dotierstoffkonzentration der LDD-Gebiete  $N_{LDD} = 5 \cdot 10^{18}\text{cm}^{-3}$  und die effektive Gate-/Sourcespannung  $V_{GS,eff} = V_{GS} - V_T = 1.5\text{V}$ .

## 5.8 Zusammenfassung

In diesem Kapitel wurden die elektrischen Eigenschaften von  $\text{SiO}_2$  und high- $\kappa$  Transistoren behandelt. Die Ergebnisse der elektrischen Messungen und der Simulationen lassen sich wie folgt zusammenfassen. Die untersuchten high- $\kappa$  Bauelemente besitzen Dielektrizitätszahlen von  $\kappa = 10$  ( $\text{Gd}_2\text{O}_3$ ) bzw.  $\kappa = 30$  ( $\text{Pr}_2\text{O}_3$ ). Ein Vergleich der elektrisch gemessenen Charakteristiken mit den Werten, die aus den Simulationen gewonnen wurden, zeigt eine reduzierte Beweglichkeit der Ladungsträger im Kanal, was zu niedrigeren Kanalleitwerten und somit zu geringeren Ausgangsströmen führt. Die Simulationsmodelle ermöglichen einen Vergleich der elektrisch gemessenen Bauelemente mit idealen Modellen, die die theoretisch erreichbaren Eigenschaften der Transistoren widerspiegeln. Damit kann eine Aussage gemacht werden, ob die betrachtete Technologie das Potenzial hat, eine Verbesserung gegenüber der bisherigen Technologie zu erreichen. Trotz der verminderten Ladungsträgerbeweglichkeit ist dieses Potenzial bei den untersuchten high- $\kappa$  Transistoren gegeben, da in Betracht gezogen werden muss, dass es sich hierbei um erste Prototypen handelt, die die technologische Integrierbarkeit von kristallinen high- $\kappa$  Materialien als Dielektrika von MOSFETs demonstrieren sollen. Die erhebliche Leistungssteigerung von den  $\text{Pr}_2\text{O}_3$ - zu den  $\text{Gd}_2\text{O}_3$ -Bauelementen zeigt auf, dass sich mit einer ausgereiften Technologie ähnlich gute Charakteristiken wie bei den  $\text{SiO}_2$ -Bauelementen ergeben, was bei Oxiddicken von  $d_{\text{ox},\text{high-}\kappa} = d_{\text{ox},\text{SiO}_2}/\kappa$  eine deutliche Verbesserung der heutigen Technologie darstellt.

Die Gateleckströme sind bei den  $\text{Gd}_2\text{O}_3$ -Bauelementen nicht höher als bei den Referenzbauelementen mit  $\text{SiO}_2$ -Gatestack. Strukturdefekte aufgrund mechanischen Stresses während des Gate-Last-Herstellungsprozesses können mit Hilfe der durchgeführten Stressanalysen nahezu ausgeschlossen werden und sind demnach nicht ursächlich für die verringerte Ladungsträgerbeweglichkeit. Das zu Grunde liegende Prinzip des Gate-Last-Prozesses ist somit eine erfolgreiche Methode, kristalline high- $\kappa$ -Dielektrika in den CMOS-Prozess zu integrieren.

Die Simulationen von zukünftigen skalierten Transistoren lassen die Vorteile der high- $\kappa$ -Dielektrika noch deutlicher zum Vorschein treten, da bei gleicher physikalischer Dicke der Gate-Dielektrika wesentlich bessere Charakteristika erreicht werden können, was sich in besseren Steigungen der Umschwellenkennlinien und verbesserten Ausgangskennlinien der Transistoren äußert.

Eine mögliche Verbesserung des Gate-Last-Prozesses wurde vorgeschlagen, konnte aber aufgrund des begrenzten Zeitrahmens innerhalb dieser Arbeit nicht mehr zu Ende geführt werden. Um den Ein-

---

fluss der Nitridabscheidung auf das darunter liegende Siliziumgebiet zu untersuchen, wurden Wafer angefertigt, bei denen vor der Nitridabscheidung durch thermische trockene Oxidation eine dünne SiO<sub>2</sub>-Pufferschicht erzeugt wurde, die das aktive Gebiet vor mechanischen Spannungen und sonstigen, durch den Prozess bedingten, Einflüssen schützen sollen.



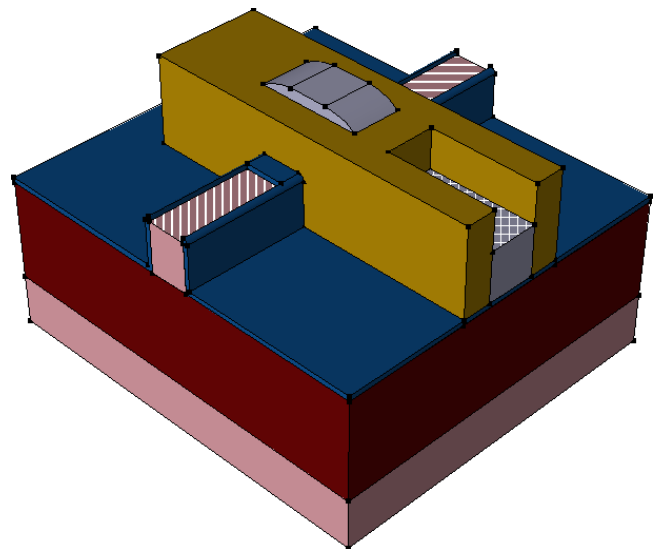
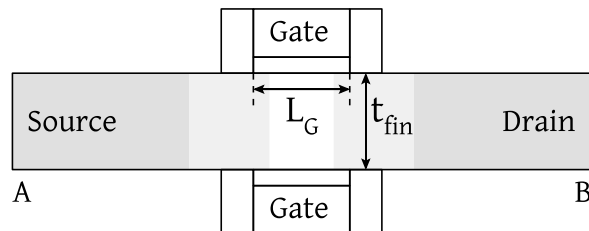
---

## 6 Simulationsergebnisse nicht-planarer MOSFET-Strukturen

---

Bei nicht-planaren MOSFET-Strukturen dehnt sich das Kanalgebiet im Gegensatz zu konventionellen MOSFETs nicht nur in der Ebene, sondern ebenfalls in der Höhe aus. Ein Beispiel für ein solches Bauelement ist der FinFET, so genannt, da er aus einer sehr schmalen Siliziumfinne besteht, die aus dem Substratmaterial heraus geätzt wird. Zur Herstellung solcher Strukturen benötigt man Prozessschritte, die die Oberfläche des Siliziumwafers verändern, wie zum Beispiel reaktives Ionenätzen (RIE), fortschrittliche Schichtabscheidetechniken wie Niederdruck-Plasma-CVD (LPCVD, PECVD) und chemisch-mechanisches Polieren (CMP) zum Glätten der Oberfläche. Im Fall von FinFETs sind besondere Substrate nötig, die eine vergrabene Oxidschicht aufweisen, sogenannte Silicon-On-Insulator-Wafer (SOI). Diese sind aufwändiger herzustellen und dadurch teurer als normale Siliziumwafer. Da die obere Siliziumschicht bis auf die Finnen vollständig entfernt wird, ist die Isolation der einzelnen Bauelemente voneinander gewährleistet.

Die Vorteile der FinFETs wurden in Kapitel 2 ausführlich erläutert. Durch die vertikale Anordnung des Kanalgebiets nimmt ein Bauelement weniger Chipfläche ein. Verbesserungen ergeben sich hinsichtlich der Kurzkanaleffekte, die bei dünnen Finnen stark vermindert werden können, wie in diesem Kapitel gezeigt wird. Zunächst werden 2-dimensionale Simulationsmodelle vorgestellt, da der Rechenaufwand gegenüber 3-dimensionalen Strukturen sehr stark reduziert werden kann. Als Modell wird eine Struktur wie in Abb. 6.1a benutzt, welches einen Schnitt durch eine Draufsicht eines FinFETs darstellt. Die 2-dimensionale Struktur besitzt zwei Gates, die aber in der Simulation elektrisch zusammenhängend betrachtet werden, wie dies in der 3-dimensionalen Realität der Fall ist. Danach werden Ergebnisse aus 3-dimensionalen Simulationen mit den 2-dimensionalen Ergebnissen verglichen, um die Qualität der Modelle zu überprüfen. Abb. 6.1b zeigt ein Modell, wie es für die elektrischen Simulationen verwendet wird. Schließlich werden noch Simulationsergebnisse von Schottky-Barrier-MOSFETs beschrieben und mit elektrisch gemessenen Bauelementen verglichen, um die Eigenschaften dieser Bauelemente darzustellen.



(a) 2-dimensionales Modell einer FinFET-Struktur (Aufsicht) (b) 3-dimensionales Modell einer FinFET-Struktur (perspektivische Aufsicht)

Abb. 6.1: 2D- und 3D-Modellstrukturen

## 6.1 2D-Simulationen

Vergleicht man die Unterschwellencharakteristiken von FinFETs mit denen eines MOSFETs (Abb. 6.2) erkennt man zunächst keine signifikante Verbesserung gegenüber der MOS-Charakteristik. Dabei ist jedoch zu beachten, dass das Kanalgebiet mit  $N = 10^{18} \text{cm}^{-3}$  sehr hoch dotiert ist, was die Ausdehnung der Source-/Drainraumladungszonen stark einschränkt und Kurzkanaleffekte unterdrückt. Die Ladungsträgerbeweglichkeit wird durch die hohe Substratdotierung natürlich stark vermindert, was den maximal erreichbaren Drainstrom begrenzt und die Schaltgeschwindigkeit erniedrigt, die von der Transitzeit der Ladungsträger durch den Kanal abhängt. Die FinFET-Strukturen können ihren Vorteil der besseren Gatekontrolle über die Kanalladung im Vergleich zum MOSFET bei dieser Konfiguration nicht ausspielen. Dies ändert sich, wenn man die Kanaldotierung absenkt, oder wie in Abb. 6.3 gezeigt, vollständig undotierte oder intrinsische Kanalgebiete verwendet. Ein MOSFET würde bei dieser Gatelänge von  $L_{\text{gate}} = 50 \text{nm}$  schon mit einer um nur eine Größenordnung kleineren Kanaldotierung von  $N = 10^{17} \text{cm}^{-3}$  keine ausreichende Gatekontrolle über das Kanalgebiet haben, mit intrinsischem Kanalgebiet könnte der MOSFET überhaupt keine Trennung zwischen Source- und Draingebiet mehr gewährleisten. Die Raumladungszonen der Source-/Draingebiete würden den Kanal kurzschließen, der Transistor könnte durch Gatesteuerung nicht mehr abschalten. Beim FinFET mit intrinsischem Kanalgebiet hingegen wird bereits mit einer Finnenbreite von  $W_{\text{fin}} = 30 \text{nm}$  die gleiche Unterschwellensteilheit erreicht, wie bei einem konventionellen MOSFET mit sehr hoher Kanaldotierung, was ein gutes und schnelles An- und Abschaltverhalten bedeutet.



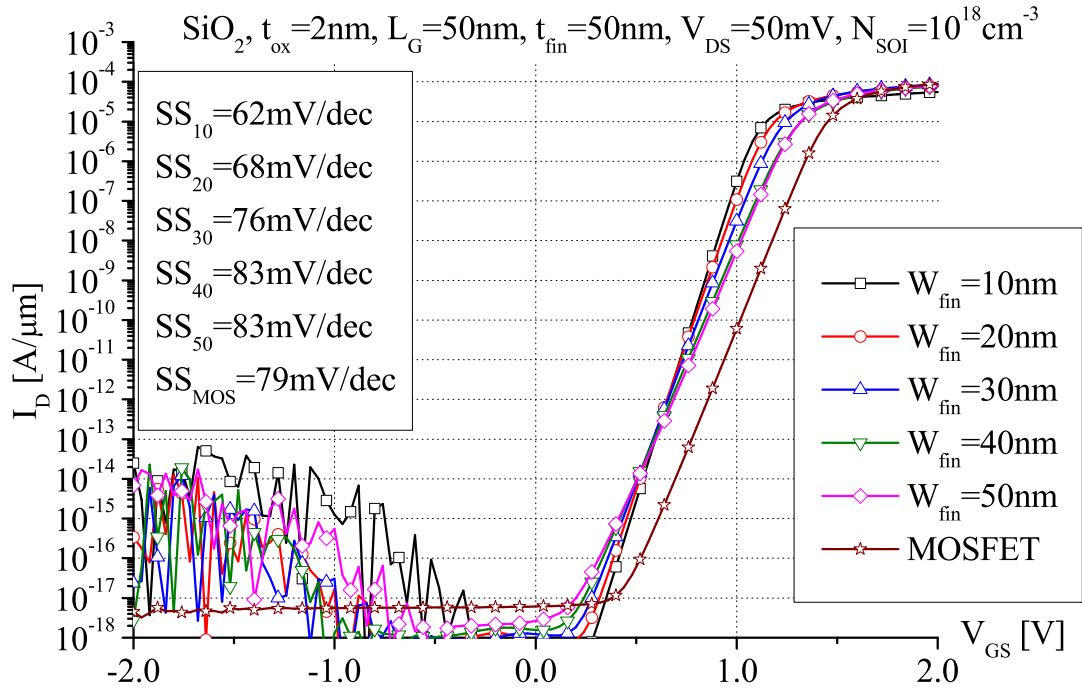


Abb. 6.2: Abhängigkeit der Unterschwellenkennlinie von der Finbreite, hohe Substratdotierung: 10<sup>18</sup>cm<sup>-3</sup>

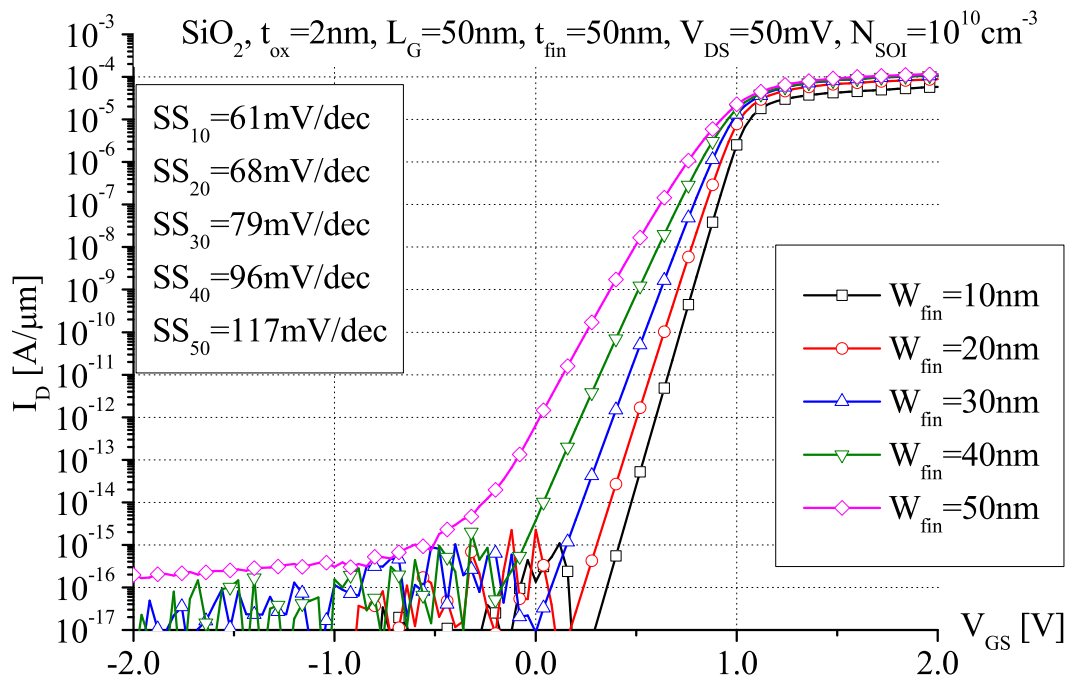


Abb. 6.3: Abhängigkeit der Unterschwellenkennlinie von der Finbreite, keine Substratdotierung: 10<sup>10</sup>cm<sup>-3</sup>

An den Ausgangskennlinien in Abb. 6.4 kann man ebenfalls den Gatedurchgriff auf das Kanalgebiet beobachten. Während die FinFETs mit Finbreiten von 50, 40 und 30nm eine vergleichbare Kanallängenmodulation wie der MOSFET aufweisen, ist der Effekt bei den Bauelementen mit 20 und 10nm breiten Finnen abgemildert. Der Drainstrom steigt bei steigender Drainspannung kaum an, da der Einfluss der drainseitigen Raumladungszone durch die Gatespannung im gesamten Kanal stark unterdrückt wird. Selbst bei intrinsischem Kanalgebiet hält die Gatekontrolle das Gebiet auf definiertem Potential und vermindert die Abhängigkeit von der Drainspannung, wie in Abb. 6.5 für undotierte FinFETs gezeigt ist.

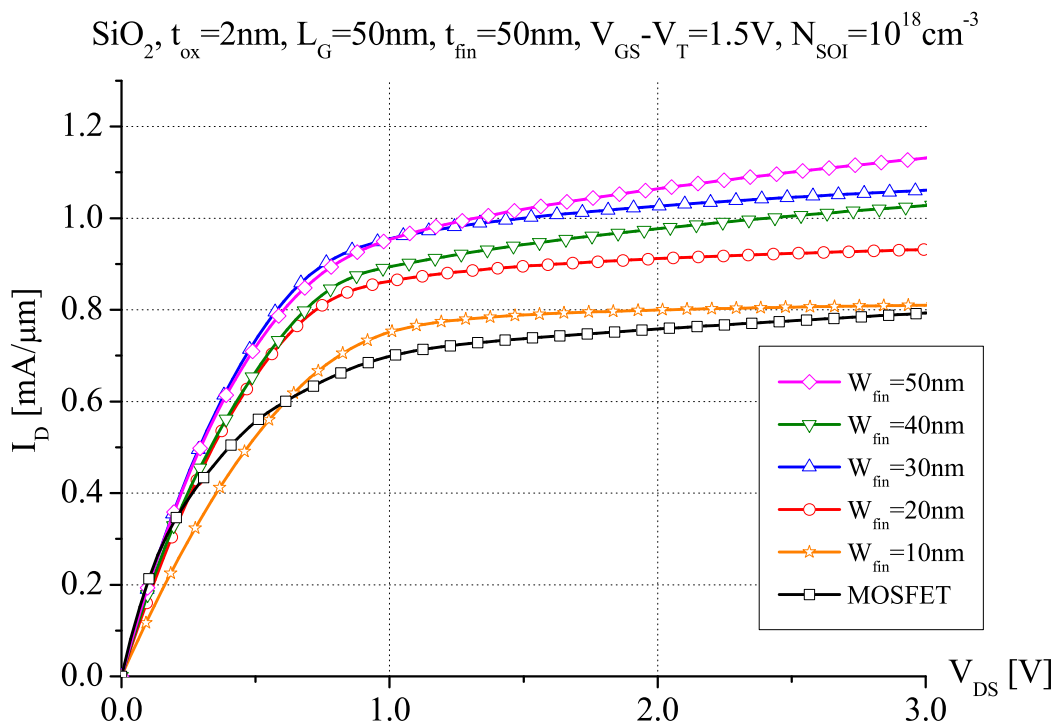


Abb. 6.4: Ausgangskennlinien von FinFETs mit verschiedenen Finbreiten und hoher Substratdotierung:  $10^{18}\text{cm}^{-3}$

In Abb. 6.6 ist eine Ausgangskennlinienschar für einen intrinsischen FinFET mit einer Finbreite von  $W_{\text{fin}} = 30\text{nm}$  und einer Gatelänge von  $W_{\text{fin}} = 50\text{nm}$  für effektive Gatespannungen  $V_{\text{GS}} - V_{\text{T}}$  von 0 bis 1.5V aufgetragen. Abb. 6.7 zeigt die CV-Kennlinien der FinFETs für Finbreiten von  $W_{\text{fin}} = 50\text{nm}$  bis 10nm. Der Knick in der CV-Kurve zwischen Verarmungs- und Inversionsgebiet entsteht aufgrund des Floating Body Effekts des FinFET-Substrats, welches durch das vergrabene Oxid isoliert wird. Wird der Transistor vom Zustand der Verarmung in den Zustand der Akkumulation getrieben, sind zunächst nicht genügend Majoritätsladungsträger verfügbar, um eine Flächenladung unter dem Gateoxid zu erzeugen, was die verminderte Gatekapazität erklärt.

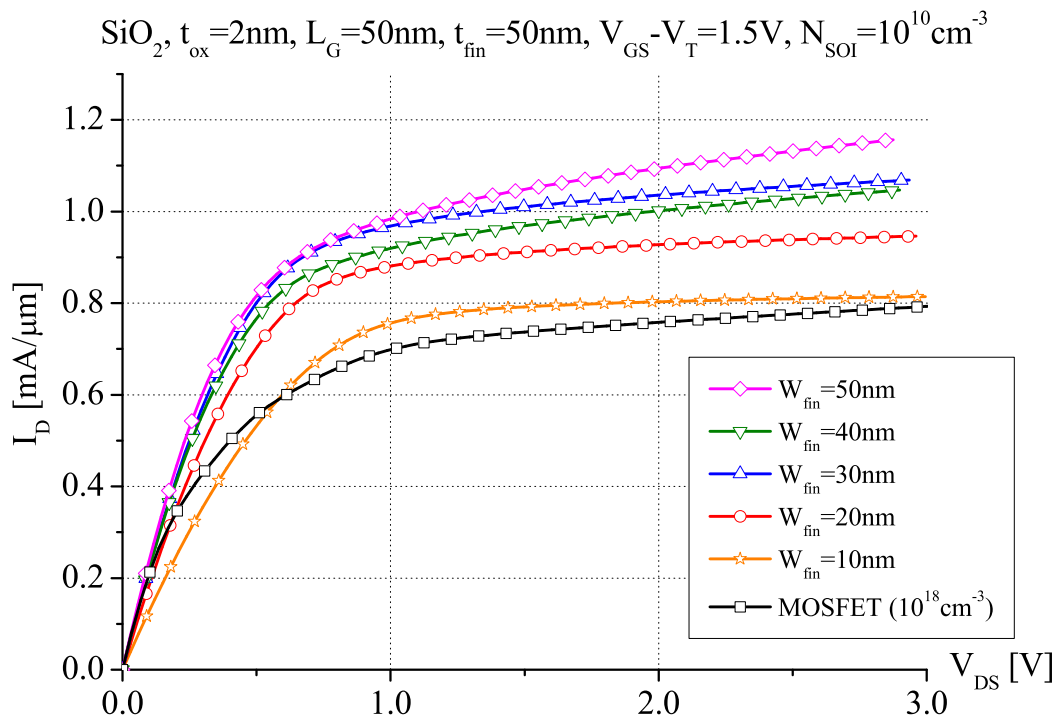


Abb. 6.5: Ausgangskennlinien von FinFETs mit verschiedenen Finbreiten ohne Substratdotierung:  $10^{10}\text{cm}^{-3}$

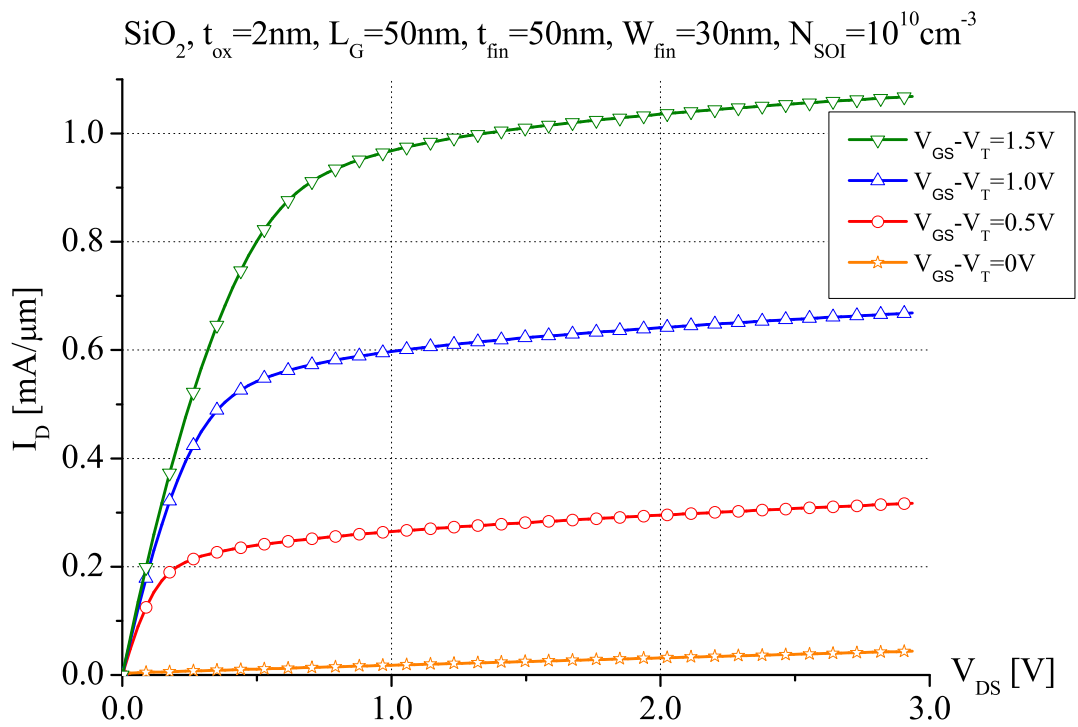


Abb. 6.6: Ausgangskennlinien von FinFETs ( $L_{gate}=50\text{nm}$ , Finbreite  $W_{fin}=30\text{nm}$ ,  $N=10^{10}\text{cm}^{-3}$ )

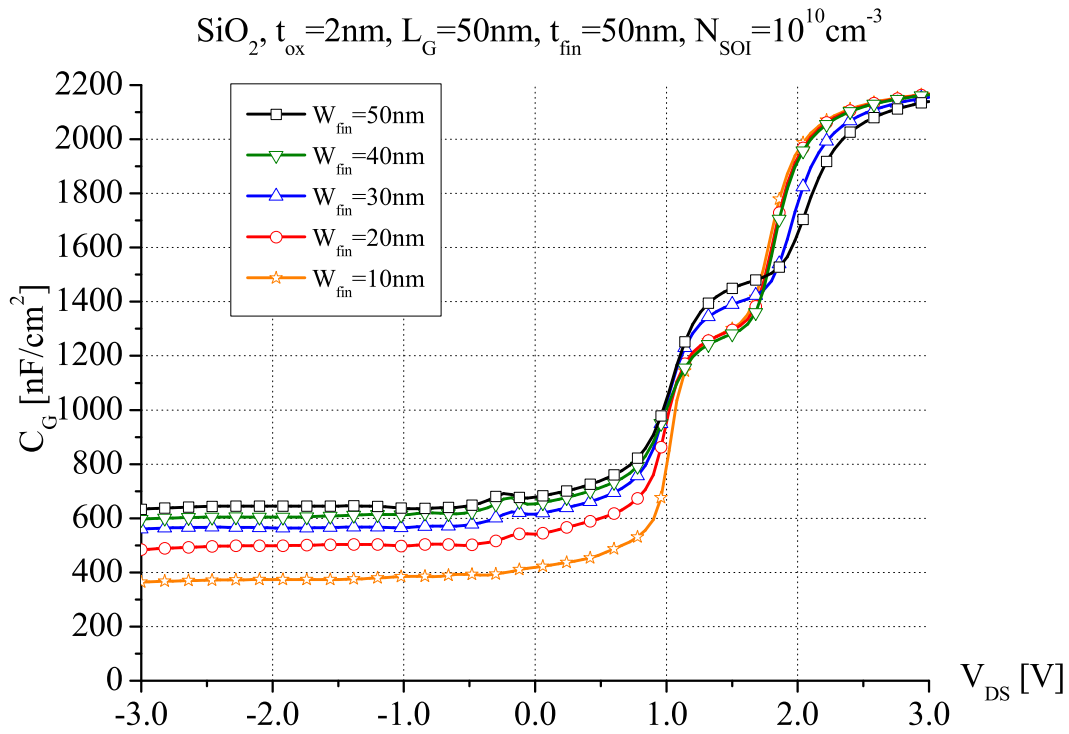


Abb. 6.7: CV-Kennlinien für FinFETs mit  $L_{\text{gate}} = 50\text{nm}$  und Finbreite  $W_{\text{fin}} = 30\text{nm}$   $N = 10^{10}\text{cm}^{-3}$

## 6.2 3D-Simulationen

Da FinFETs mit 2-dimensionalen Modellen nicht vollständig dargestellt werden können, wird die Qualität der 2-dimensionalen Simulationen mit Hilfe von 3-dimensionalen Simulationen überprüft. Dazu werden die FinFET-Modelle verwendet, die die Höhe der Finne und den oberen Teil der Gatestruktur mit berücksichtigen, was mit 2-dimensionalen Modellen nicht möglich ist, die nur mit einem Schnitt der Struktur simulieren können. Abb. 6.8 und 6.9 zeigen die Unterschwellenkennlinien der 3-dimensionalen Struktur.

Bei Betrachtung von Abb. 6.10 und 6.11 kann man erkennen, dass die Unterschwellenkennlinien bei der 3-dimensionalen Simulation eine etwas bessere Unterschwellensteilheit aufweisen als die 2-dimensionalen Strukturen. Dies wird besonders bei den Bauelementen mit 50nm Finbreite deutlich, bei kleineren Finbreiten sind die Kurven nahezu identisch. Die 2-dimensionale Simulation liefert also durch die vereinfachte Struktur im Allgemeinen etwas schlechtere Werte, da der obere Teil des Gates nicht berücksichtigt wird und somit eine schlechtere Gatesteuerung angenommen wird.

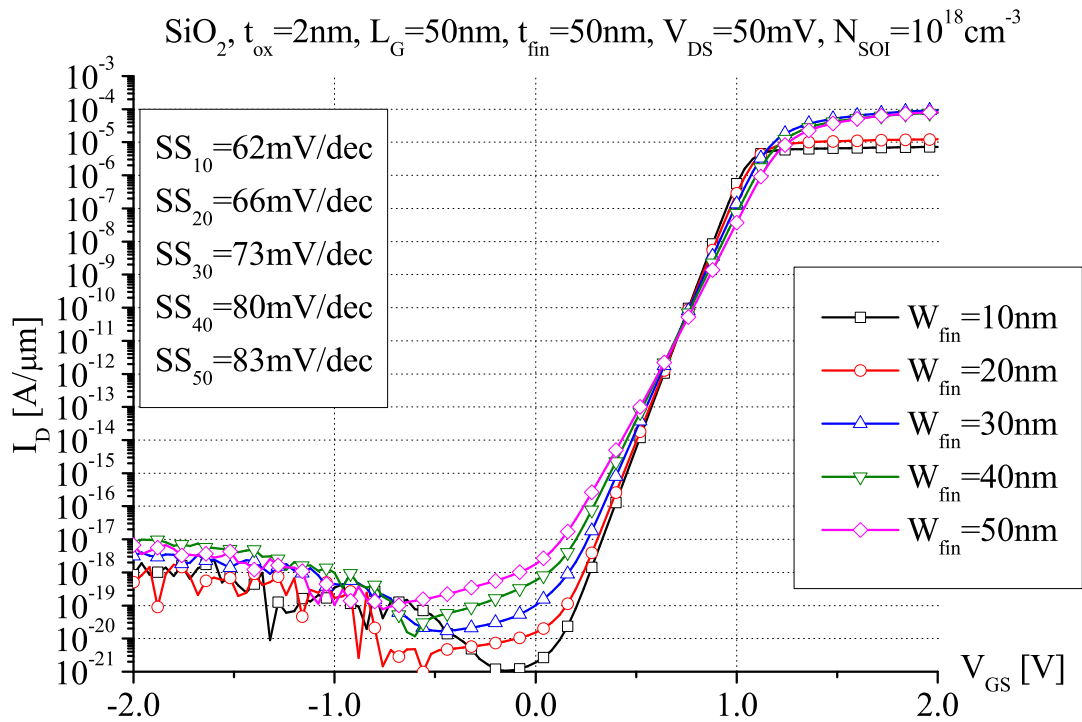


Abb. 6.8: 3D-Simulation: Abhängigkeit der Unterschwellenkennlinie von der Finbreite, hohe Substratdotierung: 10<sup>18</sup>cm<sup>-3</sup>

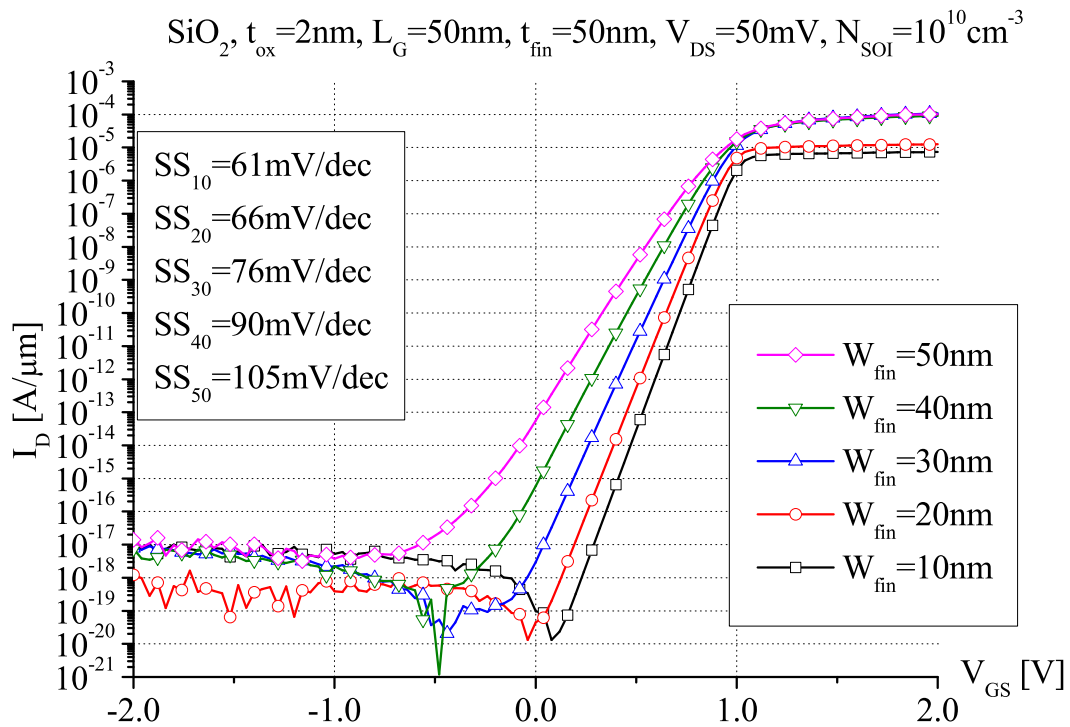


Abb. 6.9: 3D-Simulation: Abhängigkeit der Unterschwellenkennlinie von der Finbreite, keine Substratdotierung: 10<sup>10</sup>cm<sup>-3</sup>

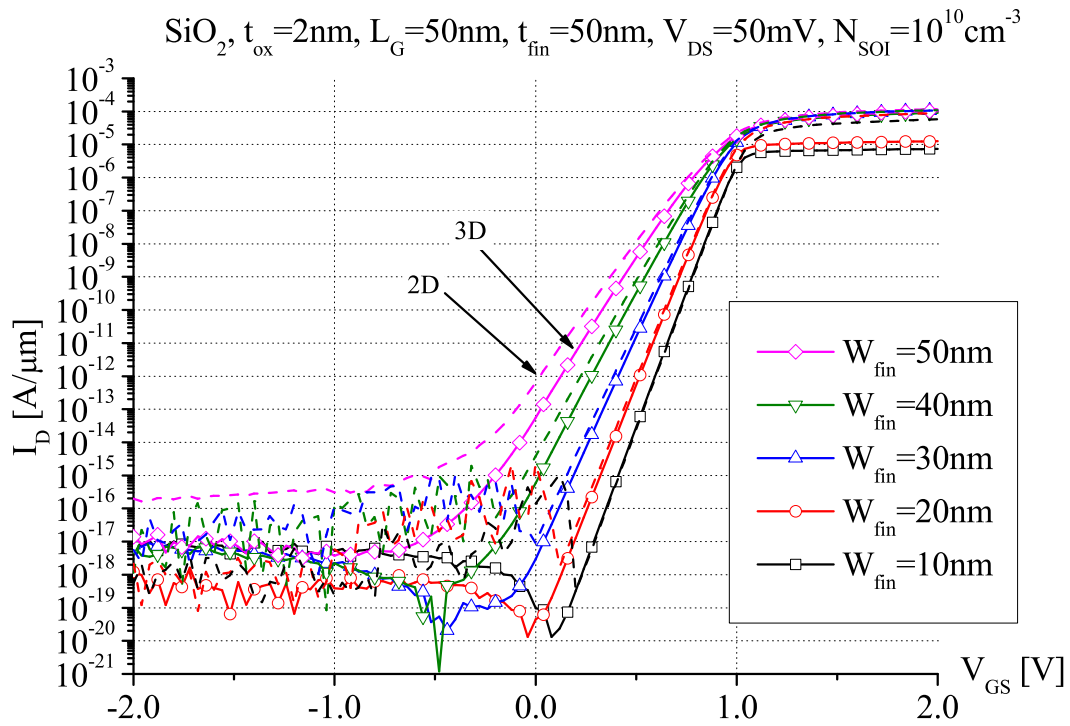


Abb. 6.10: Vergleich der Unterschwellencharakteristiken von 2D- und 3D-Simulationen des FinFETs

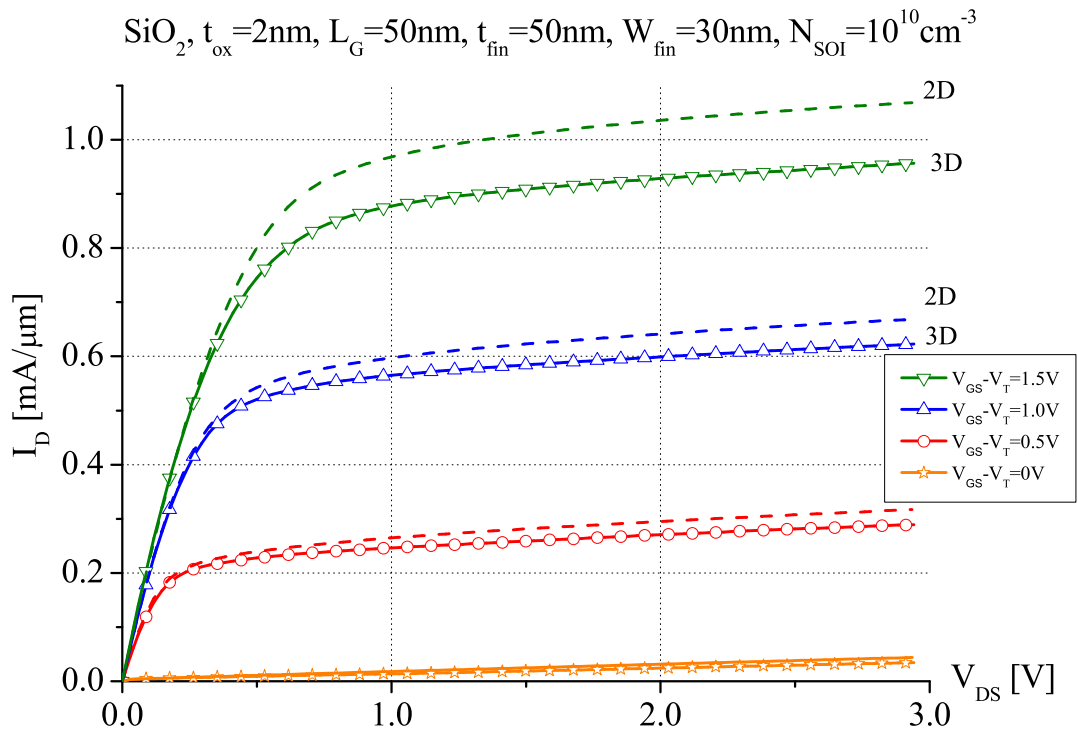


Abb. 6.11: Vergleich der Ausgangskennlinien von 2D- und 3D-Simulationen des FinFETs

In den Werten für den Drainstrom ergeben sich ebenfalls kleinere Abweichungen zwischen 2D- und 3D-Simulation, da die Ströme bei beiden Strukturen auf die Gateweite normiert werden und bei der 2-dimensionalen Struktur keine Störungen durch Ecken oder Kanten angenommen werden. Bei der 3-dimensionalen Struktur hingegen wird durch den oberen Teil der Gateelektrode nicht der flächenmäßig gleiche Ladungsanteil im Kanal generiert, wie durch die seitlichen Teile des Gates. Da aber auf die gesamte Gatelänge normiert wird, ergibt sich ein um Faktor 0.9 geringerer Drainstrom pro Mikrometer Gatelänge.

### 6.3 FinFETs mit kristallinem $\text{Gd}_2\text{O}_3$ -Dielektrikum

Die Vorteile der FinFET-Struktur können mit denen der kristallinen high- $\kappa$  Dielektrika kombiniert werden, was die Schalteigenschaften und Stromtragfähigkeiten nochmals verbessert. Durch Verwendung eines  $\text{Gd}_2\text{O}_3$ -Dielektrikums anstelle von Siliziumdioxid erhält man ein Bauelement, welches Kurzkanaleffekte unterdrückt und gleichzeitig niedrigere Leckströme aufweist. Abb. 6.12 zeigt den Vergleich von high- $\kappa$ -Bauelementen mit  $\text{SiO}_2$ -Bauelementen mit undotiertem Kanalgebiet und einer Gatelänge von  $L_{\text{Gate}} = 50\text{nm}$ . Die Bauelemente mit 2nm dickem Siliziumdioxid-Dielektrikum besitzen eine Unterschwelkensteilheit von  $S(\text{SiO}_2, 2\text{nm}) = 76\text{mV/dec}$ .

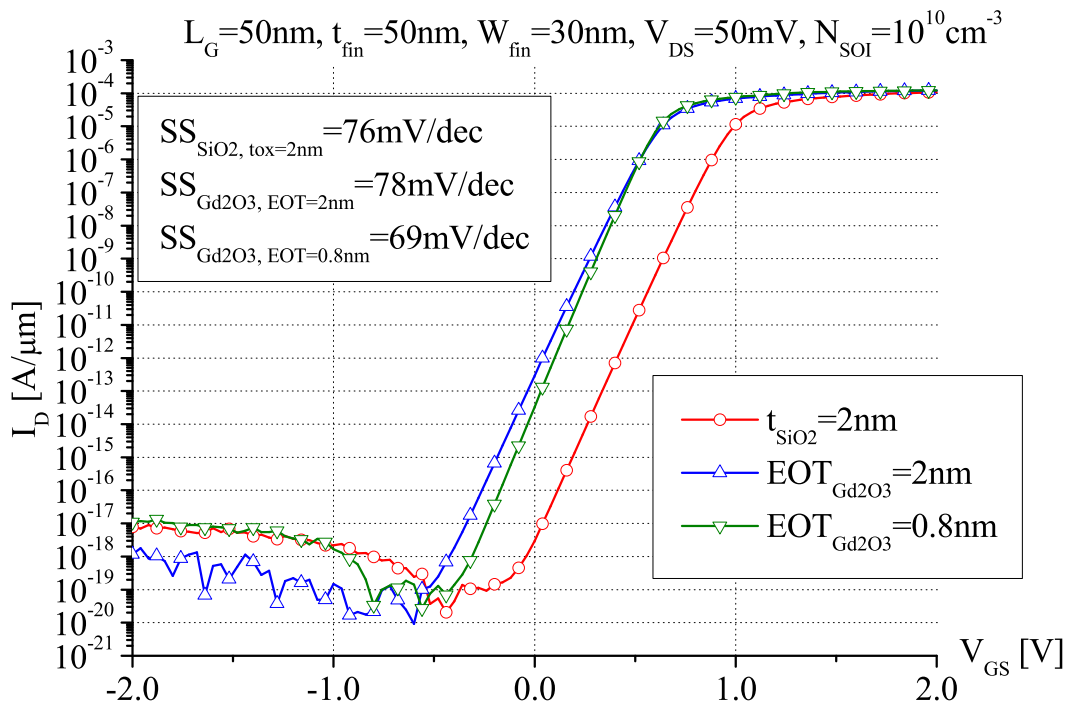


Abb. 6.12: Vergleich der Unterschwelkenkennlinien von  $\text{SiO}_2$ - und  $\text{Gd}_2\text{O}_3$ -FinFETs (3D-Simulation)

Die high- $\kappa$  Bauelemente mit äquivalenter elektrischer Oxiddicke besitzen eine physikalische Dicke von  $t_{\text{ox}} = 5\text{nm}$  und damit eine bessere Barriere gegen direkte Tunnelströme, wodurch der Gateleckstrom drastisch reduziert werden kann. Die Unterschwellensteilheit dieser Bauelemente hat etwa den gleichen Wert von  $SS(\text{Gd}_2\text{O}_3, 5\text{nm}) = 79\text{mV/dec}$ , wie der der Siliziumdioxid-Bauelemente. Wird die physikalische Dicke des high- $\kappa$ -Dielektrikums jedoch auf den gleichen Wert, wie der der Siliziumdioxid-Bauelemente von  $t_{\text{ox}} = 2\text{nm}$  verringert, verbessert sich die Unterschwellensteilheit auf einen Wert von  $S(\text{Gd}_2\text{O}_3, 2\text{nm}) = 69\text{mV/dec}$ . Allerdings geschieht dies auf Kosten der niedrigeren Gateleckströme, die nun ebenso groß werden, wie bei den Bauelementen mit Siliziumdioxid.

In Abb. 6.13 sind die Unterschwellenkennlinien von high- $\kappa$ -Bauelementen in Abhängigkeit der Finbreite dargestellt. Man sieht eine Verbesserung der Unterschwellensteilheit bei schmäler werdenden Finnen, was der Erwartung entspricht. Je schmäler die Finne wird, umso weniger Kanalgebiet liegt außerhalb der direkten Gatekontrolle, Source- und Draingebiete werden durch die Raumladungszone des Gate vollständig voneinander getrennt. Die Bauelemente mit 10nm Finbreite weisen eine Unterschwellensteilheit mit dem absoluten Optimum von 60mV/dec auf.

Schließlich folgt in Abb. 6.14 noch ein Vergleich der Ausgangscharakteristiken für eine Finbreite von  $W_{\text{fin}} = 30\text{nm}$  bei einer effektiven Gatespannung  $V_{\text{GS}} - V_{\text{T}} = 1.5\text{V}$ . Die angegebenen Oxiddicken sind physikalische Dicken. Man sieht eine Erhöhung des Drainstroms für die high- $\kappa$  Bauelemente. Abb. 6.15 zeigt die Ausgangscharakteristik für die Bauelemente mit 2nm dickem  $\text{Gd}_2\text{O}_3$ -Dielektrikum.

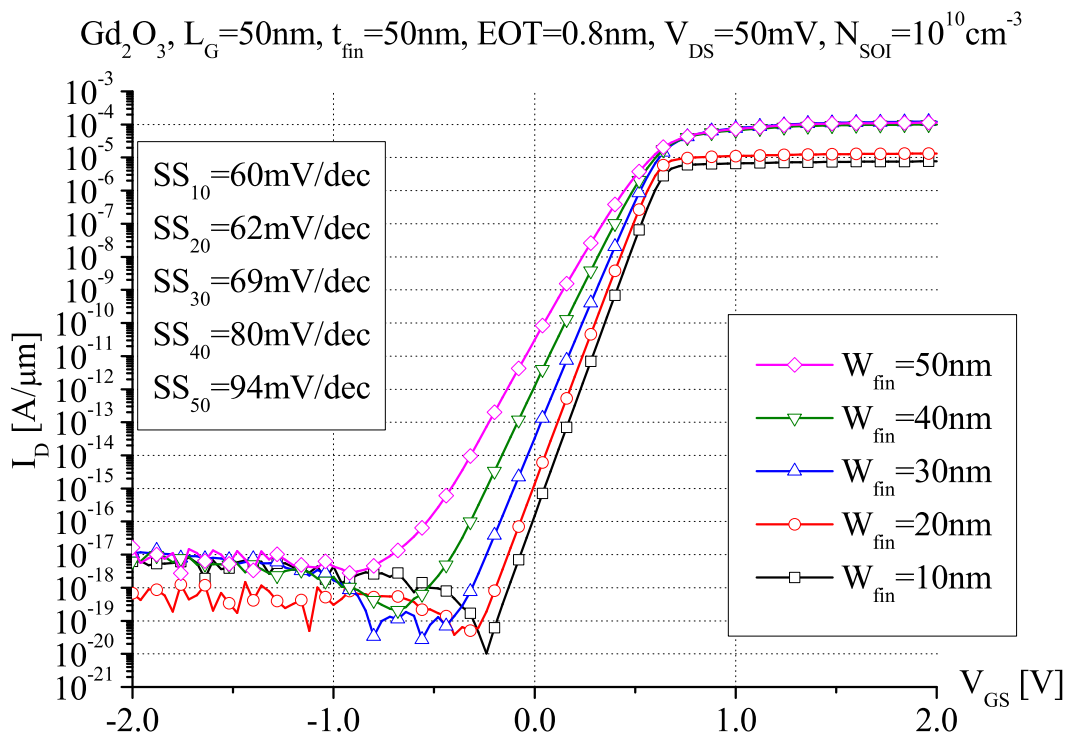


Abb. 6.13: Unterschwellenkennlinien von  $\text{Gd}_2\text{O}_3$ -FinFETs für Finbreiten von  $W_{\text{fin}} = 50\text{nm}$  bis  $10\text{nm}$  (3D-Simulation)



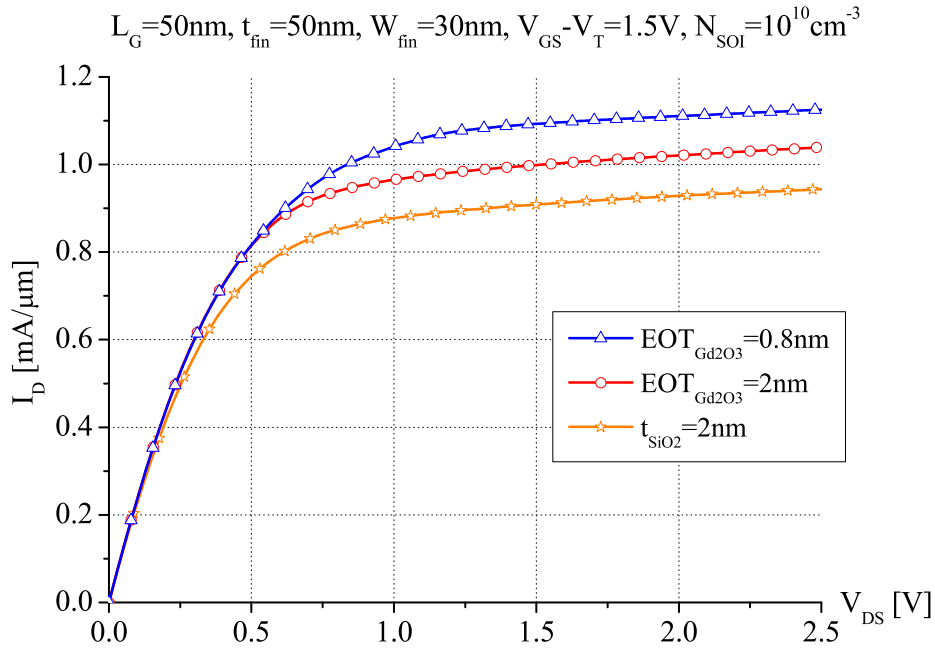


Abb. 6.14: Vergleich der Ausgangskennlinien von  $\text{SiO}_2$ - und  $\text{Gd}_2\text{O}_3$ -FinFETs (3D-Simulation)

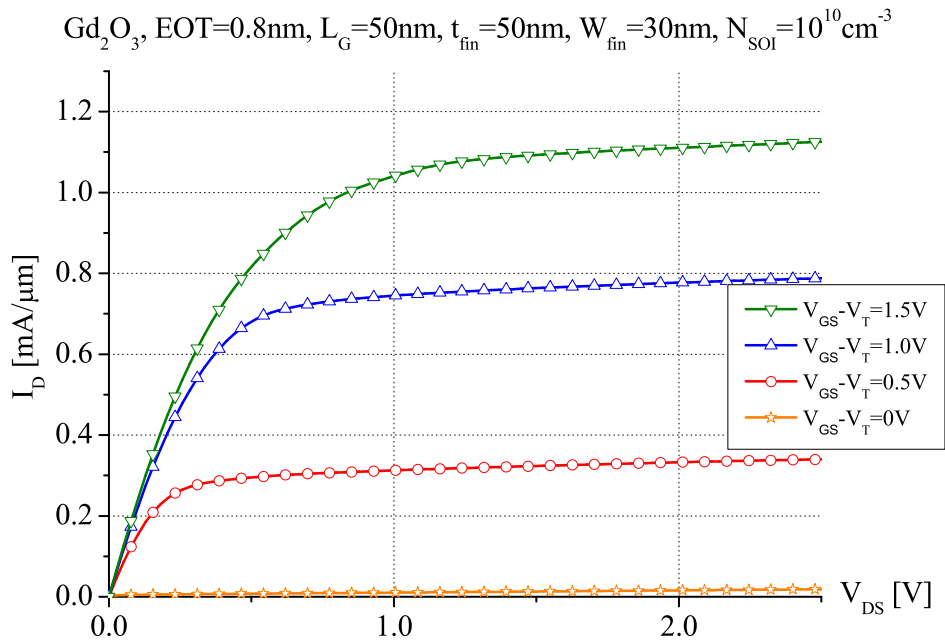


Abb. 6.15: Ausgangskennlinien von  $\text{Gd}_2\text{O}_3$ -FinFETs mit 30nm Finbreite und 2nm Dielektrikum (3D-Simulation)

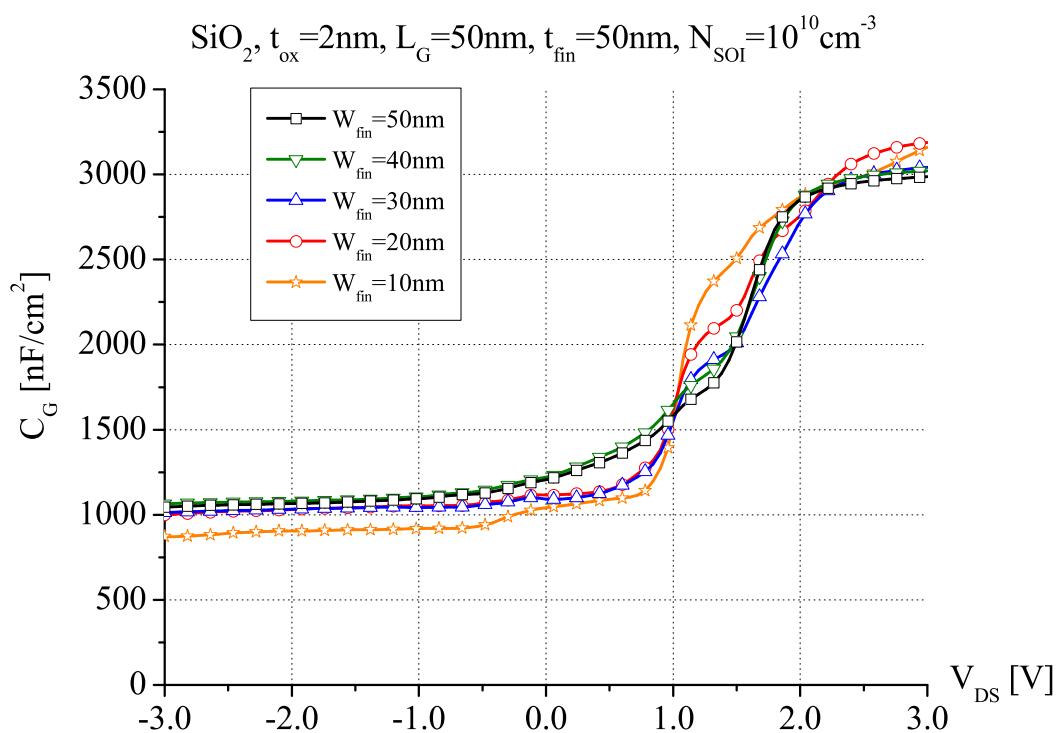


Abb. 6.16: Kapazitätsverläufe von FinFETs mit  $\text{SiO}_2$ -Dielektrikum,  $t_{\text{ox}} = 2\text{nm}$  (3D-Simulation)

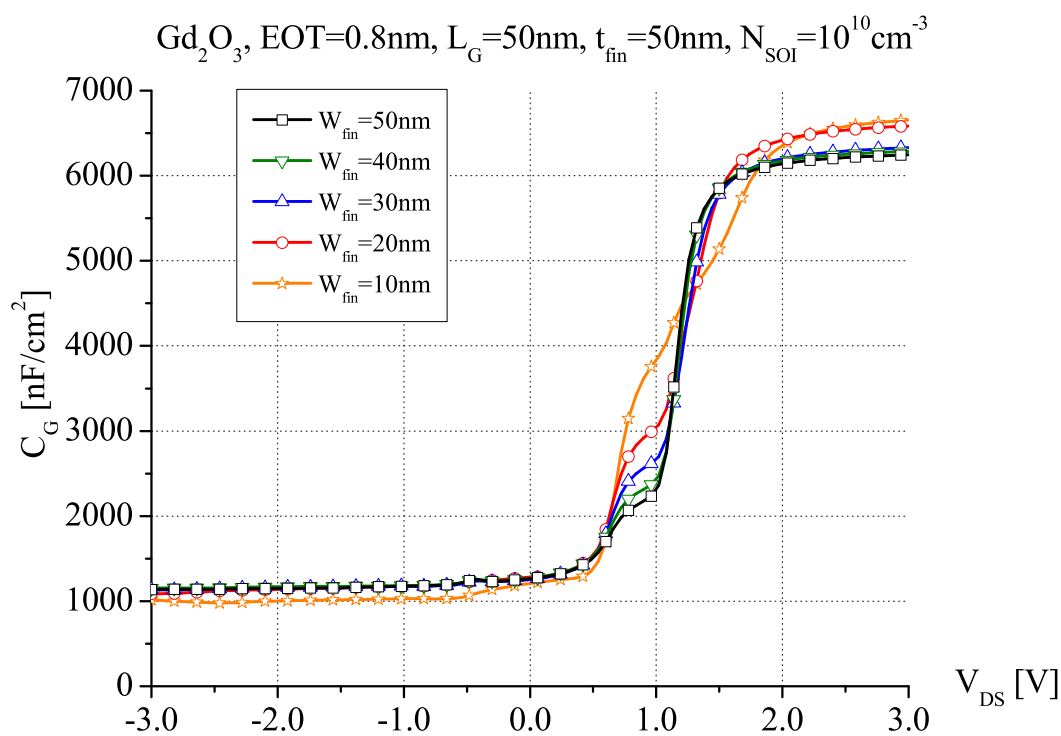


Abb. 6.17: Kapazitätsverläufe von FinFETs mit  $\text{Gd}_2\text{O}_3$ -Dielektrikum,  $\text{EOT} = 0.8\text{nm}$  (3D-Simulation))

Aus den Kapazitätsverläufen in Abb. 6.16 und 6.17 kann man den Grund für die höheren Drainströme der high- $\kappa$ -Bauelemente der Abb. 6.14 und 6.15 erklären. Bei einer physikalischen Dielektrikumsdicke von 2nm, sind die Gatekapazitäten der high- $\kappa$ -Bauelemente etwa um den Faktor 2.5 größer als die der SiO<sub>2</sub>-Bauelemente, was sich direkt auf den Drainstrom auswirkt.

## 6.4 Kurzkanal-FinFETs

Mit FinFET-Strukturen ist es möglich, Transistoren mit intrinsischen Kanalgebieten zu erzeugen, deren Kanallänge unter 50nm liegt und die dennoch gute Eingangs- und Ausgangscharakteristiken besitzen. Dies ist auf die sehr schmale Finne zurückzuführen, die von drei Seiten von einer Gatelektrode umschlossen wird und das gesamte Kanalgebiet auf definierten Ladungsträgerkonzentrationen hält und Source- und Draingebiet elektrisch voneinander wesentlich besser isolieren kann, als dies mit einer planaren MOS-Struktur möglich wäre.

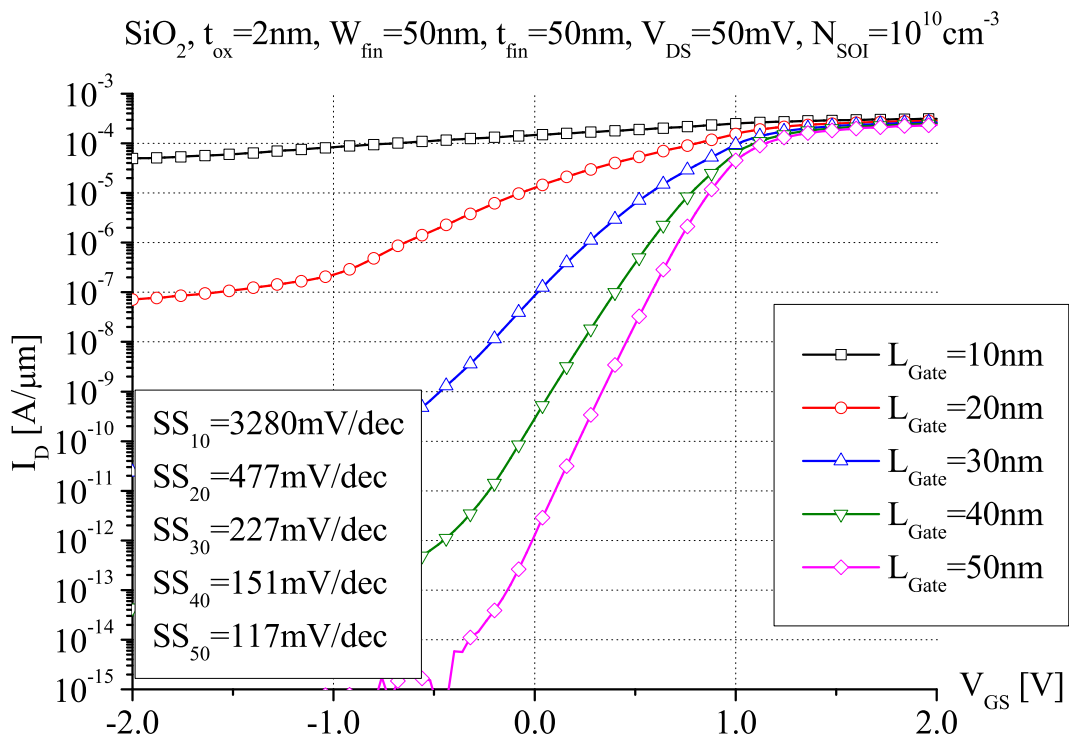


Abb. 6.18: FinFETs mit extrem kurzen Gatelängen von 50nm bis 10nm,  $t_{\text{ox}}=2\text{nm}$ , Unterschwellenkennlinien, Finbreite 50nm

Die Abb. 6.18 und 6.19 zeigen die Unterschwellenkennlinien von FinFETs mit Kanallängen von 10nm bis 50nm und Finbreiten von 30nm und 50nm. Bei einer Finbreite von  $W_{\text{fin}} = 50\text{nm}$  (Abb. 6.18) kann man erkennen, dass die FinFETs bis zu einer Gatelänge von 50nm akzeptable Unterschwellensteilheiten zeigen, während die Bauelemente mit kürzerer Gatelänge ein immer schlechteres Schaltverhalten und Verhältnis zwischen On- und Off-Strom aufweisen. Liegt das Verhältnis zwischen On- und Off-Strom bei den Bauelementen mit  $L_{\text{Gate}} = 20\text{nm}$  noch bei etwa  $10^4$ , sinkt es bei den  $L_{\text{Gate}} = 10\text{nm}$ -Bauelementen auf unter 10, was bedeutet, dass diese Transistoren nicht mehr richtig ausschalten können, da die Verbindung zwischen Source- und Draingebiet nicht mehr unterbrochen werden kann.

Wird die Finbreite auf  $W_{\text{fin}} = 30\text{nm}$  verringert, das Kanalgebiet durch das Gate also besser an Ladungsträgern verarmt, sieht man eine Verbesserung in der Eingangscharakteristik (Abb. 6.19). Die Transistoren mit Kanallängen von 30, 40 und 50nm besitzen um bis zu Faktor 2 steilere Steigungen in der Einschaltcharakteristik, bei den Transistoren mit  $L_{\text{Gate}} = 10\text{nm}$  verbessert sich die Unterschwellensteilheit sogar um mehr als Faktor 8. Das Verhältnis des On-Stroms zum Off-Strom beträgt nun  $10^5$ , was sie gegenüber ihren Pendanten mit einer Finbreite von  $W_{\text{fin}} = 50\text{nm}$  funktionsfähig macht.

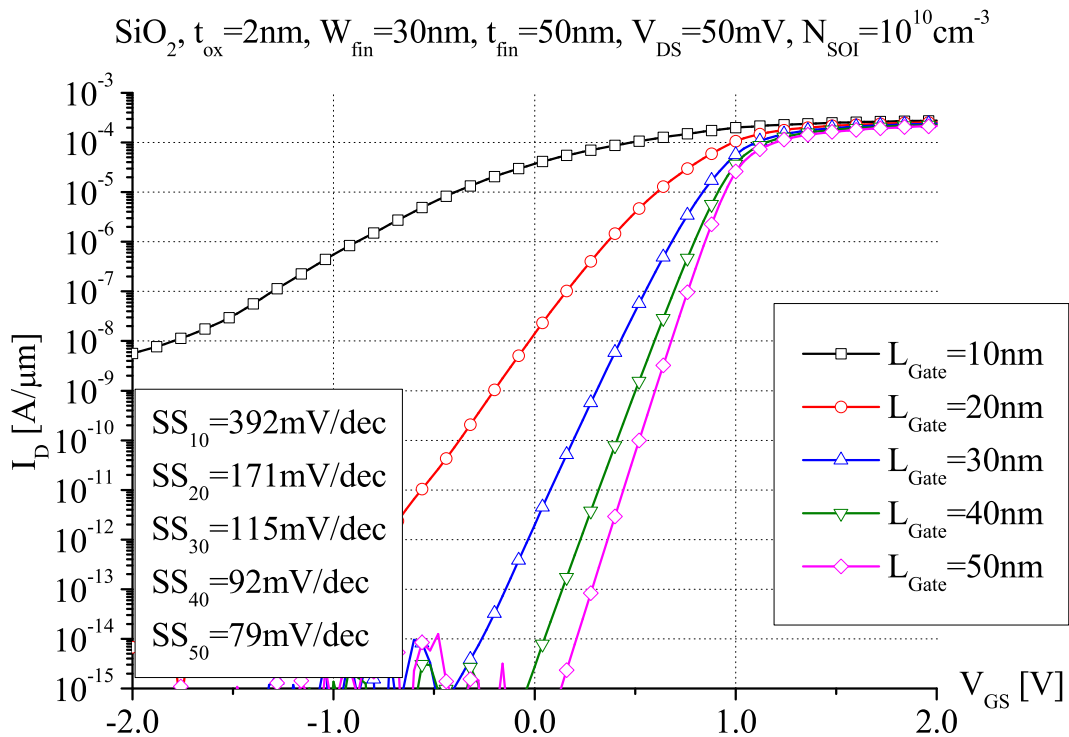


Abb. 6.19: FinFETs mit extrem kurzen Gatelängen von 50nm bis 10nm,  $t_{\text{ox}} = 2\text{nm}$ , Unterschwellenkennlinien, Finbreite 30nm

Bei weiterer Verringerung der Finbreite auf  $W_{\text{fin}} = 10\text{nm}$  (Abb. 6.20) zeigen alle Transistoren ein akzeptables Schaltverhalten und On-/Offstrom-Verhältnis. Die Unterschwellensteilheiten variieren nun zwischen  $S_{10} = 99\text{mV/dec}$  bei den  $L_{\text{Gate}} = 10\text{nm}$ -Bauelementen und  $S_{50} = 61\text{mV/dec}$  bei den Bauelementen mit  $50\text{nm}$  Gatelänge, was etwa dem theoretischen Minimum entspricht. Die höchsten Stromdichten treten jedoch bei den  $30\text{nm}$ -Bauelementen auf, die in dieser Hinsicht ein Optimum darstellen. Die  $10\text{-}$  und  $20\text{nm}$ -Bauelemente besitzen zwar noch bessere Schalteigenschaften, begrenzen aber den Strom aufgrund ihres geringen Kanalvolumens.

Abb. 6.21 zeigt die zu Abb. 6.19 gehörige Ausgangscharakteristik der Bauelemente mit einer Finbreite von  $W_{\text{fin}} = 30\text{nm}$  und Gatelängen von  $10\text{nm}$  bis  $50\text{nm}$  bei einer effektiven Gatespannung von  $V_{\text{GS}} - V_{\text{T}} = 1.5\text{V}$ . Die Transistoren mit den kürzeren Gatelängen zeigen dabei eine ausgeprägtere Kanallängenmodulation als die Bauelemente mit längeren Gates, da die Variation der Kanallänge durch die drainseitige Raumladungszone bei ohnehin kurzen einem größeren Anteil entspricht, als bei langen Kanälen. Trotzdem ist der Effekt der Kanallängenmodulation insgesamt für die angegebenen Kanallängen sehr niedrig, was ebenfalls die gute Kontrolle der Kanalladung durch die Gateelektrode aufzeigt.

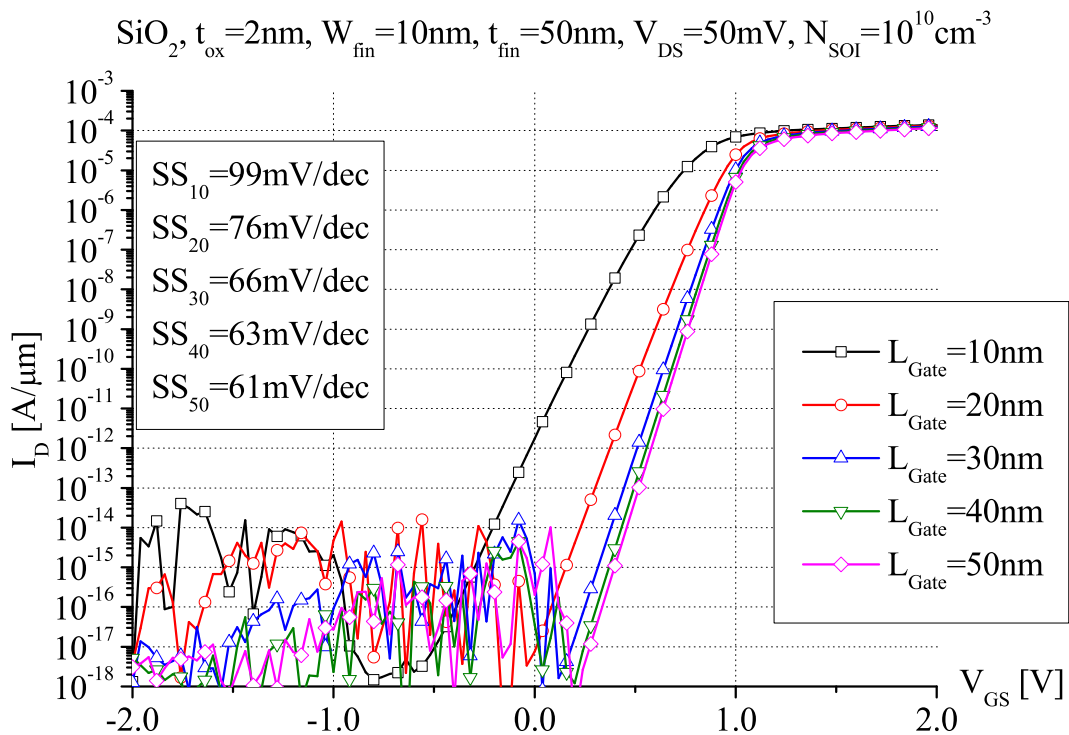


Abb. 6.20: Unterschwellenkennlinien von FinFETs mit extrem kurzen Gatelängen von  $50\text{nm}$  bis  $10\text{nm}$ , Finbreite  $10\text{nm}$

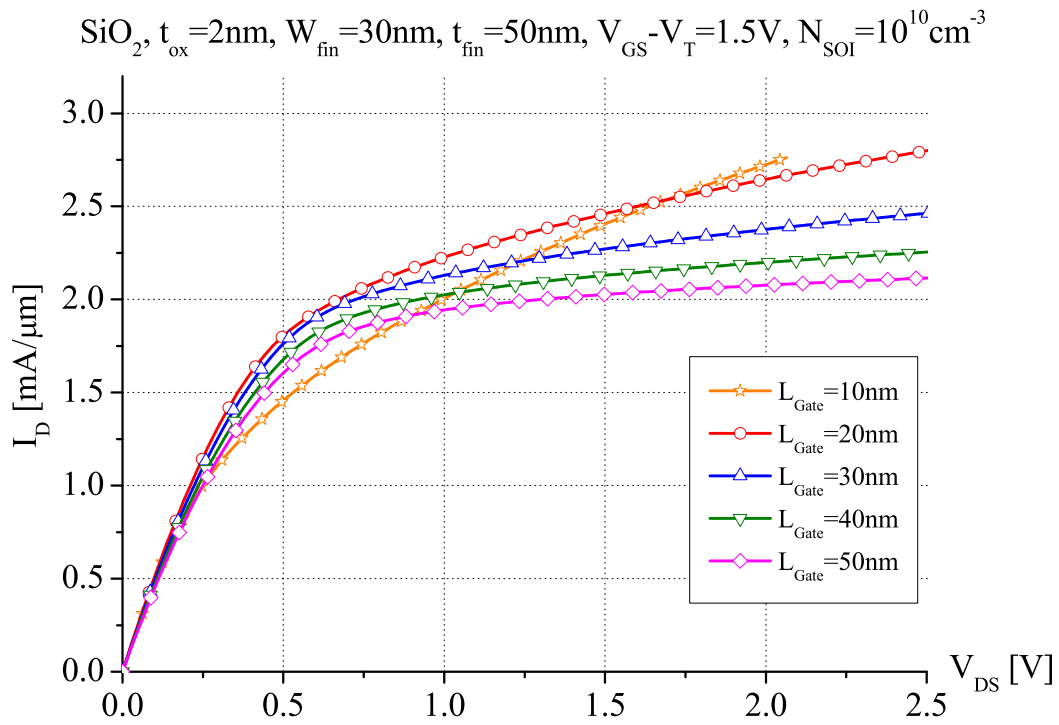


Abb. 6.21: Ausgangskennlinien von FinFETs mit extrem kurzen Gatelängen von 50nm bis 10nm, Finbreite 30nm

Alle Ergebnisse der 3-dimensionalen FinFET-Simulationen für Referenzbauelemente und high- $\kappa$  Bauelemente mit dicken und dünnen Gatedielektrika sind in Anhang A zusammengefasst. Dabei beträgt die Höhe der SOI-Schicht bei allen Bauelemente  $t_{\text{epi}} = 50\text{nm}$ , die Austrittsarbeit der Gateelektrode  $E_{\text{A}} = 4.8\text{eV}$ , die Source-/Draindotierstoffkonzentration  $N_{\text{SD}} = 5 \cdot 10^{19}\text{cm}^{-3}$ , die Dotierstoffkonzentration der LDD-Gebiete  $N_{\text{LDD}} = 5 \cdot 10^{18}\text{cm}^{-3}$  und die effektive Gate-/Sourcespannung  $V_{\text{GS,eff}} = V_{\text{GS}} - V_{\text{T}} = 1.5\text{V}$ .

---

## 6.5 Zusammenfassung

In diesem Abschnitt wurden nicht-planare MOS-Strukturen untersucht und die Vorteile gegenüber konventionellen Transistoren in planarer Ausführung dargestellt. Der Übergang von planaren MOSFETs zu 3-dimensionalen MOSFET-Strukturen ist der nächste logische Schritt zur Verbesserung der Bauteilcharakteristiken. Zusammen mit der Verwendung von kristallinen high- $\kappa$ -Dielektrika und Metall-Gates werden dadurch parasitäre Effekte wie beispielsweise die Einsatzspannungsabhängigkeit von der Gatelänge und der Drainspannung sowie DIBL vermindert. Vergleiche der 2-dimensionalen Simulationsergebnisse mit Ergebnissen der 3-dimensionalen Modelle zeigen weitgehende Übereinstimmung. Damit ist sichergestellt, dass die Simulation der 2-dimensionalen Strukturen zur Charakterisierung der FinFETs ausreicht, was sehr viel Rechenleistung einspart und damit ein breiteres Spektrum an variablen Parametern zulässt.

Die FinFETs mit  $\text{SiO}_2$ -Dielektrikum weisen im Vergleich mit planaren MOSFETs deutlich verbesserte Unterschwellensteigungen und Ausgangsströme auf. Bei physikalisch gleicher Oxiddicke übertreffen die  $\text{Gd}_2\text{O}_3$ -FinFETs die Leistungen der  $\text{SiO}_2$ -Bauelemente noch und zeigen Unterschwellensteigung nahe dem theoretischen Maximum von  $S = 60\text{mV/dec}$ . Durch die Variation der geometrischen Abmessungen der FinFETs wurde der Einfluss der Finbreite und Gatelänge auf die Unterschwellencharakteristik untersucht. Für Gatelängen unter  $L_{\text{Gate}} = 30\text{nm}$  muss die Finbreite ebenfalls auf Werte von  $W_{\text{Fin}} = 30\text{nm}$  skaliert werden, um eine ausreichende Unterschwellensteigung und ausgeprägtes Sperrverhalten zu gewährleisten.





---

## 7 Zusammenfassung und Ausblick

---

Die Ziele dieser Arbeit waren die Computermodellierung und simulative Bewertung von elektrisch gemessenen MOS-Bauelementen mit kristallinen high- $\kappa$ -Dielektrika. Mit Hilfe der Computermodelle sollten die Messergebnisse dieser neuartigen Bauelemente überprüft werden, da diese am IHT erstmalig gefertigt wurden und noch keine Erfahrungen mit vergleichbaren Bauelementen aus der Industrie verfügbar waren. Das Verständnis des Bauelementverhaltens konnte durch die Nachbildung als Computermodell vertieft werden, da die Modelle durch physikalische Parameter wie Ladungsträgerbeweglichkeit oder Grenzflächenzustandsdichten an die elektrisch gemessenen Bauelemente angepasst werden können und Aussagen über die tatsächliche Größe dieser Parameter möglich machen. Im Rahmen der vorliegenden Dissertation wurden elektrische Messungen an MOSFETs mit kristallinen high- $\kappa$  Gatedielektrika und Metall-Gateelektroden durchgeführt und die Bauelemente charakterisiert und mit Referenzbauelementen verglichen. Die untersuchten Bauelemente wurden innerhalb von anderen Forschungsvorhaben am Institut für Halbleitertechnik und Nanoelektronik entwickelt und prozessiert. Mit diesen experimentellen Daten wurden Computermodelle für Prozesssimulationen angepasst und durch elektrische Simulationen die Übereinstimmung der Parameter mit den realen Bauelementen verifiziert. In Kapitel 5 dieser Arbeit sind die Ergebnisse und Kennlinien dieser Bauelemente im Detail beschrieben. Die untersuchten Transistoren besitzen eine relativ große Gatelänge von  $L_{\text{Gate}} = 4\mu\text{m}$  und werden daher nicht durch Kurzkanaleffekte beeinträchtigt. Spezielles Augenmerk wurde bei der elektrischen Simulation auf die Beweglichkeit der Ladungsträger im Kanal gelegt, da die Beweglichkeit bei den elektrisch gemessenen Bauelementen durch verschiedene Effekte beeinflusst wird.

Anhand der Unterschwellenkennlinien wurden verschiedene Faktoren identifiziert, die die Ladungsträgerbeweglichkeit herabsetzen, wie Grenzflächenzustände, Oxidladungen und die Rauigkeit der Grenzfläche selbst. Aufgrund dieser Erkenntnisse können Verbesserungsansätze für zukünftige Prozesse abgeleitet werden. Strukturdefekte aufgrund mechanischen Stresses während des Gate-Last-Herstellungsprozesses können mit Hilfe der durchgeführten Stressanalysen nahezu ausgeschlossen werden und sind demnach nicht ursächlich für die verringerte Ladungsträgerbeweglichkeit. Das zu Grunde liegende Prinzip des Gate-Last-Prozesses ist somit eine erfolgreiche Methode, kristalline high- $\kappa$ -Dielektrika in den CMOS-Prozess zu integrieren.

---

In nachfolgenden Simulationen wurden die mechanischen Spannungen untersucht, die während des Herstellungsprozesses auftreten oder nach Fertigstellung in den Bauelementen vorhanden sind und die Auswirkungen auf das Bauelementverhalten dargestellt. Zur Computermodellierung der auftretenden mechanischen Spannungen wurde auf Messdaten aus früheren Schichtabscheideprozessen zurückgegriffen, die mechanische Spannungen in Nitrid- und Oxidschichten auf Silizium untersuchen. Durch die Simulationsergebnisse konnte weitgehend ausgeschlossen werden, dass die im Bauelement oder während des Prozesses auftretenden mechanischen Spannungen die Ladungsträgerbeweglichkeit signifikant negativ beeinflussen. Mit den vorliegenden Ergebnissen wurden dann Aussagen über skalierte Bauelemente gemacht und die resultierenden Prozessparameter beschrieben, die für die Herstellung nötig sind. Außerdem wurden anhand von Eingangs- und Ausgangskennlinien kritische Punkte und Probleme im Bauelementverhalten aufgezeigt, die im Zusammenhang mit der Skalierung auftreten. Eine mögliche Verbesserung des Gate-Last-Prozesses wurde vorgeschlagen, konnte aber aufgrund des begrenzten Zeitrahmens innerhalb dieser Arbeit nicht mehr zu Ende geführt werden. Die Untersuchungen der Wafer mit SiO<sub>2</sub>-Pufferschicht können zu einem besseren Verständnis des Einflusses der Nitridabscheidung auf das darunter liegende aktive Siliziumgebiet und damit der Beweglichkeit der Ladungsträger führen.

Kapitel 6 überträgt die gewonnenen Ergebnisse der MOSFETs mit kristallinen high- $\kappa$  Gatedielektrika und Metall-Gateelektroden auf dreidimensionale FinFET-Strukturen. Da FinFETs gerade bei kurzen Gatelängen eine bessere Kontrolle über das aktive Gebiet eines Feldeffekttransistors erlauben, wurde die Kombination aus FinFET-Struktur und den alternativen Materialien untersucht, um das gemeinsame Verbesserungspotenzial zu erforschen. Die Vorteile dieser Bauelemente gegenüber konventionellen MOSFETs wurde ermittelt und vergleichend dargestellt. Dabei wurden zunächst FinFETs mit Gatelängen von 200nm bis 50nm untersucht und schließlich Bauelemente mit extrem kurzen Gates bis hinab zu  $L_{\text{Gate}} = 10\text{nm}$ . Der Einfluss der Finnenbreite wurde ebenfalls durch Simulationen von FinFETs mit Finnenbreiten von  $W_{\text{fin}} = 100\text{nm}$  bis  $W_{\text{fin}} = 10\text{nm}$  betrachtet, wobei die Bauelemente mit schmalen Finnen bessere Charakteristiken aufwiesen.

Abschließend wurden sogenannte Schottky-FinFETs modelliert, ein Bauelementkonzept, bei dem die Source-/Draindotierungen durch Herausätzen des Materials und anschließende Auffüllung mit Metall ersetzt wurden, um so dem Problem der Dotierstoffdiffusion bei sehr kurzen Kanälen zu begegnen. Die entstehenden Schottky-Übergänge verändern die konventionelle Charakteristik des FinFETs, da die zusätzlich Potentialbarrieren aufgrund der Unterschiede zwischen den Energieniveaus von Halbleiter und verwendetem Metall vorhanden sind. Aus einer anderen Arbeit am Institut für Halbleitertechnik und Nanoelektronik standen prozesstechnische Daten und elektrische Messergebnisse zur Verfügung, die zur Parametrierung der Simulationsmodelle verwendet wurden und als Vergleich dienten. Durch die Simulationen wurde zunächst die Abhängigkeit des Bauteilverhaltens von der Austrittsarbeit der Gateelektrode gezeigt, die je nach verwendetem Metall zwischen 3.7 und 5.3eV liegen kann. Die Austrittsarbeit der Metalle der Source- und Draingebiete hingegen hat Auswirkungen auf die Injektionsfähigkeit von Elektronen und Löchern in das Halbleitergebiet und muss entsprechend gewählt werden, wie nachfolgende Simulationen veranschaulichen.

---

Durch Computersimulationen wurden bestehende Konzepte von MOS-Bauelementen untersucht und mit Bauelementen mit alternativen Materialien oder Strukturen wie FinFETs verglichen. Es wurde gezeigt, dass reale Bauelemente mit Simulationsmodellen hinreichend genau beschrieben werden können und Voraussagen für skalierte Bauelemente getroffen werden können. Bestehende Probleme wie verminderte Ladungsträgerbeweglichkeit wurden auf ihre Ursachen hin untersucht und die Verbesserungspotentiale bewertet. Die Simulationsmodelle ermöglichen einen Vergleich der elektrisch gemessenen Bauelemente mit idealen Modellen, die die theoretisch erreichbaren Eigenschaften der Transistoren widerspiegeln. Damit kann eine Aussage gemacht werden, ob die betrachtete Technologie das Potenzial hat, eine Verbesserung gegenüber der bisherigen Technologie zu erreichen.

Die vorgestellten Simulationstechniken eröffnen Möglichkeiten der Modellierung von völlig neuen Halbleiterbauelementen, wie zum Beispiel dem Schottky-FinFET, der noch genauerer Erforschung bedarf, als es in dieser Arbeit möglich war. Auch die Entwicklung der Halbleitertechnologie zu dreidimensionalen Strukturen mit extrem kurzen Gatelängen ist ein Feld, auf dem die Simulationstechniken gerade bei Abmessungen unter 10nm momentan noch an ihre Grenzen stößt, die aber gerade durch Computersimulationen weitreichend untersucht werden könnten, da die Herstellung solcher Strukturen extrem schwierig und teuer ist.

Bei den betrachteten Gate-Last-MOSFETs hat es sich bestätigt, dass diese, am IHT entwickelte, Prozesstechnik zukunftsweisend ist, da mittlerweile auch ein großer Hersteller wie Intel Schaltungen in Gate-Last-Technik erfolgreich produziert. Die Verwendung von high- $\kappa$ -Materialien als Dielektrikum ist die einzige Alternative, um die Probleme mit Leckströmen bei fortschreitender Skalierung der Bauelemente in den Griff zu bekommen. Die MOSFETs mit kristallinen high- $\kappa$ -Dielektrika besitzen dabei ein höheres Skalierungspotential, als Bauelemente mit amorphen Materialien, da diese aufgrund der Notwendigkeit einer Pufferschicht ihr Potential nicht voll ausschöpfen können.



---

## A Anhang A

---

### A.1 Schottky-Barrier-FinFETs

Bei sehr kurzen Gatelängen ist der Abstand von Source- und Draingebiet so minimal, dass es technisch unmöglich wird, die Gebiete durch Implantation oder gar Diffusion zu erzeugen, da die Dotierstoffatome unweigerlich zu einer Kontamination des Kanalgebiets führen würden. Deswegen werden abschließend FinFET-Strukturen untersucht, bei denen die Source- und Draingebiete aus Metall bestehen, die Schottky-Übergänge mit der Siliziumfinne ausbilden und daher als Schottky-FinFETs bezeichnet werden. Die elektrischen Messdaten wurden dabei im Rahmen einer anderen Arbeit am Institut für Halbleitertechnik und Nanoelektronik der Technischen Universität Darmstadt erzeugt [23] und mit Simulationsdaten verglichen, die im Rahmen der vorliegenden Arbeit entstanden sind.

Abb. A.1 und A.2 zeigen den Vergleich von elektrisch gemessenen Ausgangskennlinien und Simulationsergebnissen. Die FinFET-Strukturen besitzen eine Finne der Breite  $W_{\text{fin}} = 100\text{nm}$  und eine Gatelänge  $L_{\text{gate}} = 5\mu\text{m}$ .

Nachfolgend ist in Abb. A.3 die Bandstruktur eines Schottky-FinFETs für verschiedene Austrittsarbeiten der Gateelektrode dargestellt. Da niedrige Substratdotierungen gewünscht sind, wird die Einsatzspannung hauptsächlich von der Austrittsarbeit des verwendeten Gateelektrodenmaterials ab. Die Austrittsarbeiten können dabei theoretisch von 3.7eV (Magnesium) bis 5.3eV (Platin) variieren, je nachdem, ob es technisch möglich ist, das gewünschte Material in den Prozess zu integrieren. Während bei Austrittsarbeiten bis 4.5eV durch die bloße Anwesenheit der Gateelektrode eine Potentialbarriere in der Mitte der Finne erzeugt wird, verschwindet diese bei Austrittsarbeiten von über 4.6eV, wie Abb. A.3 zeigt.

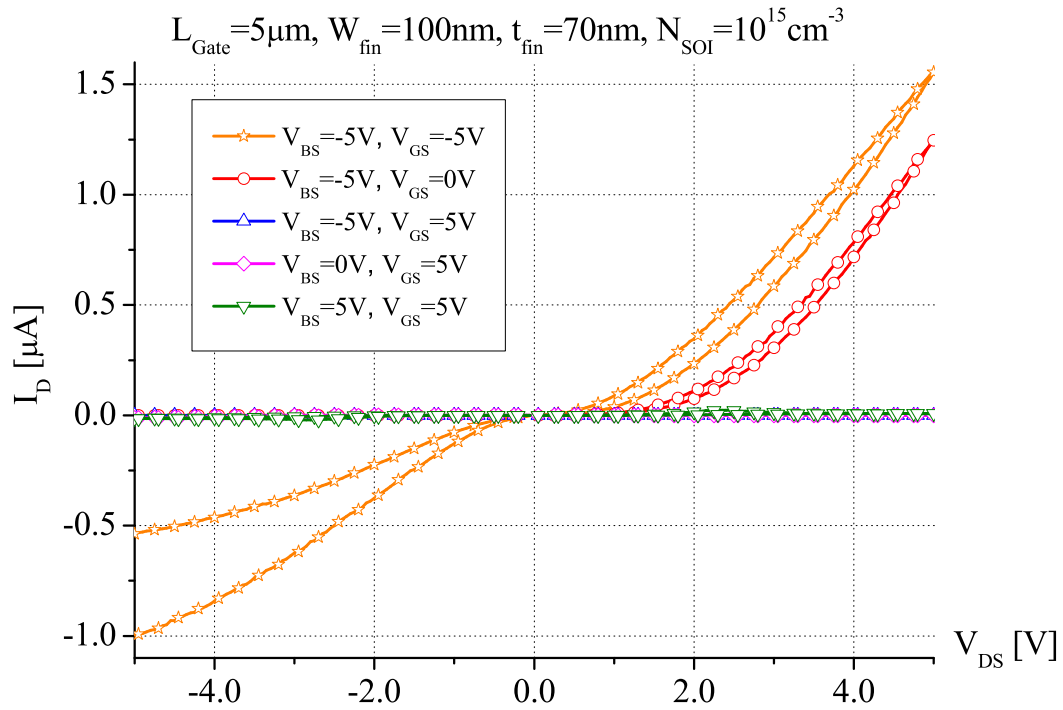


Abb. A.1: Gemessene Ausgangskennlinien von Schottky-FinFETs, Gatelänge  $L_G = 5\mu\text{m}$ , Finbreite  $L_G = 100\text{nm}$

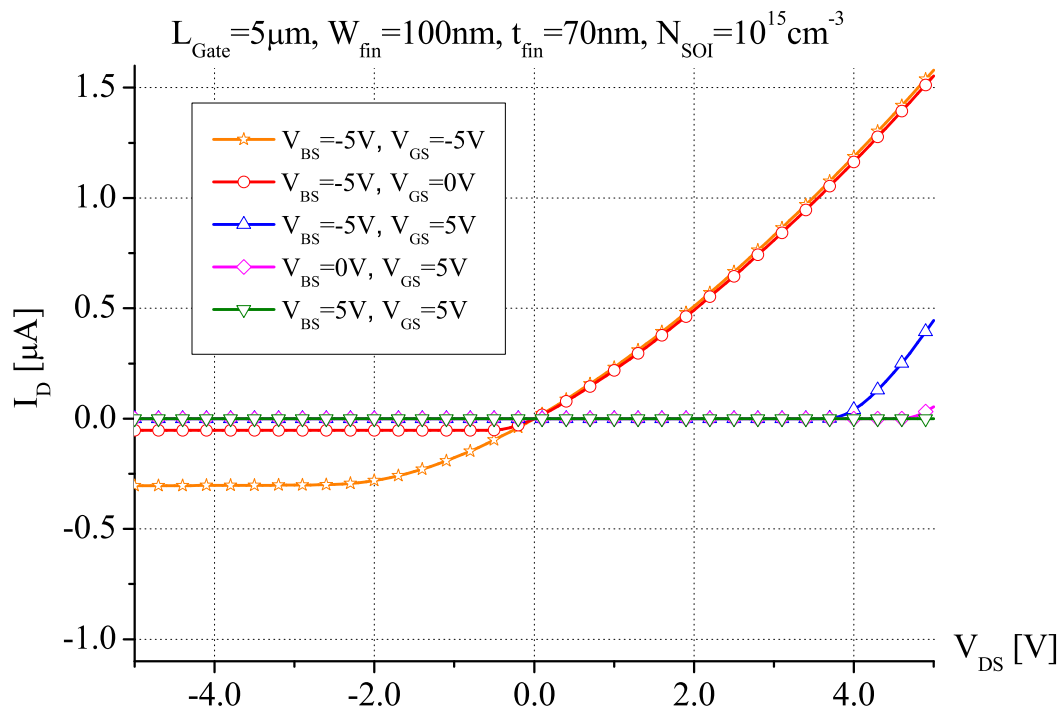
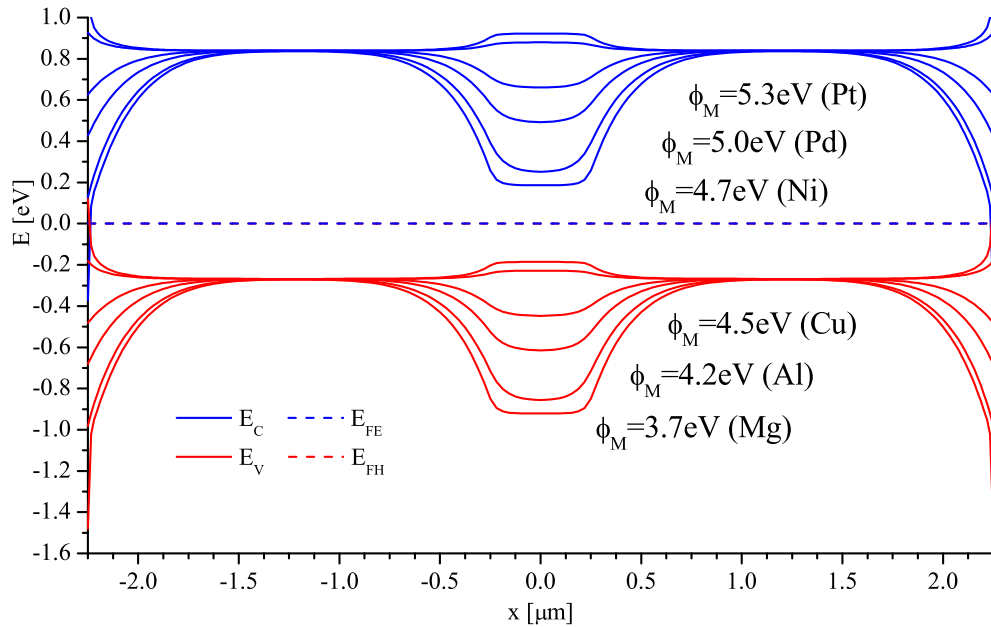
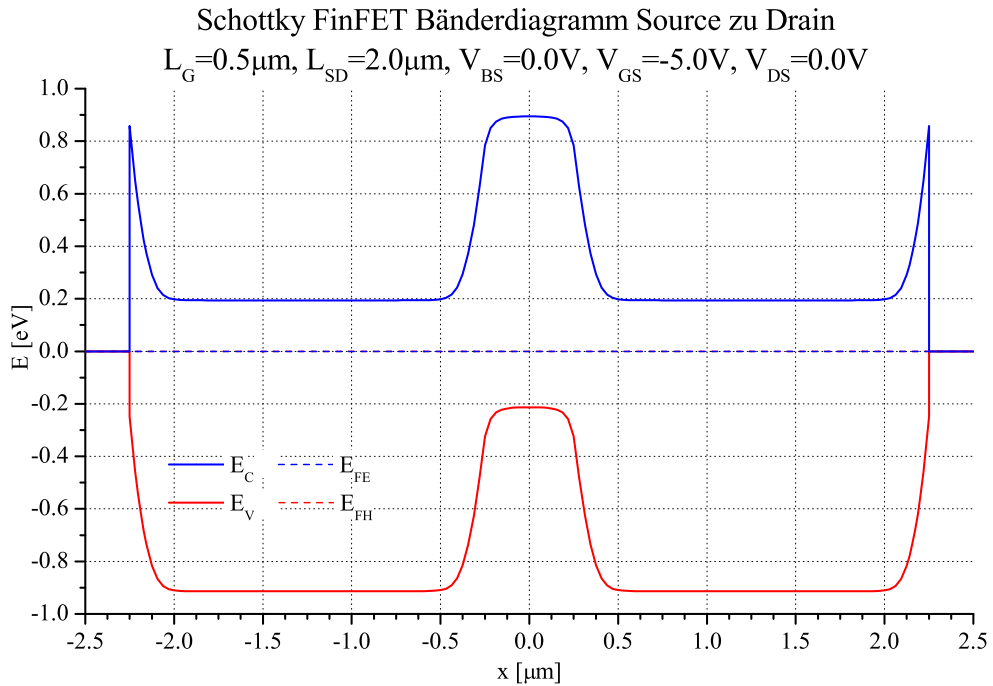


Abb. A.2: Simulierte Ausgangskennlinien von Schottky-FinFETs, Gatelänge  $L_G = 5\mu\text{m}$ , Finbreite  $L_G = 100\text{nm}$

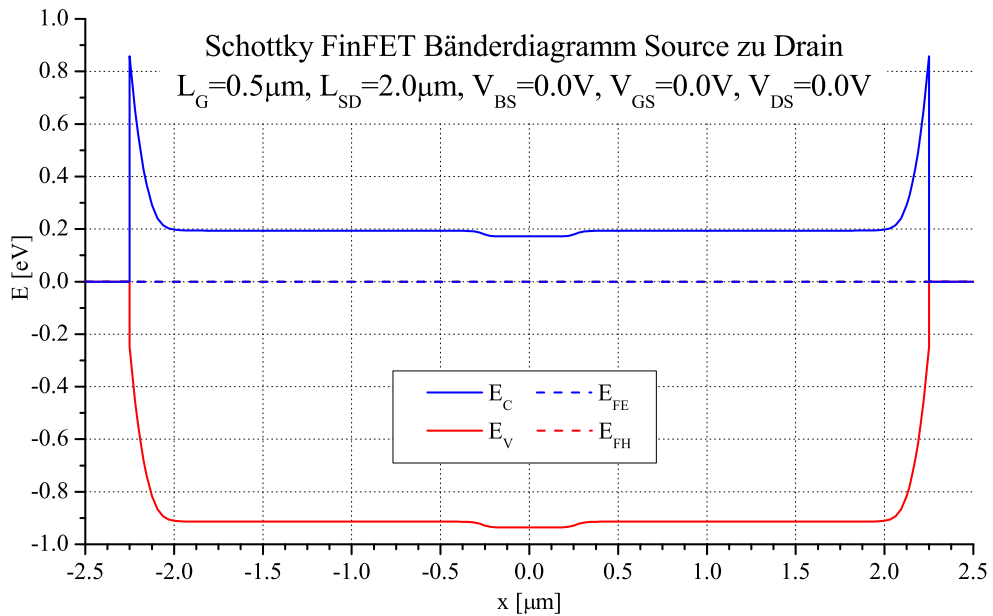


**Abb. A.3:** Bänderdiagramme von Schottky-FinFETs mit Gateelektroden unterschiedlicher Austrittsarbeiten von 3.7eV (Magnesium) bis 5.3eV (Platin)

Der Schottky-FinFET kann über das Frontgate und das Backgate gesteuert werden. Abb. A.4 bis A.7 zeigen die Steuerung über das Frontgate. Für eine Gatespannung von  $V_{GS} = -5V$  ist der Kanal durch eine Potentialbarriere gesperrt, es kann nur ein geringer Sperrstrom fließen (Abb. A.4). Wird die Gatespannung zu positiven Spannungswerten verändert, verschwindet die Potentialbarriere. Wird zusätzlich eine Drainspannung angelegt, kann ein Löcherdrainstrom von Drain nach Source fließen. Die Löcher müssen dabei die Barrieren durchtunneln, was aber bei genügender Drainspannung durch die steilen Potentialdreiecke möglich wird, wie Abb. A.7 zeigt.

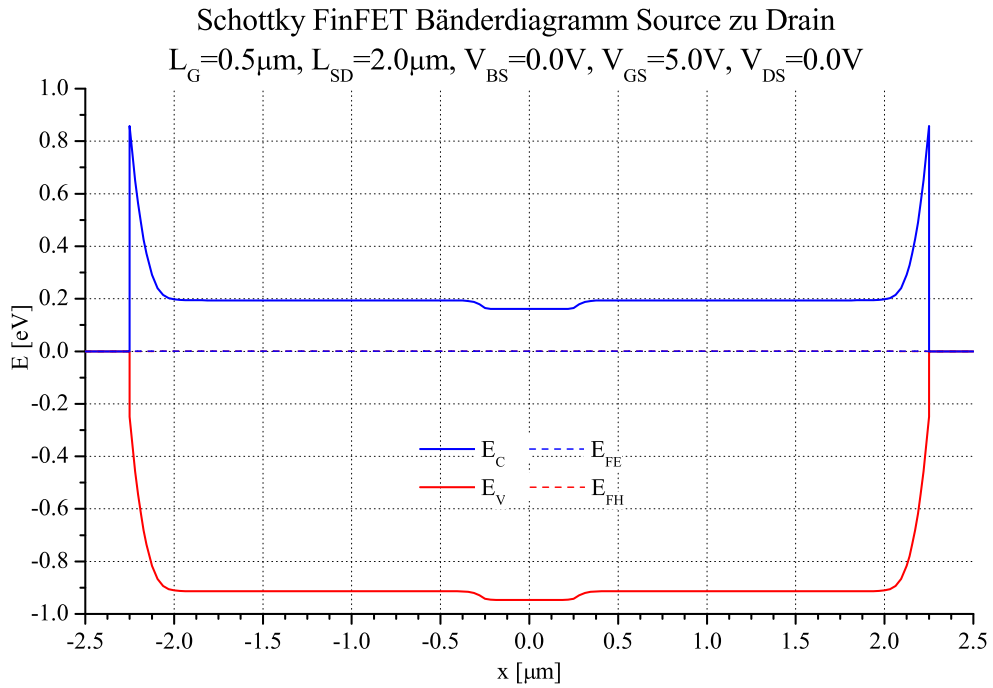


**Abb. A.4:** Steuerung des Schottky-FinFETs über Frontgate:  $L_G = 0.5\mu\text{m}$ ,  $L_{SD} = 2.0\mu\text{m}$ ,  $V_{BS} = V_{DS} = 0\text{V}$ ,  $V_{GS} = -5\text{V}$

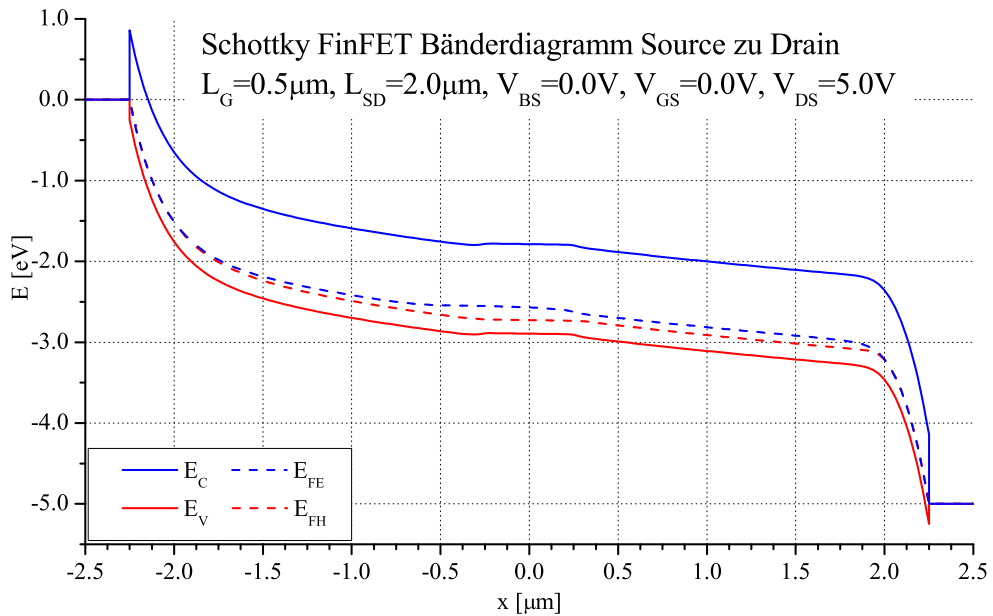


**Abb. A.5:** Steuerung des Schottky-FinFETs über Frontgate:  $L_G = 0.5\mu\text{m}$ ,  $L_{SD} = 2.0\mu\text{m}$ ,  $V_{BS} = V_{DS} = 0\text{V}$ ,  $V_{GS} = 0\text{V}$



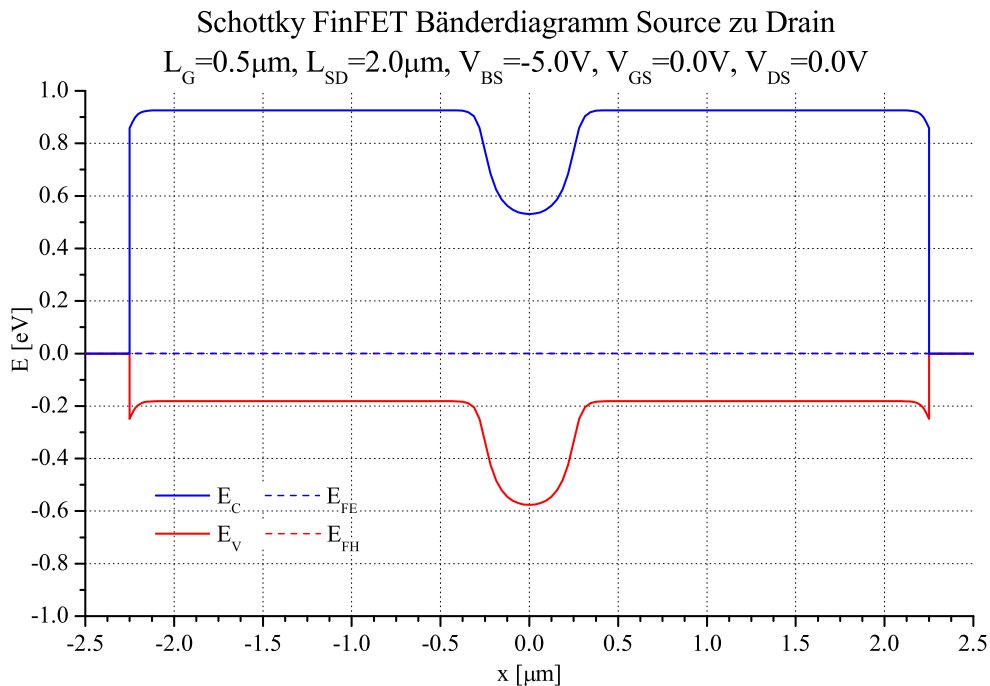


**Abb. A.6:** Steuerung des Schottky-FinFETs über Frontgate:  $L_G = 0.5\mu\text{m}$ ,  $L_{SD} = 2.0\mu\text{m}$ ,  $V_{BS} = V_{DS} = 0\text{V}$ ,  $V_{GS} = 5\text{V}$

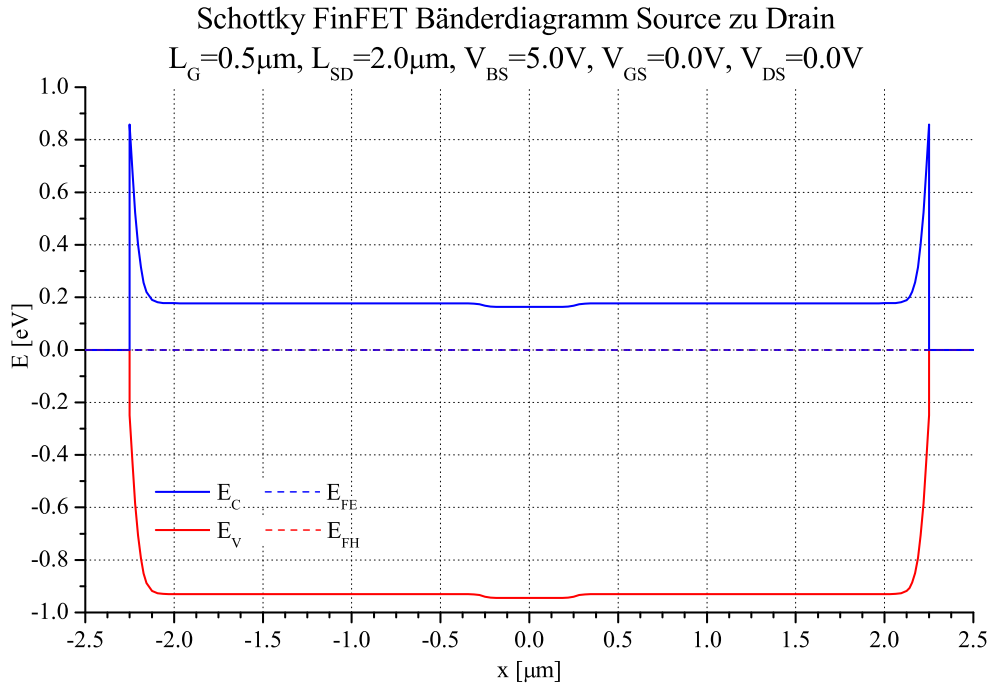


**Abb. A.7:** Steuerung des Schottky-FinFETs über Frontgate:  $L_G = 0.5\mu\text{m}$ ,  $L_{SD} = 2.0\mu\text{m}$ ,  $V_{BS} = V_{GS} = 0$ ,  $V_{DS} = 5\text{V}$

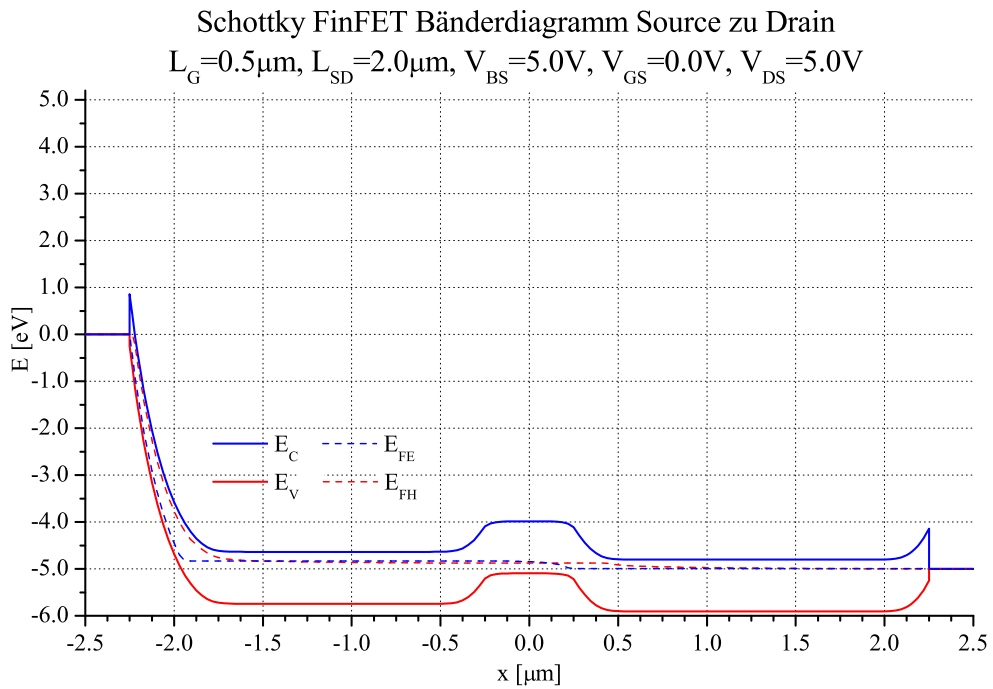
Das Backgate besteht bei den betrachteten Bauelementen aus dem gesamten Trägersubstrat, dass sich unter dem vergrabenen Oxid befindet. Durch das Backgate können also nur alle Transistoren gleichzeitig angesteuert werden und nicht einzeln, wie es mit den Frontgates möglich ist. Abb. A.8, A.5 und A.10 zeigen den Einfluss des Backgates auf die Bandstruktur der Schottky-FinFETs. Im Gegensatz zum Frontgate wird nun nicht die Potentialbarriere in der Mitte der Struktur beeinflusst, sondern das gesamte Bauelement auf ein anderes Potential gegenüber Source und Drain gebracht.



**Abb. A.8:** Steuerung des Schottky-FinFETs über Backgate:  $L_G = 0.5\mu\text{m}$ ,  $L_{SD} = 2.0\mu\text{m}$ ,  $V_{GS} = V_{DS} = 0\text{V}$ ,  $V_{BS} = -5\text{V}$



**Abb. A.9:** Steuerung des Schottky-FinFETs über Backgate:  $L_G = 0.5\mu\text{m}$ ,  $L_{SD} = 2.0\mu\text{m}$ ,  $V_{GS} = V_{DS} = 0\text{V}$ ,  $V_{BS} = 5\text{V}$

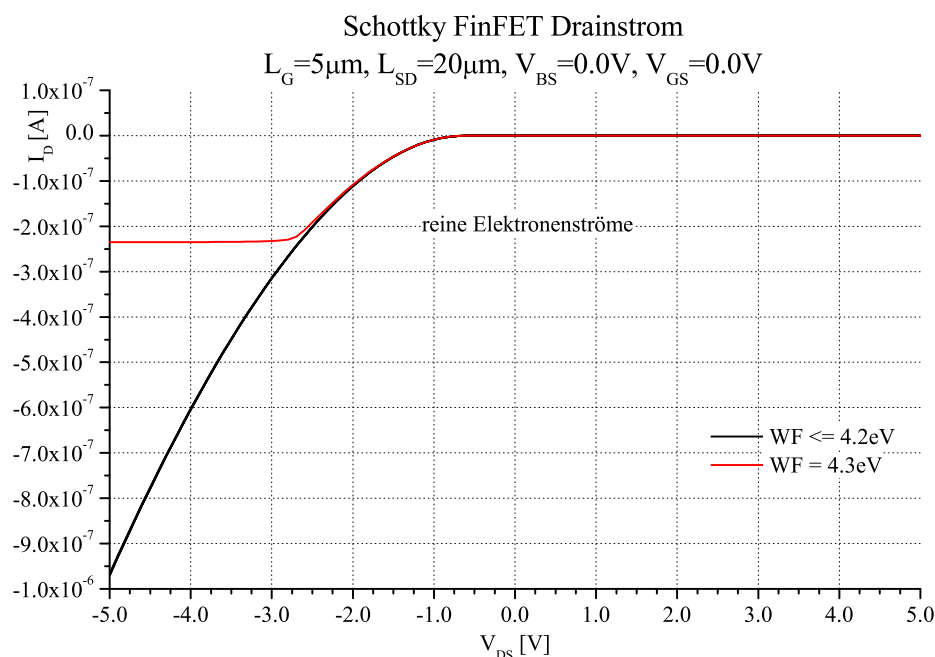


**Abb. A.10:** Steuerung des Schottky-FinFETs über Backgate:  $L_G = 0.5\mu\text{m}$ ,  $L_{SD} = 2.0\mu\text{m}$ ,  $V_{BS} = V_{GS} = 0$ ,  $V_{DS} = 5\text{V}$

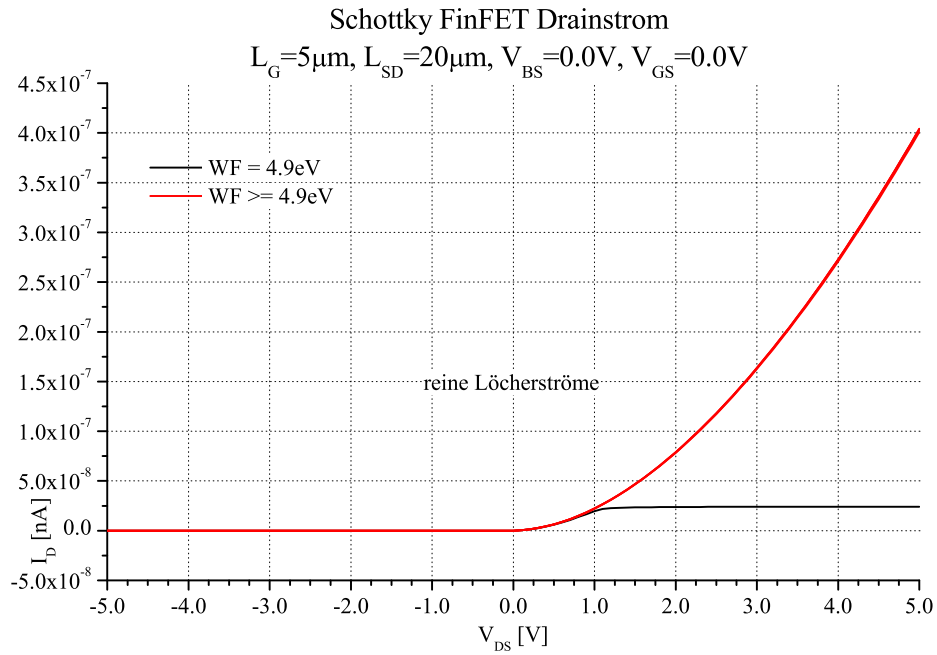
Abb. A.11 bis A.15 stellen die Abhängigkeit des Drainstroms von den verwendeten Source- und Drainmaterialien dar. Wird ein Metall mit niedriger Austrittsarbeit verwendet, ist die Potentialbarriere zwischen Fermi-niveau des Metalls und der Leitungsbandunterkante klein und die Potentialbarriere zwischen Fermi-niveau des Metalls und der Valenzbandoberkante groß. Es können also bevorzugt Elektronen in die Siliziumfinne injiziert werden, Löcher werden hingegen daran gehindert. Es tritt also ein reiner Elektronenstrom auf, wie in Abb. A.11 zu sehen ist. Der Elektronenstrom ist dabei umso größer, je kleiner die Austrittsarbeit und damit die Potentialbarriere ist.

Für Metalle mit großen Austrittsarbeiten tritt der entgegengesetzte Fall ein. Nun ist die Potentialbarriere zwischen Fermi-niveau des Metalls und der Valenzbandoberkante klein und die Potentialbarriere zwischen Fermi-niveau des Metalls und der Leitungsbandunterkante groß, was es Löchern erleichtert, in das Halbleitermaterial einzudringen und Elektronen zurückhält (Abb. A.12).

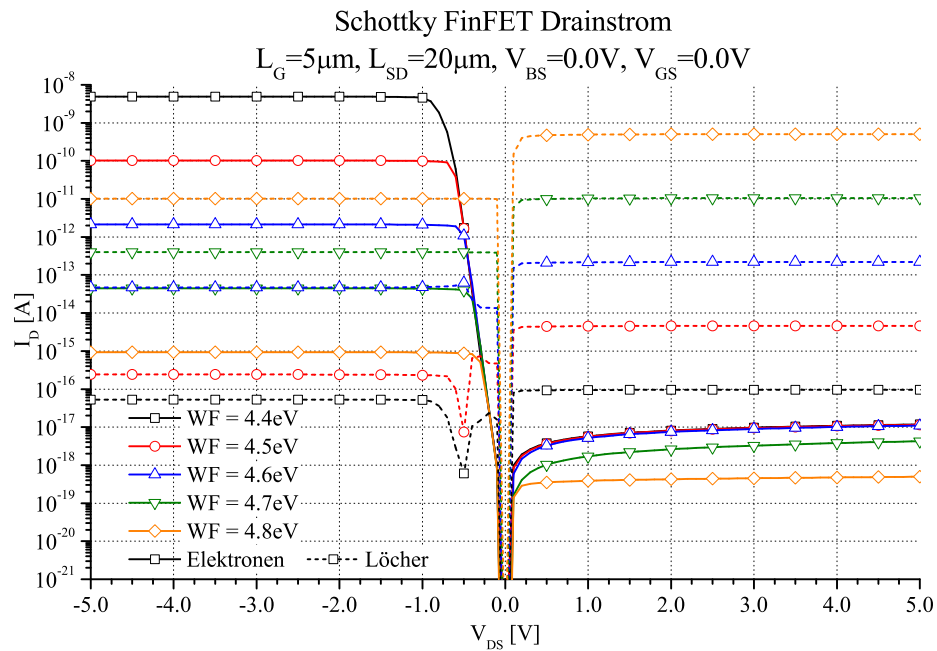
Liegt die Austrittsarbeit des Source-/Drainmetalls zwischen 4.4 und 4.8eV, liegt das Fermi-niveau des Metalls so zwischen Valenzbandoberkante und Leitungsbandunterkante, dass sowohl Löcher als auch Elektronen in die Siliziumfinne injiziert werden können. In Abb. A.13 ist der Gesamtdrainstrom dargestellt, wobei reiner Elektronenstrom mit durchgezogenen Linien und reiner Löcherstrom mit gestrichelten Linien gezeichnet ist. Der Drainstrom besteht dann aus einem anteiligen Elektronenstrom (Abb. A.14) und einem anteiligen Löcherstrom (Abb. A.15).



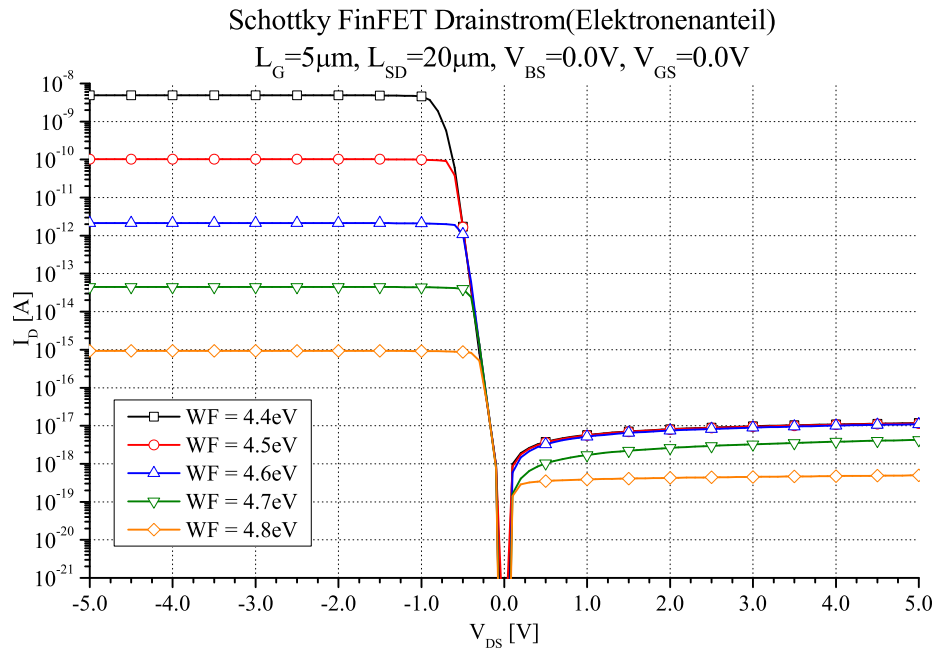
**Abb. A.11:** Steuerung des Schottky-FinFETs über Backgate, Source zu Drain:  $L_G = 0.5\mu\text{m}$ ,  $L_{SD} = 2.0\mu\text{m}$ ,  $WF = 4.2\text{--}4.3\text{eV}$ ,  $V_{BS} = V_{GS} = 0\text{V}$



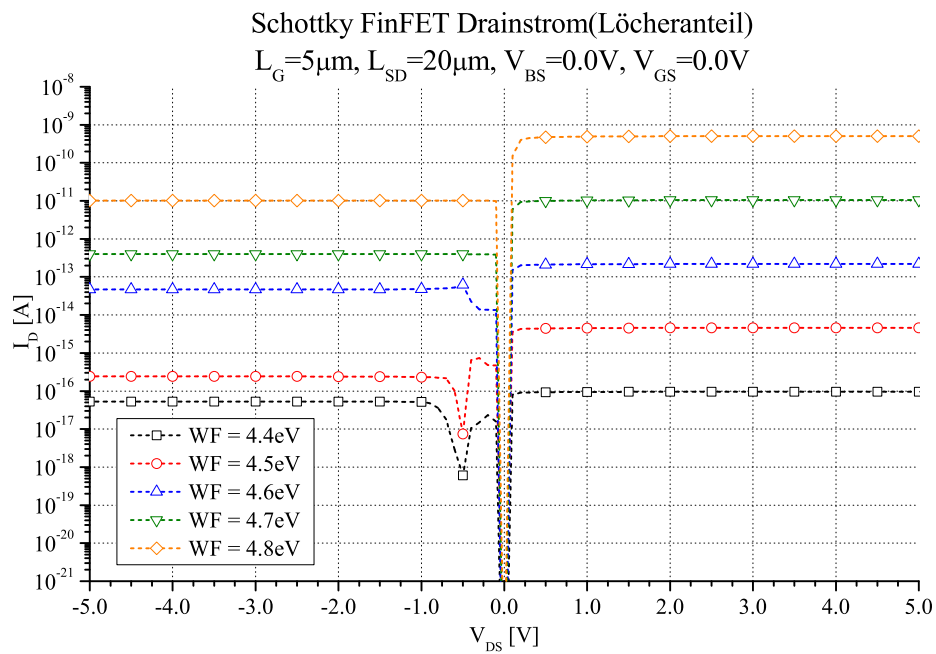
**Abb. A.12:** Steuerung des Schottky-FinFETs über Backgate, Source zu Drain:  $L_G = 0.5\mu\text{m}$ ,  $L_{SD} = 2.0\mu\text{m}$ ,  $WF = 4.9\text{-}5.3\text{eV}$ ,  $V_{BS} = V_{GS} = 0\text{V}$



**Abb. A.13:** Steuerung des Schottky-FinFETs über Backgate, Source zu Drain:  $L_G = 0.5\mu\text{m}$ ,  $L_{SD} = 2.0\mu\text{m}$ ,  $WF = 4.4\text{-}4.8\text{eV}$ ,  $V_{BS} = V_{GS} = 0\text{V}$  (Absolutwerte Gesamtstrom)



**Abb. A.14:** Steuerung des Schottky-FinFETs über Backgate, Source zu Drain:  $L_G = 0.5\mu\text{m}$ ,  $L_{SD} = 2.0\mu\text{m}$ ,  $WF = 4.4\text{--}4.8\text{eV}$ ,  $V_{BS} = V_{GS} = 0\text{V}$  (Absolutwerte Elektronenanteil)



**Abb. A.15:** Steuerung des Schottky-FinFETs über Backgate, Source zu Drain:  $L_G = 0.5\mu\text{m}$ ,  $L_{SD} = 2.0\mu\text{m}$ ,  $WF = 4.4\text{--}4.8\text{eV}$ ,  $V_{BS} = V_{GS} = 0\text{V}$  (Absolutwerte Löcheranteil)

## A.2 Tabellarische Auflistung der Ergebnisse der MOSFET-Simulationen

Die nachfolgende Tabelle fasst abschließend noch einmal alle Ergebnisse der MOSFET-Simulationen für Referenzbauelemente und high- $\kappa$ -Bauelemente mit dicken und dünnen Gatedielektrika zusammen. Dabei beträgt die Austrittsarbeit der Gateelektrode bei allen Bauelementen  $E_A = 4.8\text{eV}$ , die Dotierstoffkonzentration von Source und Drain  $N_{SD} = 5 \cdot 10^{19}\text{cm}^{-3}$ , die Dotierstoffkonzentration der LDD-Gebiete  $N_{LDD} = 5 \cdot 10^{18}\text{cm}^{-3}$  und die effektive Gate-/Sourcespannung  $V_{GS,eff} = V_{GS} - V_T = 1.5\text{V}$ .

Gate-Dielektrika	$L_{Gate}$ [nm]	$W_{Gate}$ [ $\mu\text{m}$ ]	EOT [nm]	$N_{SOI}$ [ $\text{cm}^{-3}$ ]	$V_T$ [V]	$g_m$ [ $\mu\text{A/V}$ ]	$S$ [mV/dec]	$I_{D,max}$ [ $\mu\text{A}/\mu\text{m}$ ]	$I_{ratio}$	DIBL [mV/V]	$R_{on}$ [ $\Omega/\mu\text{m}$ ]
SiO <sub>2</sub>	10	0.15	2.0	$1 \cdot 10^{18}$	1.093	232.5	215	1434.0	$7.8 \cdot 10^7$	1084	282
SiO <sub>2</sub>	20	0.15	2.0	$1 \cdot 10^{18}$	1.250	244.5	115	1127.0	$8.5 \cdot 10^{11}$	341	316
SiO <sub>2</sub>	30	0.15	2.0	$1 \cdot 10^{18}$	1.327	234.0	92	957.8	$2.3 \cdot 10^{13}$	158	350
SiO <sub>2</sub>	40	0.15	2.0	$1 \cdot 10^{18}$	1.376	216.0	83	864.0	$8.8 \cdot 10^{13}$	96	386
SiO <sub>2</sub>	50	1.0	2.0	$1 \cdot 10^{18}$	1.224	248.0	107	1798.0	$1.6 \cdot 10^{10}$	291	301
Gd <sub>2</sub> O <sub>3</sub>	50	1.0	2.0	$1 \cdot 10^{18}$	0.866	252.0	107	1749.0	$1.9 \cdot 10^{10}$	296	296
Gd <sub>2</sub> O <sub>3</sub>	50	1.0	0.8	$1 \cdot 10^{18}$	0.765	418.0	86	2270.0	$2.4 \cdot 10^{10}$	159	282
SiO <sub>2</sub>	100	1.0	2	$3 \cdot 10^{17}$	1.201	183.0	77	1253.0	$3.0 \cdot 10^{13}$	88	386
Gd <sub>2</sub> O <sub>3</sub>	100	1.0	2.0	$3 \cdot 10^{17}$	0.846	187.0	77	1249.0	$1.6 \cdot 10^{13}$	90	382
Gd <sub>2</sub> O <sub>3</sub>	100	1.0	0.8	$3 \cdot 10^{17}$	0.757	306.0	71	1675.0	$2.8 \cdot 10^{13}$	56	365
SiO <sub>2</sub>	150	1.0	2	$2 \cdot 10^{17}$	1.208	138.0	71	1039.0	$5.0 \cdot 10^{13}$	39	487
Gd <sub>2</sub> O <sub>3</sub>	150	1.0	2.0	$2 \cdot 10^{17}$	0.853	141.0	70	1040.0	$1.9 \cdot 10^{14}$	41	482
Gd <sub>2</sub> O <sub>3</sub>	150	1.0	0.8	$2 \cdot 10^{17}$	0.765	233.0	67	1391.0	$3.0 \cdot 10^{13}$	26	462
SiO <sub>2</sub>	200	1.0	2.0	$1 \cdot 10^{17}$	1.164	112.0	69	923.0	$9.1 \cdot 10^{12}$	30	571
Gd <sub>2</sub> O <sub>3</sub>	200	1.0	2.0	$1 \cdot 10^{17}$	0.810	114.0	69	924.7	$1.1 \cdot 10^{14}$	32	565
Gd <sub>2</sub> O <sub>3</sub>	200	1.0	0.8	$1 \cdot 10^{17}$	0.741	187.0	66	1231.0	$9.7 \cdot 10^{12}$	22	543

Tab. A.1: errechnete FinFET-Parameter aus Simulationen, 2nm SiO<sub>2</sub>-, 2nm und 0.8nm EOT Gd<sub>2</sub>O<sub>3</sub>-Dielektrikum

### A.3 Tabellarische Auflistung der Ergebnisse der 3-dimensionalen FinFET-Simulationen

Die Höhe der SOI-Schicht beträgt bei allen Bauelementen  $t_{\text{SOI}} = 50\text{nm}$ , die Austrittsarbeit der Gateelektrode  $E_A = 4.8\text{eV}$ , die Dotierstoffkonzentration von Source und Drain  $N_{\text{SD}} = 5 \cdot 10^{19}\text{cm}^{-3}$ , die Dotierstoffkonzentration der LDD-Gebiete  $N_{\text{LDD}} = 5 \cdot 10^{18}\text{cm}^{-3}$  und die effektive Gate-/Sourcespannung  $V_{\text{GS,eff}} = V_{\text{GS}} - V_{\text{T}} = 1.5\text{V}$ .

Gate-Dielektrika	$L_{\text{Gate}}$ [nm]	$W_{\text{Gate}}$ [nm]	EOT [nm]	$N_{\text{SOI}}$ [ $\text{cm}^{-3}$ ]	$V_{\text{T}}$ [V]	$g_{\text{m}}$ [ $\mu\text{A/V}$ ]	S [mV/dec]	$I_{\text{D,max}}$ [ $\mu\text{A}/\mu\text{m}$ ]	$I_{\text{ratio}}$	DIBL [mV/V]	$R_{\text{on}}$ [ $\Omega/\mu\text{m}$ ]
SiO <sub>2</sub>	50	10	2.0	$10^{10}$	0.906	45.7	61	22.1	$5.5 \cdot 10^{14}$	9	5979
Gd <sub>2</sub> O <sub>3</sub>	50	10	2.0	$10^{10}$	0.573	50.7	62	22.3	$3.1 \cdot 10^{14}$	13	5593
Gd <sub>2</sub> O <sub>3</sub>	50	10	0.8	$10^{10}$	0.578	52.4	60	22.3	$7.4 \cdot 10^{14}$	3	5795
SiO <sub>2</sub>	50	10	2	$10^{15}$	0.907	45.8	61	22.1	$3.0 \cdot 10^{14}$	9	5977
Gd <sub>2</sub> O <sub>3</sub>	50	10	2.0	$10^{15}$	0.574	50.7	62	22.3	$4.1 \cdot 10^{15}$	13	5591
Gd <sub>2</sub> O <sub>3</sub>	50	10	0.8	$10^{15}$	0.578	52.4	60	22.3	$1.6 \cdot 10^{14}$	3	5794
SiO <sub>2</sub>	50	10	2.0	$10^{18}$	0.984	40.7	62	22.0	$6.8 \cdot 10^{15}$	12	6029
Gd <sub>2</sub> O <sub>3</sub>	50	10	2.0	$10^{18}$	0.644	42.2	62	22.2	$1.1 \cdot 10^{16}$	15	5642
Gd <sub>2</sub> O <sub>3</sub>	50	10	0.8	$10^{18}$	0.597	45.6	60	22.0	$5.0 \cdot 10^{15}$	5	5854
SiO <sub>2</sub>	50	20	2.0	$10^{10}$	0.921	70.1	66	37.9	$9.5 \cdot 10^{14}$	37	3462
Gd <sub>2</sub> O <sub>3</sub>	50	20	2.0	$10^{10}$	0.573	73.5	67	39.1	$9.9 \cdot 10^{13}$	50	3219
Gd <sub>2</sub> O <sub>3</sub>	50	20	0.8	$10^{10}$	0.532	76.1	62	37.7	$3.5 \cdot 10^{14}$	18	3332
SiO <sub>2</sub>	50	20	2.0	$10^{15}$	0.921	70.0	66	37.9	$2.0 \cdot 10^{15}$	37	3461
Gd <sub>2</sub> O <sub>3</sub>	50	20	2.0	$10^{15}$	0.573	73.3	67	39.1	$6.3 \cdot 10^{14}$	50	3219
Gd <sub>2</sub> O <sub>3</sub>	50	20	0.8	$10^{15}$	0.532	76.0	62	37.7	$1.3 \cdot 10^{15}$	18	3331
SiO <sub>2</sub>	50	20	2.0	$10^{18}$	1.032	54.3	66	37.5	$1.3 \cdot 10^{16}$	34	3501
Gd <sub>2</sub> O <sub>3</sub>	50	20	2.0	$10^{18}$	0.678	57.5	67	38.7	$9.8 \cdot 10^{15}$	47	3258
Gd <sub>2</sub> O <sub>3</sub>	50	20	0.8	$10^{18}$	0.615	61.1	62	37.4	$5.0 \cdot 10^{15}$	17	3367
SiO <sub>2</sub>	50	30	2.0	$10^{10}$	0.941	201.0	76	956.8	$5.2 \cdot 10^{15}$	95	414
Gd <sub>2</sub> O <sub>3</sub>	50	30	2.0	$10^{10}$	0.586	205.0	78	1043.0	$1.3 \cdot 10^{16}$	117	397
Gd <sub>2</sub> O <sub>3</sub>	50	30	0.8	$10^{10}$	0.581	245.0	69	1128.0	$4.5 \cdot 10^{15}$	59	398

**Tab. A.2:** errechnete FinFET-Parameter aus 3D-Simulationen, 2nm SiO<sub>2</sub>-, 5nm und 2nm Gd<sub>2</sub>O<sub>3</sub>-Dielektrikum (EOT 2nm und 0.8nm), 10 - 30nm Finbreite



Gate-Dielektrika	L <sub>Gate</sub> [nm]	W <sub>Gate</sub> [nm]	t <sub>ox</sub> [nm]	N <sub>SOI</sub> [cm <sup>-3</sup> ]	V <sub>T</sub> [V]	g <sub>m</sub> [μA/V]	S [mV/dec]	I <sub>D,max</sub> [μA/μm]	I <sub>ratio</sub>	DIBL [mV/V]	R <sub>on</sub> [Ω/μm]
SiO <sub>2</sub>	50	30	2	10 <sup>15</sup>	0.942	201.0	76	958.0	4.9 · 10 <sup>16</sup>	95	414
Gd <sub>2</sub> O <sub>3</sub>	50	30	2.0	10 <sup>15</sup>	0.586	205.0	78	1043.0	3.8 · 10 <sup>16</sup>	117	396
Gd <sub>2</sub> O <sub>3</sub>	50	30	0.8	10 <sup>15</sup>	0.581	246.0	69	1128.0	1.7 · 10 <sup>16</sup>	59	398
SiO <sub>2</sub>	50	30	2	10 <sup>18</sup>	1.120	157.0	73	929.5	5.5 · 10 <sup>15</sup>	79	440
Gd <sub>2</sub> O <sub>3</sub>	50	30	2.0	10 <sup>18</sup>	0.767	165.0	75	1024.0	6.4 · 10 <sup>15</sup>	97	419
Gd <sub>2</sub> O <sub>3</sub>	50	30	0.8	10 <sup>18</sup>	0.702	205.0	67	1089.0	7.1 · 10 <sup>15</sup>	44	421
SiO <sub>2</sub>	50	40	2	10 <sup>10</sup>	0.910	180.0	90	832.0	7.6 · 10 <sup>16</sup>	178	503
Gd <sub>2</sub> O <sub>3</sub>	50	40	5	10 <sup>10</sup>	0.548	172.0	92	818.4	7.2 · 10 <sup>13</sup>	212	579
Gd <sub>2</sub> O <sub>3</sub>	50	40	2	10 <sup>10</sup>	0.554	212.0	80	909.7	4.8 · 10 <sup>14</sup>	129	487
SiO <sub>2</sub>	50	40	2	10 <sup>15</sup>	0.911	180.0	90	832.6	5.5 · 10 <sup>15</sup>	178	503
Gd <sub>2</sub> O <sub>3</sub>	50	40	5	10 <sup>15</sup>	0.549	172.0	92	819.1	6.6 · 10 <sup>14</sup>	212	579
Gd <sub>2</sub> O <sub>3</sub>	50	40	2	10 <sup>15</sup>	0.555	211.0	80	910.4	1.3 · 10 <sup>15</sup>	129	486
SiO <sub>2</sub>	50	40	2	10 <sup>18</sup>	1.149	136.0	80	775.1	6.7 · 10 <sup>15</sup>	141	544
Gd <sub>2</sub> O <sub>3</sub>	50	40	5	10 <sup>18</sup>	0.791	130.0	83	759.6	5.5 · 10 <sup>15</sup>	164	615
Gd <sub>2</sub> O <sub>3</sub>	50	40	2	10 <sup>18</sup>	0.724	170.0	71	857.8	7.7 · 10 <sup>15</sup>	79	523
SiO <sub>2</sub>	50	50	2	10 <sup>10</sup>	0.888	175.0	105	823.0	3.2 · 10 <sup>13</sup>	279	448
Gd <sub>2</sub> O <sub>3</sub>	50	50	5	10 <sup>10</sup>	0.536	178.0	108	856.8	2.1 · 10 <sup>15</sup>	330	430
Gd <sub>2</sub> O <sub>3</sub>	50	50	2	10 <sup>10</sup>	0.537	211.0	94	894.3	4.1 · 10 <sup>13</sup>	220	429
SiO <sub>2</sub>	50	50	2	10 <sup>15</sup>	0.889	175.0	105	823.5	1.1 · 10 <sup>15</sup>	279	448
Gd <sub>2</sub> O <sub>3</sub>	50	50	5	10 <sup>15</sup>	0.537	178.0	108	857.4	3.8 · 10 <sup>14</sup>	330	429
Gd <sub>2</sub> O <sub>3</sub>	50	50	2	10 <sup>15</sup>	0.538	210.0	94	894.9	1.6 · 10 <sup>15</sup>	220	429
SiO <sub>2</sub>	50	50	2	10 <sup>18</sup>	1.180	128.0	83	760.5	1.0 · 10 <sup>15</sup>	220	509
Gd <sub>2</sub> O <sub>3</sub>	50	50	5	10 <sup>18</sup>	0.825	132.0	90	787.3	3.6 · 10 <sup>15</sup>	233	483
Gd <sub>2</sub> O <sub>3</sub>	50	50	2	10 <sup>18</sup>	0.748	161.0	74	837.8	6.8 · 10 <sup>15</sup>	95	483

Tab. A.3: errechnete FinFET-Parameter aus 3D-Simulationen, 2nm SiO<sub>2</sub>-, 5nm und 2nm Gd<sub>2</sub>O<sub>3</sub>-Dielektrikum, 40 und 50nm Finbreite



---

## B Anhang B

---

### B.1 Substrat-Ladung-Modell

Die Weite der Raumladungszone unter dem Gate ist abhängig von der Gate- und der Drainspannung. Durch die Berücksichtigung dieser Spannungsabhängigkeit kann das Square-Law-Modell zum Substrat-Ladung-Modell erweitert werden, welches dem realen physikalischen Verhalten des MOSFETs besser angenähert ist. Für den Drainstrom ergibt sich mit diesem Modell eine komplexere Formel [1].

$$I_D = \mu C_{ox} \frac{W}{L} \left\{ \left( V_{GS} - V_T - \frac{V_{DS}}{2} \right) V_{DS} - \frac{4}{3} V_W \phi_F \left[ \left( 1 + \frac{V_{DS}}{2\phi_f} \right)^{3/2} - \left( 1 + \frac{3V_{DS}}{4\phi_f} \right) \right] \right\} \quad (\text{B.1})$$

$$\text{mit} \quad V_W = \frac{q N_A W_T}{C_{ox}} \quad \text{und} \quad W_T = \sqrt{\frac{2\kappa_{si}\epsilon_0}{q N_A} (2\phi_f)}$$

$$V_{DSAT} = V_{GS} - V_T - V_W \left\{ \sqrt{\frac{V_{GS} - V_T}{2\phi_f} + \left( 1 + \frac{V_W}{4\phi_f} \right)^2} - \left( 1 + \frac{V_W}{4\phi_f} \right) \right\}$$

## B.2 Exakt-Ladung-Modell

Die bisherigen Modelle bieten zwar eine gute Beschreibung des Transistorverhaltens bei Gatespannungen über der Einsatzspannung, vernachlässigen aber die Kanalladung bei Gatespannungen unterhalb der Einsatzspannung, die sogenannte Unterschwellen-Charakteristik. Diese kann mit dem Exakt-Ladung-Modell beschrieben werden, welches Ladungsintegrale verwendet [125]. Die Oberflächenpotentiale werden dabei mit  $V_{S0}$  (Source) und  $V_{SL}$  (Drain) bezeichnet,  $L_D$  ist die intrinsische Debye-Länge.

$$I_D = \mu C_{ox} \frac{W}{L} \left[ V_{GS} (V_{SL} - V_{S0}) - \frac{1}{2} (V_{SL}^2 - V_{S0}^2) \right] + \mu C_{ox} \frac{W}{L} \frac{\kappa_{si} t_{ox}}{\kappa_{ox} L_D} \left( \frac{kT}{q} \right)^2 \left[ \int_0^{U_{S0}} F(U, U_f, 0) dU - \int_0^{U_{SL}} F(U, U_f, U_{DS}) dU \right] \quad (B.2)$$

$$\text{wobei} \quad F(U, U_f, \xi) \equiv \sqrt{e^{U_f} (e^{-U} + U - 1) + e^{-U_f} (e^{U-\xi} - U - e^{-\xi})}$$

$$\text{und} \quad L_D = \sqrt{\frac{\kappa_{si} \varepsilon_0 kT}{2q^2 n_i}}, \quad U = \phi \frac{q}{kT}, \quad U_f = \phi_f \frac{q}{kT}, \quad U_{S0} = V_{S0} \frac{q}{kT}, \quad U_{SL} = V_{SL} \frac{q}{kT}, \quad U_{DS} = V_{DS} \frac{q}{kT}$$

Ein weiterer Vorteil ist die Selbst-Sättigung des Modells, die obige Formel kann sowohl den linearen wie auch Sättigungsbereich des MOSFETs darstellen. Der entscheidende Nachteil ist die hohe Komplexität der Formel, weswegen eine Anwendung ohne Computer sehr rechenintensiv wird.

---

## C Anhang C

---

### C.1 Parameterliste von Sentaurus Device

Parameter	Bedeutung
eDensity	Elektronenkonzentration
hdensity	Löcherkonzentration
TotalCurrent/Vector	Vektor des Gesamtstroms
eCurrent/Vector	Vektor des Elektronenstroms
hCurrent/Vector	Vektor des Löcherstroms
eMobility	Elektronenbeweglichkeit
hMobility	Löcherbeweglichkeit
eVelocity	Geschwindigkeit der Elektronen
hVelocity	Geschwindigkeit der Löcher
eQuasiFermi	Quasifermienergie der Elektronen
hQuasiFermi	Quasifermienergie der Löcher
eTemperature	Elektronentemperatur
Temperature	Ladungstemperatur
hTemperature	Löchertemperatur
ElectricField/Vector	Vektor des elektrischen Feldes
Potential	elektrisches Potential
SpaceCharge	Raumladungskonzentration
Doping	Netto-Dotierstoffkonzentration
DonorConcentration	Donatorkonzentration
AcceptorConcentration	Akzeptorkonzentration
SRH	Shockley-Read-Hall Rekombinationsrate
Band2Band	Band-zu-Band Tunnelstromdichte
Auger	Auger-Rekombinationsrate
AvalancheGeneration	Generationsrate durch Lawinenmultiplikation
eAvalancheGeneration	Elektronen-Generationsrate durch Lawinenmultiplikation
hAvalancheGeneration	Löcher-Generationsrate durch Lawinenmultiplikation

Parameter	Bedeutung
eGradQuasiFermi/Vector	Vector des Gradienten des Quasifermipotentials der Elektronen
hGradQuasiFermi/Vector	Vector des Gradienten des Quasifermipotentials der Löcher
eEparallel	elektrisches Feld parallel zum Elektronenstrom
hEparallel	elektrisches Feld parallel zum Löcherstrom
eENormal	elektrisches Feld senkrecht zum Elektronenstrom
hENormal	elektrisches Feld senkrecht zum Löcherstrom
BandGap	Bandlückenenergie
BandGapNarrowing	Verringerung der Bandlückenenergie
Affinity	Elektronenaffinität des Material
ConductionBand	Energie des Leitungsbands
ValenceBand	Energie des Valenzbands
eQuantumPotential	Korrektur der Leitungsbandenergie
hQuantumPotential	Korrektur der Valenzbandenergie
eBarrierTunneling	Tunnelstromdichte der Elektronen durch Barriere
hBarrierTunneling	Tunnelstromdichte der Löcher durch Barriere
BarrierTunneling	Tunnelstromdichte durch Barriere
eDirectTunnel	direkter Tunnelstrom der Elektronen
hDirectTunnel	direkter Tunnelstrom der Löcher
StressXX	mechanische Spannung in x-Richtung
StressXY	mechanische Scherspannung zwischen x- und y-Richtung
StressXZ	mechanische Scherspannung zwischen x- und z-Richtung
StressYY	mechanische Spannung in y-Richtung
StressYZ	mechanische Scherspannung zwischen y- und z-Richtung
StressZZ	mechanische Spannung in z-Richtung

**Tab. C.1:** *Sentaurus Device: Ausgabeparameter*

---

## Literaturverzeichnis

---

- [1] Robert F. Pierret. *Semiconductor Device Fundamentals*. Addison-Wesley Publishing Company, Inc., 1996.
- [2] Michael Reisch. *Elektronische Bauelemente*. Springer-Verlag Berlin Heidelberg, 1998.
- [3] S. M. Sze. *Physics of Semiconductor Devices*. John Wiley & Sons, 1981.
- [4] S. M. Sze. *Physics of Semiconductor Devices*. John Wiley & Sons, 1982.
- [5] H. K. Henisch. *Semiconductor Contacts - An Approach to Ideas and Models*. Clarendon, Oxford, 1984.
- [6] A. Y. C. Yu. *Electron tunneling and contact resistance of metal-silicon contact barriers*. Solid State Electron., 13:239-247, 1979.
- [7] Intel Corporation. "The Evolution of a Revolution". Intel Developer Forum, Microprocessor Quick Reference Guide, <http://www.intel.com/pressroom/kits/quickreffam.htm#i486>, 2008.
- [8] Hewlett-Packard. "HP 4284 Operating Manual". p. 9-9, 1994, Japan.
- [9] International Technology Roadmap for Semiconductors (ITRS). *Semiconductor Industry Association*. 181 Metro Drive, Suite 450, San Jose, CA, 95510, <http://public.itrs.net>, 2002 updated edition.
- [10] Roger T. Howe and Charles G. Sodini. *Microelectronics: an integrated approach*. Prentice-Hall, 1997.
- [11] G. Baccarani, M.R. Wordeman, and R.H. Dennard. *Generalized scaling theory and its application to 1/4 micrometer MOSFET designs*. IEEE Trans. El. Dev., vol. 31 (4), 452-462, 1983.
- [12] W. Ting et. al. *Effects of rapid thermal oxidation on electrical characteristics of chemical-vapor-deposited SiO<sub>2</sub> gate dielectrics*. J. Appl. Phys., vol. 66 (11), pages 5641-5643, 1989.

- 
- [13] K.H. Gundlach. *Zur Berechnung des Tunnelstroms durch eine trapezförmige Potentialstufe*. Solid State Electronics, vol. 9, 949-957, 1966.
- [14] A. Schenk and G. Heiser. *Modeling and simulation of tunneling through ultra-thin gate dielectrics*. Journal of Applied Physics, vol. 81, no. 12, pp. 7900-7908, 1997.
- [15] Z.-H. Liu, C. Hu, J.-H. Huang, T.-Y. Chan, M.-C. Jeng, P. K. Ko, and Y. C. Cheng. *Threshold voltage model for deep-submicrometer MOSFETs*. IEEE Trans. El. Dev., vol. 40 (1), 86-95, 1993.
- [16] T. Y. Chan, J. Chen, P. K. Ko, and C. Hu. *The impact of gate-induced drain leakage current on MOSFET scaling*. IEDM Tech. Dig., pp. 718 - 721, December 1987, 1987.
- [17] T. Mizuno, J. Okamura, and A. Toriumi. *Experimental study of threshold voltage fluctuation due to statistical variation of channel dopant number in MOSFET's*. IEEE Trans. Electron Devices, Vol. 41, pp. 2216 - 2221, November 1994, 1994.
- [18] S. R. Banna, P. C. H. Chan, M. Chan, and P. K. Ko. *A physically based device model for fully depleted and nearly fully depleted SOI MOSFET*. IEDM Tech. Dig., pp. 949 - 952, December 1995, 1995.
- [19] J. Colinge. *Reduction of kink effect in thin-film SOI MOSFET's*. IEEE Electron Device Lett., Vol. 9, pp. 97 - 99, February 1988, 1988.
- [20] H.-S. Wong, D. Frank, Y. Taur, and J. Stork. *Design and Performance Considerations for Sub-0.1micron Double-Gate SOI MOSFET's*. IEDM Tech. Digest, p. 747, 1994.
- [21] Y. Choi, N. Lindert, P. Xuan, S. Tang, D. Ha, E. Anderson, T. King, J. Bokor, and C. Hu. *Sub-20nm CMOS FinFET technologies*. IEDM Tech. Dig., pp. 421 - 424, December 2001, 2001.
- [22] Frank Wessely, Lorraine Rispal, and Udo Schwalke. *Mix-and-match Lithography Based Ultrathin-body SOI Nanowires and Schottky-S/D-FETs*. Proceedings of Semiconductor Advances for Future Electronics (SAFE) 2007 - Workshop, pp. 478-481, 2007.
- [23] F. Wessely, T. Ruland, and U. Schwalke. *Fabrication and characterisation of nanoscale Schottky-S/D-MOSFETs and gated nanowire devices on ultra thin body SOI material*. European Congress on Advanced Materials and Processes (EUROMAT) 07, Nürnberg, Germany, September 10-13, 2007.
- [24] A. Kerber, E. Cartier, L. Pantisano, R. Degraeve, Y. Kim, A. Hou, G. Groeseneken, H. E. Maes, and U. Schwalke. *Charging Instability in n-channel MOS-FETs with SiO<sub>2</sub> / HfO<sub>2</sub> Gate Dielectrics*. IEEE Semiconductor Interface Specialist Conference, San Diego, 2002.
-



- 
- [25] A. Kerber, E. Cartier, L. Pantisano, M. Rosmeulen, R. Degraeve, T. Kauerauf, G. Groeseneken, H.E. Maes, and U. Schwalke. *Characterization of the VT instability in SiO<sub>2</sub> / HfO<sub>2</sub> gate dielectrics*. IEEE International Reliability Physics Symposium, Dallas, 2003.
- [26] A. Kerber, E. Cartier, L. Pantisano, R. Degraeve, T. Kauerauf, Y. Kim, A. Hou, G. Groeseneken, H.E. Maes, and U. Schwalke. *Origin of the Threshold Voltage Instability in SiO<sub>2</sub> / HfO<sub>2</sub> Dual Layer Gate Dielectrics*. IEEE Electron Device Letters, Vol. 24, No. 2, pp. 87-89, 2003.
- [27] A. Kerber, E. Cartier, R. Degraeve, Ph. Roussel, L. Pantisano, T. Kauerauf, G. Groeseneken, H.E. Maes, and U. Schwalke. *Charge Trapping and Dielectric Reliability of SiO<sub>2</sub> / Al<sub>2</sub>O<sub>3</sub> Gate Stacks with TiN Electrodes*. IEEE Transaction on Electron Devices, Vol. 50, No. 5, pp. 1261-1269, 2003.
- [28] A. Kerber, E. Cartier, G. Groeseneken, H.E. Maes, and U. Schwalke. *Stress Induced Charge Trapping Effects in SiO<sub>2</sub> / Al<sub>2</sub>O<sub>3</sub> Gate Stacks with TiN Electrodes*. Journal of Applied Physics, Volume 94, Issue 10, pp. 6627-6630 (2003), 2003.
- [29] Robert Chau, Suman Datta, Mark Doczy, Jack Kavalieros, and Matthew Metz. *Gate Dielectric Scaling for High-Performance CMOS: from SiO<sub>2</sub> to High-k*. Extended Abstracts of International Workshop on Gate Insulator (IWGI), Tokyo, Japan, November 2003, pp. 124-126, 2003.
- [30] Robert Chau, Suman Datta, Mark Doczy, Brian Doyle, Jack Kavalieros, and Matthew Metz. *High-k/Metal-Gate Stack and Its MOSFET Characteristics*. IEEE Electron Device Letters, Vol. 25, No. 6, June 2004, pp. 408-410, 2004.
- [31] D.G. Schlom and J.H. Haeni. *A Thermodynamic Approach to Selecting Alternative Gate Dielectrics*. MRS Bulletin 27, pp. 198-204, '2002.
- [32] E. P. Gusev, Jr. C. Cabral, M. Copel, C. D'Emic, and M. Gribelyuk. *Ultrathin HfO<sub>2</sub> films grown on Silicon by atomic layer deposition for advanced gate dielectrics applications*. Proceedings of the symposium and summer school on: Nano and Giga challenges in microelectronics research and opportunities in Russia, pp. 145-151, 2003.
- [33] Florian Zaunert, Ralf Endres, Yordan Stefanov, and Udo Schwalke. *Evaluation of MOSFETs with crystalline high-k gate-dielectrics: device simulation and experimental data*. Journal of Telecommunications and Technology, Vol.2, p. 78-85, 2007 (invited paper), 2007.
- [34] F. Zaunert, R. Endres, and U. Schwalke. *Device and Stress Simulation of MOSFETs with Crystalline High-k Gate-Dielectrics manufactured with Replacement Gate Process*. Proceedings of Semiconductor Advances for Future Electronics (SAFE) 2007 - Workshop, pp. 488-491, 2007.
- [35] R.Komaragiri, F. Zaunert, and U.Schwalke. *Gate Engineering for High-k Dielectric and Ultra-Thin Gate Oxide CMOS*. Workshop on Semiconductor Advances for Future Electronics (SAFE 2004),

---

Veldhoven, The Netherlands, 24th-25th of November, 2004.

- [36] H.D.B. Gottlob, M.C. Lemme, T. Mollenhauer, T. Wahlbrink, J.K. Efavi, H. Kurz, Y. Stefanov, K. Haberle, R. Komaragiri, T. Ruland, F. Zaunert, and U. Schwalke. *Introduction of Crystalline High-K Gate Dielectrics in a CMOS Process*. Journal of non-Crystalline Solids, Volume 351, Issues 21-23, Pages 1885-1889, 2005.
- [37] Udo Schwalke. *Gate dielectrics: process integration issues and electrical properties*. Journal of Telecommunications and Technology, Vol.1, p. 7 (invited paper), 2005.
- [38] Yordan Stefanov, Rama Komaragiri, and Udo Schwalke. *Technological Advances for Memory Applications: Crystalline High-K Gate Dielectrics and Alternatively Doped Gates*. Proceedings of the International Conference on Memory Technology and Design (ICMDT 2005), p. 167, Giens, France, May 21-24, 2005.
- [39] H.D.B. Gottlob, T. Echtermeyer, T. Mollenhauer, M. Schmidt, J.K. Efavi, T. Wahlbrink, M.C. Lemme, H. Kurz, R. Endres, Y. Stefanov, U. Schwalke, M. Czernohorsky, E. Bugiel, A. Fissel, and H.J. Osten. *Approaches to CMOS integration of epitaxial gadolinium oxide high-k dielectrics*. European Solid State Device Research Conference (ESSDERC), Montreux, Switzerland, Sept. 18-22, 2006.
- [40] Udo Schwalke. *Scaling Down Gate Dielectrics: From Ultra-Thin SiO<sub>2</sub> to Crystalline High-K*. Workshop on Semiconductor Advances for Future Electronics (SAFE 2006) Veldhoven, The Netherlands, November 23-24, 2006 (invited), 2006.
- [41] P.K. Hurley, M. Pijolat, K. Cherkaoui, E. O'Connor, D. O'Connell, M.A. Negara, M.C. Lemme, H.D.B. Gottlob, M. Schmidt, K. Stegmaier, U. Schwalke, S. Hall, O. Buiiu, O. Engstrom, and S.B. Newcomb. *The Formation and Characterisation of Lanthanum Oxide Based Si/High-k/NiSi Gate Stacks by Electron-Beam Evaporation: An Examination of In-Situ Amorphous Silicon Capping and NiSi Formation*. ECS Transactions, 11 (4), pp. 145-156, 2007.
- [42] U. Schwalke, Y. Stefanov, R. Komaragiri, and T. Ruland. *Electrical Characterisation of Crystalline Praseodymium Oxide High-k Gate Dielectric MOSFETs*. Proceedings of 33rd European Solid State Device Research Conference (ESSDERC), pp. 247-250, 2003.
- [43] R. Komaragiri, U. Schwalke, Y. Stefanov, and T. Ruland. *Comparison of praseodymium oxide gate MOSFETs with conventional SiO<sub>2</sub> MOSFETs: A simulation study*. Proceedings of the International Workshop on Physics of Semiconductor Devices, (IWSPD), pp. 462-464, Madras, India, 2003.
- [44] Udo Schwalke and Y. Stefanov. *Process Integration and Electrical Characterization of Crystalline High-K Gate Dielectrics*. Workshop on Dielectrics in Microelectronics (WoDiM), Cork, Ireland, June 28-30, 2004.

- 
- [45] Y. Stefanov, G. Hess, G. Tzschöckel, and U. Schwalke. *Global and Local Charge Trapping Effects in Crystalline Praseodymium Oxide High-k Gate Dielectric MOSFETs*. The Electrochemical Society International Semiconductor Technology Conference (ECS-ISTC) Shanghai China, September, 15-17, 2004.
- [46] Y. Stefanov, G. Hess, G. Tzschöckel, and U. Schwalke. *Global and Local Electrical Behavior of Crystalline Praseodymium Oxide High-k Gate Dielectric MOSFETs*. Proceedings of the Electrochemical Society International Semiconductor Technology Conference (ECS-ISTC) Shanghai China, September, 15-17, 2004.
- [47] Y. Stefanov, R. Komaragiri, T. Ruland, and U. Schwalke. *Electrical AFM Measurements for STI CMP Erosion Evaluation*. Seeing at the NanoScale II International Conference Abstracts p. 97, Grenoble, France, 13th-15th October, 2004.
- [48] Y. Stefanov, R. Komaragiri, and U. Schwalke. *Device Level and Nanoscale Electrical Characterization of Crystalline Praseodymium Oxide High-k Gate Dielectric MOSFETs*. SEMATECH International Workshop on Electrical Characterization and Reliability for High-K Devices, Austin, Texas, USA, Nov. 4-5, 2004.
- [49] Y. Stefanov, T. Ruland, and U. Schwalke. *Electrical AFM Measurements for Evaluation of Nitride Erosion in ShallowTrench Isolation Chemical Mechanical Planarization*. Materials Research Society, 2004 MRS Fall Meeting, Symposium on Scanning Probe and Other Novel Microscopies of Local Phenomena in Nanostructured Materials, Boston, USA, Nov 29 - Dec 3, 2004.
- [50] Udo Schwalke and Y. Stefanov. *Process integration and nanometer-scale electrical characterization of crystalline high-k gate dielectrics*. Microelectronics Reliability, 45, pp. 790-793, 2005.
- [51] Y. Stefanov et al. *Nanoscale Electrical Characterization of Crystalline Praseodymium Oxide High-k Gate Dielectric MOSFETs with Conductive Atomic Force Microscopy*. Seeing at the Nanoscale III, Santa Barbara, California, USA, August 13-16, 2005.
- [52] Yordan Stefanov, Ravneet Singh, Nandita DasGupta, Pankaj Misra, and Udo Schwalke. *Conductive Atomic Force Microscopy Study of Leakage Currents through Microscopic Structural Defects in High-K Gate Dielectrics*. The Electrochemical Society Conference on Crystalline Defects and Contamination (ECS-DECON 2005), Grenoble, France, Sept. 12-16, 2005.
- [53] R. Endres, Y. Stefanov, and Udo Schwalke. *Electrical Characterization of Crystalline Gd<sub>2</sub>O<sub>3</sub> Gate Dielectric MOSFETs Fabricated by Damascene Metal Gate Technology*. 14th Workshop on Dielectrics in Microelectronic (WoDiM), Catania, Italy, June 26-28, 2006.
- [54] R. Endres, Y. Stefanov, and U. Schwalke. *Electrical Performance of Damascene Metal Gate MOSFETs with Crystalline Gd<sub>2</sub>O<sub>3</sub> Gate Dielectric*. 37th IEEE Semiconductor Interface Specialists

---

Conference (SISC 2006), Catamaran Hotel, San Diego, CA, USA, December 7-9, 2006.

- [55] R. Endres, Y. Stefanov, and U. Schwalke. *Electrical Characterization of Crystalline Gd<sub>2</sub>O<sub>3</sub> Gate Dielectric MOSFETs Fabricated by Damascene Metal Gate Technology*. Microelectronics Reliability, 47, pp. 528-531, 2007.
- [56] U. Schwalke, K. Boye, K. Haberle, R. Heller, G. Hess, G. Müller, T. Ruland, G. Tzschöckel, J. Osten, A. Fissel, and H.-J. Müssig. *Process Integration of Crystalline Pr<sub>2</sub>O<sub>3</sub> High-k Gate Dielectrics*. Proceedings of 32nd European Solid State Device Research Conference (ESSDERC), pp. 407-410, 2002.
- [57] Y. Stefanov, F. Cilek, R. Endres, and U. Schwalke. *Alternative Optimization Techniques For Shallow Trench Isolation And Replacement Gate Technology CMP*. The 2nd Pacific-Rim International Conference on Planarization CMP and Its Application Technology (PacRim-CMP 2005) Seoul, Korea, November 17-19, 2005.
- [58] Ralf Endres, Yordan Stefanov, and Udo Schwalke. *Epitaxial High-K Oxide Metal Gate MOSFETs: Damascene CMP Process Integration and Electrical Results*. 2006 International Conference on Solid State Devices and Materials (SSDM 2006), Yokohama, Japan, September 13-15, 2006.
- [59] Ralf Endres, Yordan Stefanov, and Udo Schwalke. *Damascene Metal Gate Technology for Gentle Integration of Crystalline High-K-Gate Dielectrics*. ECS Transactions, 3 (2), pp. 297-301, 2006.
- [60] R. Endres, Y. Stefanov, F. Wessely, F. Zaunert, and U. Schwalke. *Process Damage-Free Damascene Metal Gate Technology for Gentle Integration of Epitaxially Grown High-K Gate Dielectrics*. IEEE EDS 3rd International Symposium on Advanced Gate Stack Technology (ISAGST), Austin, Texas, USA, September 27-29, 2006.
- [61] Ralf Endres and Udo Schwalke. *Damascene Metal Gate Technology: A Novel Approach towards Nano CMOS Devices with Crystalline High-K Gate Dielectrics*. Nanotech Northern Europe 2007 (NTNE 2007), Helsinki, Finland, March 27-29, 2007.
- [62] Ralf Endres and Udo Schwalke. *Damascene Metal Gate Technology: A front-end CMP Based Universal Platform for High-k Evaluation at the Device Level*. Proceedings of the International Conference on Planarization Technology ICPT 2007, pp. 421-426, 2007.
- [63] Yordan Stefanov and Udo Schwalke. *Shallow Trench Isolation Chemical Mechanical Planarization*. Microelectronic Applications of Chemical Mechanical Planarization Edited by Yuzhuo Li, Wiley & Sons, Inc. NY, 2007, ISBN: 978-0-471-71919-9 (invited Book Chapter), 2007.
- [64] Ralf Endres, Yordan Stefanov, Frank Wessely, Florian Zaunert, and Udo Schwalke. *Process damage-free damascene metal gate technology for gentle integration of epitaxially grown high-*

- 
- k. Microelectronic Engineering, 85, pp. 15-19, 2008.
- [65] W. E. Beadle, J. C. C. Tsai, and R. D. Plummer. *Quick Reference Manual for Silicon Integrated Circuit Technology*. John Wiley & Sons, 1985.
- [66] Moltech GmbH. *Synthetic Sapphire*. <http://www.mt-berlin.com>, 2008.
- [67] M. Shimada, T. Amazawaa, T. Onoa, S. Matsuo, and H. Oikawab. *Ultrathin Al<sub>2</sub>O<sub>3</sub> and AlN films deposited by reactive sputter using advanced electron cyclotron resonance plasma source*. Vacuum Volume 59, Issues 2-3, November 2000, Pages 727-734, 2000.
- [68] B. W. Shen, I. Chen, S. Banerjee, G. A. Brown, J. Bohlman, P. Chang, and R. R. Doering. *A high quality high temperature compatible Tantalum oxide film for advanced dRAM applications*. IEDM Tech. Dig., pp. 582 - 585, December 1987, 1987.
- [69] Dail Eom, In Sang Jeon, Sang Yong No, Cheol Seong Hwang, and Hyeong Joon Kimb. *Changes in structures and electrical conduction mechanisms of chemical vapor deposited Ta<sub>2</sub>O<sub>5</sub> thin films by annealing under O<sub>3</sub> atmosphere with ultraviolet light radiation*. J. Mater. Res., Vol. 19, No. 5, May 2004, Pages 1516-1523, 2004.
- [70] F. Z. Tepehan, F. E. Ghodsi, N. Ozer, and G. G. Tepehan. *Determination of optical properties of amorphous Ta<sub>2</sub>O<sub>5</sub> films deposited by spin- and dip-coating methods*. Solar energy materials and solar cells, 1997, vol. 46, no4, pp. 311-321, 1997.
- [71] L. Kang, B. H. Lee, W. Qi, Y. Jeon, R. Nieh, S. Gopalan, K. Onishi, and J. C. Lee. *Electrical characteristics of highly reliable ultrathin Hafnium oxide gate dielectric*. IEEE Electron Device Lett., Vol. 21, pp. 181-183, April 2000, 2000.
- [72] W.J. Zhu, Ma Tso-Ping, T. Tamagawa, J. Kim, and Y. Di. *Current transport in metal/hafnium oxide/silicon structure*. Electron Device Letters, IEEE Volume 23, Issue 2, Feb 2002 Page(s):97-99, 2002.
- [73] A. Callegari, E. Cartier, M. Gribelyuk, H. F. Okorn-Schmidt, and T. Zabel. *Physical and electrical characterization of Hafnium oxide and Hafnium silicate sputtered films*. Journal of Applied Physics, Volume 90, Issue 12, pp. 6466-6475 (2001), 2001.
- [74] T.H. Ng, B.H. Koh, W.K. Chim, W.K. Choi, J.X. Zheng, C.H. Tung, and A.Y. Du. *Zirconium dioxide as a gate dielectric in metal-insulator-silicon structures and current transport mechanisms*. Semiconductor Electronics, 2002. Proceedings Issue , 19-21 Dec. 2002 Page(s): 130-134, 2002.
- [75] Y. Ma, Y. Ono, L. Stecker, D. R. Evans, and S. T. Hsu. *Zirconium oxide based gate dielectrics with equivalent oxide thickness of less than 1.0nm and performance of submicron MOSFET using*



---

*a Nitride gate replacement process.* IEDM Tech. Dig., pp. 149-152, December 1999, 1999.

- [76] S. Chakraborty, M. K. Bera, G. K. Dalapati, D. Paramanik, S. Varma, P. K. Bose, S. Bhattacharya, and C. K. Maiti. *Leakage current characteristics and the energy band diagram of Al/ZrO<sub>2</sub>/Si<sub>0.3</sub>Ge<sub>0.7</sub> hetero-MIS structures.* Semicond. Sci. Technol. 21 No 4 (April 2006) 467-472, 2006.
- [77] M. Hong, Z. H. Lu, J. Kwo, A. R. Kortan, J. P. Mannaerts, J. J. Krajewski, K. C. Hsieh, L. J. Chou, and K. Y. Cheng. *Initial growth of Ga<sub>2</sub>O<sub>3</sub>(Gd<sub>2</sub>O<sub>3</sub>) on GaAs: Key to the attainment of a low interfacial density of states.* Applied Physics Letters, vol. 76, pp. 312-314, 2000.
- [78] M. Hong, J. Kwo, A. R. Kortan, J. P. Mannaerts, and A. M. Sergent. *Epitaxial Cubic Gadolinium Oxide as a Dielectric for Gallium Arsenide Passivation.* Science 19 March 1999: Vol. 283. no. 5409, pp. 1897 - 1900, 1999.
- [79] H. J. Osten, J. P. Liu, P. Gaworzewski, E. Bugiel, and P. Zaumseil. *High-k gate dielectrics with ultra-low leakage current based on praseodymium oxide.* IEDM Tech. Dig., pp. 653 - 656, December 2000, 2000.
- [80] H. J. Osten, J. P. Liu, and H. J. Müssig. *Band gap and band discontinuities at crystalline Pr<sub>2</sub>O<sub>3</sub>/Si(001) heterojunctions.* Applied physics letters 2002, vol. 80, no2, pp. 297-299, 2002.
- [81] Tung-Ming Pan, Jian-Der Lee, Wei-Hao Shu, and Tsung-Te Chen. *Structural and electrical properties of neodymium oxide high-k gate dielectrics.* Appl. Phys. Lett. / Volume 89 / Issue 23 / DIELECTRICS AND FERROELECTRICITY, 2006.
- [82] Eun-Joo Lee, Myoung-Gyun Ko, Beom-Yong Kim, Sang-Kyun Park, Heon-Do Kim, and Jong-Wan Park. *Lanthanum-Oxide Thin Films Deposited by Plasma-Enhanced Atomic Layer Deposition.* Journal of the Korean Physical Society, Vol. 49, No. 3, September 2006, pp. 1243-1246, 2006.
- [83] Jaeyeol Song, Kuniyuki Kakushima, Parhat Ahmet, Kazuo Tsutsui, Nobuyuki Sugii, Takeo Hattori, and Hiroshi Iwai. *Characteristics of Ultrathin Lanthanum Oxide Films on Germanium Substrate: Comparison with Those on Silicon Substrate.* Frontier Collaborative Research Center, Tokyo Institute of Technology, Interdisciplinary Graduate School of Science and Engineering, Yokohama 226-8502/03, Japan, 2007.
- [84] Bayerisches Online-Materialinformationssystem. *Physikalisches Datenblatt Yttriumoxid.* werkstoffe.de, c/o TU München, Arcisstrasse 21, Eingang IX (Luisenstrasse), 80333 München (Geb. 5 1. OG Zimmer 1512), 2008.
- [85] A. Ohta, M. Yamaoka, and S. Miyazaki. *Photoelectron spectroscopy of ultrathin yttrium oxide films on Si(1 0 0).* Proceedings of the 13th Biennial Conference on Insulating Films on Semi-

- 
- conductors, Volume 72, Issues 1-4, April 2004, Pages 154-159, 2004.
- [86] Goodfellow Cambridge Limited. *Technische Materialeigenschaften*. goodfellow.de, Units C1+C2, Spitfire Close, Ermine Business Park, HUNTINGDON PE29 6WR, 2008.
- [87] Environmental Chemistry. *Physical and Chemical Properties*. www.environmentalchemistry.com, 2008.
- [88] Werner Langheinrich, H. Schuster, J. Vollrath, F. Umbach, and D. Kollar. *Technologie der Integrierten Schaltungen*. Skript zur Vorlesung, Institut für Halbleitertechnik, Technische Universität Darmstadt, 1997.
- [89] K. Mistry et al. *A 45nm Logic Technology with High-k+Metal Gate Transistors, Strained Silicon, 9 Cu Interconnect Layers, 193nm Dry Patterning, and 100% Pb-free Packaging*. IEEE International Electron Devices Meeting, IEDM Technical Digest, December 2007, pp. 247-250, 2007.
- [90] S. C. Sun and James D. Plummer. *Electron Mobility in Inversion and Accumulation Layers on Thermally Oxidized Silicon Surfaces*. IEEE Trans. Electron Dev. ED-27, no. 8, pp. 1497-1508, Aug. 1980, 1980.
- [91] P. M. D. Chow and K. L. Wang. *A New ac Technique for Accurate Determination of Channel Charge and Mobility in Very Thin Gate MOSFET's*. IEEE Trans. Electron Dev. ED-33, 1299-1304, Sept. 1986, 1986.
- [92] C. L. Huang and G. Sh. Gildenblat. *Correction Factor in the Split C-V Method for Mobility Measurements*. Solid-State Electron. 36, 611-615, April 1993, 1993.
- [93] C. L. Huang, J. V. Faricelli, and N. D. Arora. *A New Technique for Measuring MOSFET Inversion Layer Mobility*. IEEE Trans. Electron Dev. 40, 1134-1139, June 1993, 1993.
- [94] J. R. Brews. *Subthreshold behavior of uniformly and nonuniformly doped long-channel MOSFET*. IEEE Trans. Electron Devices, Vol. 26, pp. 1282 - 1291, September 1979, 1979.
- [95] J. Appenzeller, Y.-M. Lin, J. Knoch, and Ph. Avouris. *Band-to-Band Tunneling in Carbon Nanotube Field-Effect Transistors*. Phys. Rev. Lett. 93, Issue 19, 196805, 2004.
- [96] Yuerui Lu, Sarunya Bangsaruntip, Xinran Wang, Li Zhang, Yoshio Nishi, and Hongjie Dai. *DNA Functionalization of Carbon Nanotubes for Ultrathin Atomic Layer Deposition of High Dielectrics for Nanotube Transistors with 60 mV/Decade Switching*. J. Am. Chem. Soc., 128 (11), 3518-3519, 2006.
- [97] E. H. Nicollian and J. R. Brews. *MOS Physics and Technology*. Wiley, New York, 1982.

- 
- [98] S. M. Sze. *Physics of Semiconductor Devices*. 2nd edition. Wiley, New York, 1985.
- [99] P. Heremans, R. Bellens, G. Groeseneken, A. v. Schwerin, H. E. Maes, M. Brox, and W. Weber. *The mechanisms of hot carrier degradation*. C. T. Wang, Van Nostrand Reinhold, New York, 1991.
- [100] Synopsys. *Taurus TSUPREM-4 User Guide, Version Z-2007.03*. <http://solvnet.synopsys.com>, 2007.
- [101] Synopsys. *Sentaurus Process User Guide, Version Z-2007.03*. <http://solvnet.synopsys.com>, 2007.
- [102] Prof. Dr. Mark E. Law. *FLOOPS*. Software and Analysis of Advanced Materials Processing Center, <http://www.swamp.tec.ufl.edu/>, 2002.
- [103] Synopsys. *Sentaurus Structure Editor, Version Y-2006.06*. <http://solvnet.synopsys.com>, 2006.
- [104] Synopsys. *Taurus MEDICI User Guide, Version Z-2007.03*. <http://solvnet.synopsys.com>, 2007.
- [105] D. M. Caughey and R. E. Thomas. *Carrier Mobilities in Silicon Empirically Related to Doping and Field*. Proc. IEEE, Vol. 55, pp. 2192-2193, 1967.
- [106] S. Selberherr. *Process and Device Modeling for VLSI*. Microelectronics Reliab., Vol. 24, No. 2, pp. 225-257, 1984.
- [107] D. J. Rose and R. E. Bank. *Global Approximate Newton Methods*. Numerische Mathematik, 37, pp. 279-295, 1981.
- [108] Synopsys. *Sentaurus Device User Guide, Version Z-2007.03*. <http://solvnet.synopsys.com>, 2007.
- [109] J. W. Slotboom and H. C. de Graaff. *Measurements of Bandgap Narrowing in Si Bipolar Transistors*. Solid-State Electronics, vol. 19, no. 10, pp. 857-862, 1976.
- [110] J. W. Slotboom and H. C. de Graaff. *Bandgap Narrowing in Silicon Bipolar Transistors*. IEEE Transactions on Electron Devices, vol. ED-24, no. 8, pp. 1123-1125, 1977.
- [111] J. W. Slotboom. *The pn-Product in Silicon*. Solid-State Electronics, vol. 20, no. 4, pp. 279-283, 1976.
- [112] G. Paasch and H. Übensee. *A Modified Local Density Approximation: Electron Density in Inversion Layers*. Physica Status Solidi (b), vol. 113, no. 1, pp. 165-178, 1982.
- [113] D. B. M. Klaassen. *A Unified Mobility Model for Device Simulation-I. Model Equations and Concentration Dependence*. Solid-State Electronics, vol. 35, no. 7, pp. 953-959, 1992.



- 
- [114] Synopsys. *Taurus Modeling Environment, Taurus Visual, Version X-2005.10*. <http://solvnet.synopsys.com>, 2005.
- [115] Synopsys. *Tecplot SV User Guide, Version Z-2007.03*. <http://solvnet.synopsys.com>, 2007.
- [116] Synopsys. *Inspect, Version Y-2006.06*. <http://solvnet.synopsys.com>, 2006.
- [117] Synopsys. *Sentaurus Workbench, Version Y-2006.06*. <http://solvnet.synopsys.com>, 2006.
- [118] H. J. Osten. *private communication*.
- [119] International Technology Roadmap for Semiconductors (ITRS). *Semiconductor Industry Association*. 181 Metro Drive, Suite 450, San Jose, CA, 95510, <http://public.itrs.net>, 2007 edition.
- [120] Stefan Dünkel, Roland Stenzel, Wilfried Klix, Tom Herrmann, Ralf Illgen (Hochschule für Technik und Wirtschaft Dresden FH), Manfred Horstmann, Ralf van Bentum, Andy Wei, Thorsten Kammler, and Bernhard Trui (AMD Saxony LLC & Co. KG). *Verspanntes Silizium zur Erhöhung der Ladungsträgerbeweglichkeit in MOSFETs mit Gatelängen kleiner 50nm*. 8. Nachwuchswissenschaftlerkonferenz - Jena 2007, 2007.
- [121] T. Herrmann, S. Flachowsky, R. Illgen, W. Klix, R. Stenzel (Hochschule für Technik und Wirtschaft Dresden FH), J. Höntschel, and Germany) M. Horstmann und A. Wei (AMD FAB 36 LLC & Co. KG). *Entwurf und Optimierung von nanoelektronischen Halbleiterbauelementen unter Nutzung der Prozess- und Bauelementesimulation*. ZAFT Festschrift 2008, pp. 98-100, 2008.
- [122] Shiliang Wu. *Characterization and applications of PECVD insulator layers concerning electrical, optical and mechanical properties*. Diploma thesis D208, Institute for semiconductor technology, 1999.
- [123] K. V. Loiko, I. V. Peidous, T. E. Harrington, and W. R. Frensley. *Stress-induced redistribution of point defects in silicon device structures*. Solid state phenomena Vols. 82-84 (2000), pp. 225-230, 2000.
- [124] H. W. van Zeijl, S. Mijalovic, and L. K. Nanver. *Electrical detection and simulation of stress in silicon nitride spacer technology*. Journal of materials science: Materials in electronics 12 (2001), pp. 339-341, 2001.
- [125] R.F. Pierret and J.A. Shields. *Simplified Long-Channel MOSFET Theory*. Solid State Electronics, vol. 26, page 143, 1983.



---

## Liste der Publikationen

---

1. Ralf Endres, Yordan Stefanov, Frank Wessely, **Florian Zaubert**, Udo Schwalke, “*Process damage-free damascene metal gate technology for gentle integration of epitaxially grown high-k*”, Micro-electronic Engineering, 85, pp. 15-19 (2008).
2. **F. Zaubert**, R. Endres, U. Schwalke, “*Device and Stress Simulation of MOSFETs with Crystalline High-k Gate-Dielectrics manufactured with Replacement Gate Process*”, Proceedings of Semiconductor Advances for Future Electronics (SAFE) 2007 - Workshop, pp. 488-491, (2007).
3. **Florian Zaubert**, Ralf Endres and Udo Schwalke, “*Device and Stress Simulation of MOSFETs with Crystalline High-k Gate Dielectrics Manufactured with Replacement Gate Process*”, 10<sup>th</sup> Annual Workshop on Semiconductor Advances for Future Electronics and SENSORS (SAFE) 2007, Veldhoven, The Netherlands, November 29-30 2007.
4. **Florian Zaubert**, Ralf Endres, Yordan Stefanov, Udo Schwalke, “*Evaluation of MOSFETs with crystalline high-k gate-dielectrics: device simulation and experimental data*”, Journal of Telecommunications and Technology, Vol.2, p. 78, 2007 (invited paper).
5. R. Endres, Y. Stefanov, F. Wessely, **F. Zaubert** and U. Schwalke, “*Process Damage-Free Damascene Metal Gate Technology for Gentle Integration of Epitaxially Grown High-K Gate Dielectrics*”, IEEE EDS 3<sup>rd</sup> International Symposium on Advanced Gate Stack Technology (ISAGST) September 27-29 2006, Austin, Texas, USA.
6. **F. Zaubert**, R. Endres, Y. Stefanov and U. Schwalke, “*Evaluation of MOSFETs with Crystalline High-k Gate-Dielectrics: Device Simulation and Experimental Data*”, 7<sup>th</sup> Symposium Diagnostics & Yield, Advanced Silicon Devices and Technologies for ULSI Era, June 25-28 2006, Warszawa, Poland (Invited).

- 
7. H.D.B. Gottlob, M.C. Lemme, T. Mollenhauer, T. Wahlbrink, J.K. Efavi, H. Kurz, Y. Stefanov, K. Haberle, R. Komaragiri, T. Ruland, **F. Zaunert**, U. Schwalke, “*Introduction of Crystalline High-K Gate Dielectrics in a CMOS Process*”, Journal of non-Crystalline Solids, Volume 351, Issues 21-23, Pages 1885-1889, 2005.
  8. R.Komaragiri, **F.Zaunert**, U.Schwalke, “*Gate Engineering for High-k Dielectric and Ultra-Thin Gate Oxide CMOS*”, Workshop on Semiconductor Advances for Future Electronics (SAFE 2004), Veldhoven, The Netherlands, 24th-25th of November 2004.
  9. H.D.B. Gottlob, M.C. Lemme, T. Mollenhauer, T. Wahlbrink, J.K. Efavi, H. Kurz, Y. Stefanov, K. Haberle, R. Komaragiri, T. Ruland, **F. Zaunert**, U. Schwalke, “*Introduction of Crystalline High-K Gate Dielectrics in a CMOS Process*”, SiO<sub>2</sub>, Advanced Dielectrics & Related Devices, Chamonix Mont-Blanc, France, on June 21-23 2004.

---

## Curriculum vitae

---



**Florian Zaunert** wurde am 5. April 1977 in Darmstadt geboren. Von 1997 bis 2002 studierte er an der Technischen Universität Darmstadt (TUD) das Fach Elektrotechnik, welches er nach dem Vordiplom mit dem Fachgebiet Festkörperelektronik vertiefte. Für seine Diplomarbeit arbeitete er als interner Mitarbeiter bei Bosch in der Abteilung Entwicklung Integrierter Schaltungen (EIS) in Reutlingen (2002 bis 2003). Ende April 2003 schloss er sein Studium mit dem Erwerb des Titels Diplom Ingenieur der Elektrotechnik der Technischen Universität Darmstadt ab. Im selben Jahr begann er seine Arbeit am Institut für Halbleitertechnik der Technischen Universität Darmstadt bei Prof. Dr. Schwalke, wo er Aufgaben in der Forschung, Lehre und Systemadministration übernahm. Sein Forschungsgebiet ist die elektrische und simulationstechnische Charakterisierung von neuartigen MOS-Strukturen und alternativen Materialien für Gatedielektrika und Gateelektroden.